

République Algérienne Démocratique et Populaire

Ministère de L'Enseignement Supérieur et de la recherche scientifique

Université Abdel Hamid Ibn Badis de Mostaganem



Faculté de science et de la Technologie

Département de Génie Électrique

N°D'ORDRE : M .../2014

MEMOIRE

Présenté pour obtenir

LE DIPLOME DE : **MAGISTER**

SPECIALITE : Génie Electrique

OPTION : Microélectronique et Nanoélectronique

Par Melle: BOURAHLA NASSIMA

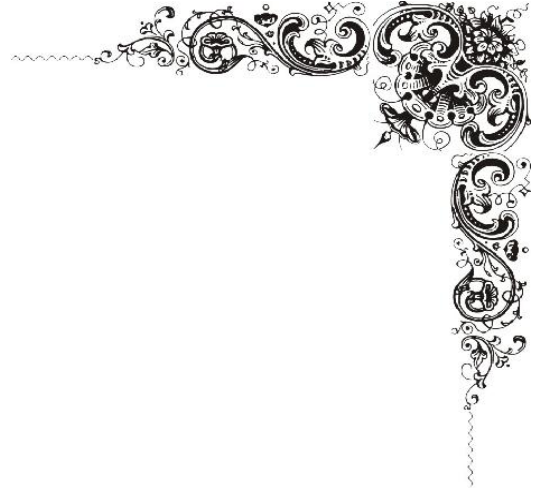
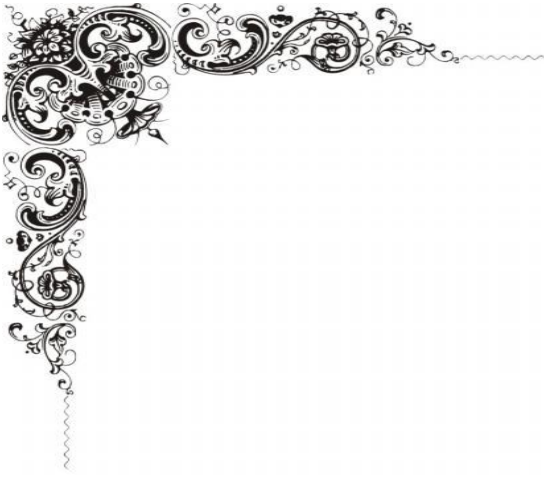
Sur le Thème :

Etude et modélisation des effets de canal court dans le transistor N- MOSFET

Soutenue le : 15 / 06 / 2014 devant le jury composé de :

Président :	M. SADOK Ahmed	Professeur	U. Mostaganem
Examineur :	M. BOUKORTT Abdelkader	Professeur	U. Mostaganem
Examineur :	Mme HOCINE Rachida	MCA	USTO Oran
Examineur :	M. BOURAHLA Ahmed	M C A	U. Mostaganem
Encadreur :	M. HADRI Baghdad	Professeur	U. Mostaganem

2013-2014



بِسْمِ اللّٰهِ
الرَّحْمٰنِ الرَّحِیْمِ



DEDICACE



Je dédie ce modeste travail à :

- Mes très chers parents.
- Mon frère et Mes sœurs.
- Toute La famille *Bourahla* et *Haddad*.
- Et tous mes amis.

NASSIMA.

REMERCIEMENTS



Je tiens tout d'abord à remercier DIEU l'Unique et le Tout Puissant qui m'a armé de volonté, de patience et de courage durant toutes ces années d'études.

Je tiens à remercier en premier lieu, mon encadreur «**M. Hadri Baghdad** ». Je le remercie de m'avoir accueillie et de m'avoir très vite encouragé à faire ce travail. Leurs grandes disponibilités, leur patience et leurs précieux conseils m'ont permis de travailler dans les meilleures conditions.

A Monsieur le Professeur «**M. SADOK Ahmed** », je suis très sensible à l'honneur que vous me faites en acceptant de participer comme président du jury de cette Thèse. A tous les membres des jurys « **M. BOURAHLA Ahmed** », « **M. BOUKORTT Abdelkader** », « **Mme HOCINE Rachida** », je suis très reconnaissant de votre acceptation d'examiner ce travail. Soyez assuré, messieurs, de mon plus profond respect.

Je n'oublierai pas la contribution de mes collègues à Mostaganem pour réaliser ce manuscrit, mes amis de m'avoir encouragé et de me soutenir moralement durant toute la période de sa préparation. Trouveront ici mes sincères reconnaissances à toutes les personnes du corps administratif du département du Génie Electrique et dans le labo **ECP3M** qui m'a tous entouré et m'ont donné la force de passer les moments difficiles.

SOMMAIRE

Liste des figures

Liste des tableaux

Liste des abréviations

Introduction générale..... 1

Chapitre I : Fonctionnement d'un transistor N-MOSFET à canal long :

I.1. Introduction.....	3
I.2. Le transistor MOSFET.....	5
I.2.1 principe de fonctionnement.....	6
I.2.2 MOSFET à appauvrissement D-MOSFET.....	7
✚ Structure du MOS à appauvrissement canal N.....	7
✚ Structure du MOS à appauvrissement canal P.....	7
I.2.3 MOSFET à enrichissement - E-MOSFET.....	8
• Régime d'enrichissement.....	8
I.2.4. Mode de fonctionnement.....	8
✚ MOSFET à canal non-préformé (Normally-OFF).....	9
✚ MOSFET à canal préformé (Normally-ON).....	9
I.3. Généralités sur la structure Métal-Oxyde- Semiconducteur (M.O.S).....	10
I.3.1. Diagramme d'énergie d'une structure Métal-vide-Semiconducteur.....	10
I.3.2. Régime de fonctionnement.....	11
✚ Régime d'accumulation.....	14
✚ Régime de déplétion ou de désertion.....	15
✚ Régime d'inversion faible.....	15
✚ Régime d'inversion forte.....	16
I.4. Caractéristique générales et expressions analytiques d'un MOSFET.....	16
I.4.1. La densité de la charge du canal.....	18

I.4.2 Le courant du drain.....	19
I.5. Les régions linéaire et de saturation.....	21
I.6. La transconductance du MOSFET.....	22
I.7. Caractéristique I_{ON} I_{OFF} : familles technologiques.....	23
I.8. Les résistances séries.....	24
I.9.Conclusion.....	25

Chapitre II : Etude des effets de canal court dans les dispositifs N-MOSFET :

II.1 Introduction.....	26
II.2.Limitations liées à la Réduction des dimensions des dispositifs.....	27
II.3. Le transistor MOS idéal.....	28
II.4. Effets parasites du transistor à faible géométrie.....	28
II.4.1) Le partage de charge de déplétion (CS).....	29
II.4.1.a) Effet de la géométrie du transistor sur la tension de seuil (Atténuation de V_{th})..	29
II.4.1.b) Dégradation de la pente sous le seuil.....	32
➤ Le courant sous seuil.....	32
II.4.2 Abaissement de la barrière de potentiel par le drain(DIBL).....	35
II.4.3 Punch-through (subsurface DIBL).....	38
II.6 La vitesse de saturation.....	39
II.7 Modulation de la longueur de canal (CLM).....	41
II.8 Longueur et largeur effectives du canal.....	43
II.9 Problèmes liés aux faibles épaisseurs d'oxyde.....	44
II.10 Distribution des courants dans le transistor.....	45
II.11 Courants de fuite des MOSFET à canaux courts.....	47
II.12 Solutions technologiques pour l'amélioration des performances.....	48
II.13 Conclusion.....	49

Chapitre III : Simulation des procédés technologiques de transistor N-MOSFET

Sous Athéna :

III.1 Introduction.....	50
III.2 Le besoin d'outils de simulation.....	50
III.3 Présentation au logiciel de simulation TCAD–SILVACO.....	50
III.4 Le logiciel ATHENA.....	51

➤ DECKBUILD.....	52
➤ TONYPLOT Outil de visualisation 1D/2D.....	52
III.5 L'organigramme de simulation en utilisant le TCAD- SILVACO.....	53
III.6 Bases physiques du principe de fonctionnement du simulateur TCAD SILVACO.....	54
III.6.a Les équations implémentées dans le simulateur ATLAS.....	54
➤ Equation de poisson.....	54
➤ Equation de continuité.....	54
III.6.b Les modèles physiques utilisés.....	55
III.7 L'organigramme de fabrication du Transistor MOSFET a Canal N.....	56
III.8 Les procédés technologiques pour la fabrication de NMOS.....	57
III.8.1 Maillage du dispositif.....	57
III.8.2 initial et choix du matériau de substrat (dopage).....	58
III.8.3 Oxydation de Masquage.....	59
III.8.4 Implantation des Puits-N et Puits-P.....	60
III.8.5 Nettoyage de L'oxyde Sacrificiel.....	61
III.8.6 Oxydation de la grille.....	62
III.8.7 ajustement de la Tension de Seuil V_{th}	63
III.8.8 Déposition de la grille en polysilicium.....	64
III.8.9 Oxydation de Polysilicium.....	65
III.8.10 Formation d'oxyde d'écartement.....	65
III.8.11 Métallisation et formations de la Source et le Drain.....	66
III.8.12 Structure de réflexion.....	67
III.9 Conclusion.....	68

Chapitre IV : Simulation des caractéristiques électriques du transistor N-MOSFET

Sous Atlas :

IV.1 Introduction.....	69
IV.2 Outil de simulation numérique.....	69
IV.3 Les méthodes numériques.....	69
IV.4 Les caractéristiques I-V de transistor MOSFET.....	70
➤ Caractéristiques $I_d - V_{ds}$	70
➤ Caractéristiques $I_d - V_{gs}$	70
IV.5 Etude de l'effet de la Variation de concentration N_A sur le courant I_d	72

IV.6 Etude de l'effet de la Variation de concentration N_D sur le courant I_d	73
IV.7 Effet de la variation des dimensions du transistor.....	74
IV.8 Effet de la variation de la longueur de canal sur la tension de seuil V_{th}	75
IV.9 Effet de la variation de la longueur du canal sur le courant de drain.....	77
IV.10 Effet de la variation de la longueur de canal sur la caractéristique sous le seuil.....	78
➤ Les caractéristiques sous seuil pour différentes valeurs de la tension de drain $V_{ds} = (0.2, 0.4, \text{ et } 0.6) \text{ V}$ pour $L=0.5 \mu\text{m}$	78
➤ Les caractéristiques sous seuil pour différentes longueurs de canal $L = (0.025, 0.15 \text{ et } 0.5) \mu\text{m}$ et de la tension de drain $V_{ds}=0.1 \text{ V}$	79
IV.11 L'effet de DIBL (L'abaissement de la barrière de potentiel).....	80
IV.12 Simulation des courants de fuite d'une structure MOSFET.....	82
IV.13 L'effet de Body (polarisation du substrat).....	83
IV.14 La variation d'épaisseur d'oxyde de la grille.....	85
IV.13 Conclusion.....	87
 <i>Conclusion générale</i>	88

Annexe

Bibliographie

Liste des Figures

Chapitre I : Fonctionnement d'un transistor N-MOSFET à canal long :

Figure I.1: Premier transistor MOSFET réalisé par M. Atalla, D.Kahng et E. Labate en 1959.

Figure I.2 : Processeur Intel : (a) Intel 4004 et (b) Intel Pentium IV.

Figure I.3 : Structure schématique de base du transistor Métal-Oxyde - Semiconducteur (canal N).

Figure I.4: Structure du MOS à appauvrissement : (a) canal N. (b) canal P.

Figure I.5: Structure du MOS à enrichissement : (a) canal N. (b) canal P.

Figure I.6: (a) Transistor MOSFET Normally –OFF. (b) Caractéristique de transfert d'un MOSFET à enrichissement.

Figure I.7: (a) Transistor MOSFET Normally-OFF. (b) La caractéristique de transfert d'un MOSFET a appauvrissement.

Figure I.8: structure métal-vide –semiconducteur [métal et semiconducteur isolés (gauche)] [métal et semiconducteur relié (droite)].

Figure I.9 : Diagramme de bande d'une structure MOS à substrat de type P.

Figure I.10: La condition de Bandes plates $\phi_m = \phi_s$.

Figure I.11 : Diagramme de bande d'énergie suivant le régime de fonctionnement d'une structure à substrat de type P.

Figure I.12 : Transistor NMOSFET en régime d'accumulation (l'état bloqué).

Figure I.13 : Transistor NMOSFET en régime de déplétion.

Figure 1.14 : Différents régimes de fonctionnement de T MOS en fonction de V_G

Figure I.15 : Illustration de la capacité par unité de longueur.

Figure I.16 : Le dispositif qui illustre le calcul de courant de drain.

Figure I.17: La relation entre la densité de charge et le courant.

Figure 1.18: Caractéristique parabolique de I_{ds} et V_{ds}

Figure I.19 : (a) Transistor NMOSFET en régime linéaire. (b) Transistor NMOSFET en régime de saturation.

Figure I.20: Caractéristique globale du MOS.

Figure I.21 : Les caractéristiques (I-V) d'un transistor NMOS.

Figure I.22 : Caractéristique $I_D(V_G)$.

Figure I.23 : Graphe I_{ON}/I_{OFF} pour des NMOS.

Figure I.24: Schéma électrique d'un transistor avec prise en compte des résistances séries R_{SD} .

Chapitre II : Etude des effets du canal court dans les dispositifs N-MOSFET :

Figure II.1: Evolution de la technologie de MOSFET dans le rapport de l'ITRS 2010.

Figure II.2: Comparaison de la caractéristique $I_D(V_G)$ d'un transistor MOSFET à canal long et d'un transistor à canal court sous faible et forte polarisation de drain: mise en évidence la dégradation des paramètres sous le seuil due aux effets de canal court SCE et DIBL.

Figure II.3 : Influence de l'effet du partage de charge sur la caractéristique du courant du transistor MOS pour $V_d=1$ V.

Figure II.4: Structure d'un transistor MOSFET bulk **a)** à canal long. **b)** à canal court. Dans le dernier cas, les effets canaux courts résultent du chevauchement des zones de charges d'espaces (ZCE) des régions dopées (W_s/c et W_d/c).

Figure II.5: Comparaison entre la tension de seuil V_{th} pour un transistor MOS à canal N long et l'autre à canal court.

Figure II.6: modèle de Yau qui établit le partage de la charge pour le dispositif de canal court.

Figure II.7: Caractéristiques I_D/V_G de transistors MOS en régime sous seuil pour différentes longueurs de canal.

Figure II. 8: Mise en évidence de la pente sous seuil.

Figure II.9: Effet canal court sur le courant sous seuil.

Figure II.10: Représentation schématique de l'évolution de la barrière de potentiel dans les transistors à canal long et à canal court sous faible et forte polarisation de drain.

Figure II.11: Evolution du potentiel de surface pour des dispositifs de différentes longueurs de canal.

Figure II.12: Influence de l'effet du DIBL sur la caractéristique ($I_D - V_G$) pour des tensions de drain de 0.1V (régime linéaire) et 1.5V (régime de saturation).

Figure II.13 : Extension des zones de déplétion dans le substrat conduisant au phénomène de punch-through.

Figure II.14: Profil de dopage (N_A) dans le transistor NMOS bulk après redistribution de dopant due à une diffusion rehaussé par l'oxydation.

Figure II.15: Caractéristique $V_{th}(L)$ montrant les différents effets de canaux courts pour V_D quasi-nul ou égal à la tension d'alimentation (V_{DD}).

Figure II.16 : Les effets de canal court sur la vitesse de saturation.

Figure II.17: Les caractéristiques $I_D - V_G$ pour un transistor à canal long ($L = 10 \mu m$) et à canal court ($L = 0.25 \mu m$) à $V_D = 1.5 V$.

Figure II.18: Vue en coupe d'un transistor nMOS.

Figure II.19: Caractéristiques I_D / V_D d'un transistor MOS à canal court.

Figure II.20: Représentation de la longueur effective du canal.

Figure II.21: Définition de dL , dW , W_{eff} et L_{eff} .

Figure II.22 : Variation la tension V_{th} en fonction de T_{ox} .

Figure II.23 : Distribution des courants.

Figure II.24 : Illustration des différents courants de fuite présents dans un transistor à canal court.

Chapitre III : Simulation des procédés technologiques de transistor

N-MOSFET Sous Athéna :

Figure III .1 : Silvaco.

Figure III .2 : Schéma synoptique des modules utilisés dans la simulation par TCAD-SILVACO.

Figure III .3 : Exemple de simulation en 2D de l'étape d'oxydation sous ATHENA.

Figure III .4: L'organigramme de simulation en utilisant le TCAD- SILVACO.

Figure III.5 : Fabrication de transistor MOSFET à canal N.

Figure III.6 : Organigramme de la conception de Transistor NMOS.

Figure III.7 : Maillage du dispositif.

Figure III.8 : substrat initial pour NMOS

Figure III.9 : Oxydation de Masquage

Figure III.10 : Implantation de Puits-N et Puits-P

Figure III. 11 : nettoyage de l'oxyde sacrificiel

Figure III. 12 : Oxydation de grille

Figure III. 13 : ajuster la Tension de Seuil.

Figure III.14 : Formation de grille en polysilicium.

Figure III.15 : la formation d'oxyde d'écartement

Figure III.16 : métallisation et formations de la Source et le Drain.

Figure III.17 : La Structure de réflexion pour le dispositif NMOS.

Figure III.18 : La Structure finale de dispositif NMOS.

Chapitre IV : Simulation des caractéristiques électriques du transistor

N-MOSFET Sous Atlas :

Figure IV.1 : Caractéristiques de transfert I_d-V_{gs} du N-MOSFET.

Figure IV.2: les caractéristiques de sortie I_d-V_{ds} de transistor MOSFET a canal n..

Figure IV.3 : Caractéristiques de transfert et de sortie du n MOSFET.

Figure IV.4 : Caractéristique I_d-V_{ds} pour différentes concentrations N_A .

Figure IV.5: Caractéristique I_d-V_{gs} pour différentes concentrations N_A .

Figure IV.6 : Caractéristique I_d-V_{ds} pour différentes concentrations N_D .

Figure IV.7 : Caractéristique I_d-V_{gs} pour différentes concentrations N_D

Figure IV.8: La structure de transistor MOSFET pour différentes longueurs de canal pour $L = (0.025, 0.15, \text{ et } 0.5) \mu\text{m}$.

Figure IV.9: La tension de seuil de transistor MOSFET à canal n pour la tension de drain $V_{ds} = 0.1\text{V}$ et pour différentes longueur de canal : $L = (0.025, 0.15, \text{ et } 0.5) \mu\text{m}$.

Figure IV.10: Les caractéristiques $I_d - V_{gs}$ pour différentes valeurs de la tension de drain $V_{ds} = (0.2, 0.4 \text{ et } 0.6) \text{ volts}$ et pour la longueur de canal $L = 0.15 \mu\text{m}$.

Figure IV.11: les caractéristiques sous le seuil pour $V_{ds} = (0.2, 0.4 \text{ et } 0.6) \text{ V}$.

Figure IV.12: Les caractéristiques sous le seuil pour différentes longueurs de canal $L = (0.025, 0.15, \text{ et } 0.5) \mu\text{m}$.

Figure IV.13: Caractéristique $\log I_d (V_{gs})$ pour $L=0.15\mu\text{m}$ d'un transistor NMOS montrant Les composantes principales du courant I_{OFF} .

Figure IV.14: Le test de DIBL pour $L=0.025\mu\text{m}$ et $L=0.5 \mu\text{m}$.

Figure IV.15 : Le circuit permettant la mise en évidence des courants de fuite du MOSFET.

Figure IV.16: Les courants de fuite I_{ON} et I_{OFF} .

Figure IV.17 : Caractéristiques I_d-V_{gs} à V_{bs} variable en technologie de longueur $L=0.5 \mu\text{m}$ (body effect).

Figure IV.18 : La variation de courant de drain en fonction de la tension de grille pour différentes valeurs d'épaisseur d'oxyde $t_{ox} = 1.8 \text{ nm}$ $t_{ox} = 2.2 \text{ nm}$ et $t_{ox} = 2.9 \text{ nm}$.

Figure IV.19: caractéristique I_d-V_{ds} pour différentes valeurs de l'épaisseur de l'oxyde.

Liste Des Tableaux

Tableau II.1 : Evolutions technologiques.

Tableau II.2: Règles de miniaturisation des MOSFETs proposées par Dennard (facteur multiplicatif k sans unité, dans le cas d'un champ électrique constant).

Tableau II.3 : Paramètres influençant les courants de fuite.

Tableau III.1: Paramètres technologiques et géométriques du MOSFET à canal long définis lors des simulations de 2D.

Tableau A.1 : Valeurs des paramètres utilisés dans l'équation (II-12).

Listes Des Constantes, Symboles Et Des Abréviations

<i>Significations</i>	<i>Constantes</i>	<i>Unités</i>
Constante diélectrique du silicium (permittivité)	$\epsilon_{Si} = 11.7$	Fm^{-1}
Permittivité de l'espace.	$\epsilon_0 = 8.85 \cdot 10^{-12}$	Fm^{-1}
Charge élémentaire	$q = 1,6 \cdot 10^{-19}$	C
Constante de Boltzmann	$k = 1,38 \cdot 10^{-23}$	$J \cdot K^{-1}$

<i>Significations paramètres de silicium</i>	<i>Symboles</i>	<i>Unités</i>
Energie de bas de la bande de conduction	E_c	eV
Energie de haut de la bande de valence	E_v	eV
Energie de niveau intrinsèque	E_i	eV
Energie du niveau de Fermi du semiconducteur	E_{Fsc}	eV
Energie de niveau de Fermi du métal	E_{FM}	eV
Energie de la bande interdite	E_g	eV
Concentration des trous, électrons, et intrinsèque des porteurs dans le silicium	p, n, n_i	cm^{-3}
Différence d'énergie entre le niveau de fermi et le niveau intrinsèque	$q\phi_f$	eV
Travail de sortie du métal	ϕ_m, φ_m	J, eV
Travail de sortie du semiconducteur	ϕ_s, φ_{sc}	J, eV
Affinité électronique du semiconducteur	χ_{sc}	eV
La différence entre les travaux de sortie entre le semiconducteur et le métal.	ϕ_{ms}	J, eV

<i>Paramètres géométriques et technologiques des transistors MOS</i>		
Longueur de la grille	L_g	μm
Longueur du canal	L	μm
Largeur du canal	W	μm
longueur effective de canal.	L_E, L_{eff}	μm
largeur effective du canal.	W_E, W_{eff}	μm
Variation de longueur	ΔL	μm
largeur de la zone de déplétion.	W_d	μm
Longueur de la zone de charge d'espace	X_D	μm
Profondeur de jonction du MOSFET bulk	X_j	μm
profondeur de la jonction dans la source et de drain.	W_j	μm
Epaisseur d'oxyde de la grille	$T_{\text{ox}}, t_{\text{ox}}$	μm
Température	T	K
Dopage du substrat	N_A	cm^{-3}
Dopage de la source et du drain	N_D	cm^{-3}
Concentrations des dopants donneurs et accepteurs ionisés	N_D^-, N_A^+	cm^{-3}
Taux de génération, de recombinaison des porteurs	G, U	
Densités de courant des électrons et des trous	J_n, j_p	$\text{A}\cdot\text{cm}^{-2}$
Coefficients de diffusion	D_n, D_p	$\text{cm}^{-2}\text{S}^{-1}$

<i>Paramètres électriques des transistors MOS</i>		
Tension d'alimentation	V_{DD}	V
Tension de bandes plates (Flat Band)	V_{FB}	V
Polarisation de la grille, drain et source	$(V_g, V_G), (V_d, V_D), (V_s, V_S).$	V
Tension de seuil de transistor	$V_{th}, V_{TH}, V_T.$	V
Polarisation du substrat pour le MOSFET bulk	V_b	V
La tension de diffusion du contact métal - semiconducteur.	V_b	V
Chute de tension dans l'isolant	V_i	V

Différence des travaux de sortie entre la grille et le silicium	$\Delta\Phi_{ms}$	eV
Potentiel de Fermi	Φ_F	V
Potentiel électrostatique à l'interface isolant/semiconducteur ou potentiel de surface.	Ψ_S	V
potentiel de surface au point de pincement	Φ_P	V
Potentiel électrostatique à l'abscisse y	$\Psi(y)$	V
Potentiel thermique	kT/q	V
Laplacien du potentiel	ΔV	V
Charge dans l'oxyde.	Q_{OX}	C
Charge de grille Q_G	Q_G	C
Charge dans le semi-conducteur.	Q_S	C
Charge de déplétion	Q_{DEP}, Q_b	C
Charge d'inversion.	Q_{inv}	C
Courant de drain	I_d, I_D	A
Courant de drain maximal	$I_{D_{max}}$	A
Courant à l'état bloqué /passant	$I_{ON} \quad I_{OFF}$	$A/m^{-1}, A/\mu m^{-1}$
Champ électrique	E	V/cm
Mobilité des électrons	μ_n	$cm^2 \cdot V^{-1} \cdot s^{-1}$
Capacité d'oxyde de la grille	C_{OX}	F
capacité d'isolant	C_i	F
Pente sous le seuil	S	mV / dec
pente sous le seuil est minimale	S_{min}	mV / dec
Résistance donnée par V_{ds}/I_{ds}	R_{on}	Ω
Résistance série côté Source	R_s	Ω
Résistance série côté drain	R_D	Ω
Transconductance	g_m	S, mS
Vitesse de diffusion	v_d	m/s
Vitesse de saturation.	v_{sat}	m/s
Vitesse des porteurs.	v	m/s
Facteur de substrat	n	Sans Dimension

<i>Abréviations</i>	<i>significations</i>
ITRS	« International Technology Roadmap of Semiconductor »: Feuille de route internationale des semi-conducteurs.
MOSFET	« MOS Field Effect Transistor » : Transistor à effet de champ MOS.
MOS	Métal-Oxyde-Semiconducteur.
M.I.S	Métal-isolant- Semiconducteur.
D-MOSFET	Déplétion mode de transistor MOSFET
TMOS	Transistor Métal-Oxyde-Semiconducteur.
E-MOSFET	Enhancement mode de transistor MOSFET.
DIBL	« Drain Induced Barrier Lowering » Abaissement de la barrière de potentiel induit par le drain.
SCE	« Short Channel Effects » Les effets de canal court
CS	« Charge Sharing ou Roll-off » Le partage de charge
ZCE	Epaisseurs des zones de déplétion.
CLM	Modulation de la longueur de canal
pinch off	point de pincement
γ	Le coefficient de l'effet de substrat (body effect)
CMOS	Complémentaire Métal Oxyde Semiconducteur
SOI	« Silicon On Insulator »: Silicium sur isolant.
TCAD	« Technology Computer-Aided Design ».
Silvaco	« Silicon Valley Corporation ».
ATHENA, ATLAS, SSUPREM3	Les outils de simulation de TCAD-SILVACO.
MEMS	Micro-Electro-Mechanical-Systems
DECKBUILD, TONYPLOT	Les modules de TCAD-SILVACO
1D, 2D, 3D.	Un, deux, et trois dimensions respectivement
LPCVD	Low pressure chemical vapor deposition (dépôt à basse pression)
RTA	Recuit thermique rapide
EOT	l'épaisseur d'oxyde équivalente.

Introduction générale

Depuis les années 1950, le transistor à effet de champ MOSFET (Métal Oxyde Semiconducteur Field Effect Transistor), en tant que brique de base des circuits intégrés, est le moteur principal de l'industrie du semiconducteur. Son architecture et son principe de fonctionnement sont restés pratiquement inchangés à ce jour, mais ses dimensions physiques n'ont cessé de décroître. Cependant, depuis le début des années 2000, la réduction de la taille des composants ne suffit plus à garantir de meilleures performances tout en réduisant le coût de fabrication. L'industrie des semiconducteurs est dans une période clef de son essor, passant du monde de la microélectronique à celui de la nanoélectronique. Afin de poursuivre l'augmentation des performances des dispositifs tout en maintenant l'architecture classique des MOSFETs, plusieurs solutions ont été envisagées au cours de cette évolution. Les contraintes, même non intentionnelles, peuvent induire des effets indésirables qui ne peuvent malheureusement plus être négligés et altérant le bon fonctionnement des dispositifs menant au dysfonctionnement des circuits. Par contre, leur contrôle permet d'augmenter la vitesse de fonctionnement des transistors.

Malheureusement, la réduction des dimensions des dispositifs MOSFETs a pour conséquence l'apparition des effets canaux courts. La compréhension de ces effets sur les propriétés physiques due à cette réduction est l'un des enjeux de l'industrie des semiconducteurs.

L'objectif de cette étude est de mettre en évidence par simulation les effets de canal court dus à la diminution de la géométrie du dispositif MOSFET, et leurs caractéristiques électriques pour des petites dimensions, et d'étudier les paramètres pouvant influencer la variation de ces effets sur ce dispositif.

L'outil de simulation utilisé dans ce travail est le logiciel TCAD-SILVACO. Ce logiciel permet de concevoir et prévoir les performances des dispositifs à base de semi-conducteur grâce à leurs deux modules de simulation (ATHENA et ATLAS) les différentes étapes du procédé technologique de fabrication (oxydation, diffusion, implantation ionique,...), ainsi le comportement physique et les paramètres technologiques du composant électronique (distribution des porteurs dans la structure, profondeurs des jonctions, concentration des porteurs) ont été simulés à partir du logiciel ATHENA qui emploie des modèles physiques spécifiques. La simulation du comportement électrique de dispositif, a été réalisée au moyen de l'outil ATLAS.

Ainsi Notre mémoire de magister sera présenté comme suit :

Au chapitre I : Nous présenterons les rappels théoriques de la structure MIS et le transistor N-MOSFET, et nous analyserons ainsi leurs différents régimes de fonctionnement et les expressions analytiques dus à ce dispositif.

Au chapitre II : nous exposerons la miniaturisation des transistors et les effets dus à la réduction de la taille de ces dispositifs tel que : L'effet DIBL (Abaissement de la barrière de potentiel par le drain), la variation de la tension de seuil, La dégradation de la pente sous le seuil ...), objet de cette étude.

Au chapitre III : Nous présenterons l'ensemble des résultats des simulations obtenus par l'outil ATHENA, de TCAD-SILVACO. Ainsi que différentes technologies de fabrication d'un dispositif N-MOSFETS et leur dimension. Celui nous avons prend pour étudier les effets du canal court dans le chapitre suivant.

Le chapitre IV : a été bien évidemment consacré à la présentation des caractéristiques électriques de transistor N-MOSFET, et les effets du canal court et l'interprétation des résultats de simulation obtenus dans notre étude par l'outil ATLAS de TCAD-SILVACO.

I.1.Introduction :

La microélectronique et son essor économique sans précédent repose sur l'invention du premier circuit intégré par J. Kilby en 1958, reliant la première fois plusieurs transistors entre eux.

Le transistor MOS à effet de champ ou transistor MOSFET dans la conception théorique est énoncé pour la première fois en 1925 par J.E Lilienfeld [1]. Ce n'est qu'en 1947 avec les travaux de J. Bardeen, W. Brattain et W. Schockly que le premier transistor bipolaire à base de germanium fut alors fabriqué. Cependant, la difficulté d'obtenir des oxydes de germanium stables (qui reste encore aujourd'hui un problème majeur pour le développement des composants à base des matériaux à forte mobilité), nécessaires au bon fonctionnement des transistors MOSFET. Alors le développement des composants à base de silicium [2].

En 1960 Kahng et Attala présentèrent le premier transistor MOS sur Silicium en utilisant une grille isolée dont le diélectrique de grille était en oxyde de silicium SiO_2 . Le silicium fut un choix très judicieux. Car son oxyde est non seulement un très bon isolant électrique mais il s'est aussi révélé parfaitement adapté pour former des couches dites de passivation protégeant les circuits, accroissant remarquablement leur fiabilité. Ce transistor est plus simple et moins chers que leurs concurrents bipolaires, mais intrinsèquement moins performants à génération technologique équivalente, ont connu leur essor dans les années 70-80 grâce à la technologie (complementary Metal Oxide Semiconductor) CMOS basée sur l'utilisation de deux types de transistors complémentaires (n MOSFET et p MOSFET) inventée en 1968 qui consomme très peu d'énergie[3].



Figure I.1: Premier transistor MOSFET réalisé par M. Atalla, D. Kahng en 1959[4].

Le transistor MOSFET est utilisé dans de multiples applications. Il est utilisé comme amplificateur dans certaines applications analogiques. Il est aussi utilisé comme bit pour stocker et lire l'information sous forme de zéros et uns. Son utilisation est plus importante dans les applications numériques comme élément de base de différentes fonctions logiques (porte AND, OR,..). On peut distinguer deux catégories importantes d'applications :

- applications haute performance **HP** (« *High Performance* ») comme le microprocesseur pour les ordinateurs de bureau pour lesquelles la fréquence de commutation du transistor est privilégiée par rapport à la consommation.
- applications à basse consommation avec un compromis sur la fréquence de commutation du transistor :
 - Les dispositifs à faible puissance active **LOP** (« *Low Operating Power* »), ce sont des dispositifs à basse consommation en fonctionnement tels que les ordinateurs portables.
 - Les dispositifs à faible puissance statique **LSTP**(« *Low Standby Power*»); ce sont des dispositifs nécessitant un faible courant de repos (lorsque le transistor est bloqué) pour obtenir une meilleure autonomie tels que les téléphones portables[2].

Le MOSFET constitue l'autre grande application dans les mémoires ont bénéficié d'une très forte et continuelle augmentation de leur rapidité et de leur densité d'intégration.

En **1967**, **Dennard** invente la mémoire DRAM (Dynamic Random Acces Memory) par association d'un transistor MOSFET et d'une capacité de stockage.

1971 est l'année de la conception **du premier microprocesseur** par *Hoof et al*de la société Intel. Il s'agit d'un processeur 4 bits (Intel 4004) de 3mm par 4mm comportant 2300 transistors ayant une longueur de 8 μ m (**Figure I.2a**).

Depuis lors de nombreuses autres nouvelles technologies ont permet, sans changer vraiment les méthodes de fabrication de réduire la taille des transistors et ainsi la densité des mémoires et la puissance des microprocesseurs.

Cette course à la miniaturisation permet aujourd'hui de concevoir des transistors d'une longueur de 130nm tel que celui présenté sur la **Figure(I.2.b)**. Ce qui permet de concevoir des processeurs tels que le Pentium IV (Intel) qui comporte environs 40 millions de transistors.

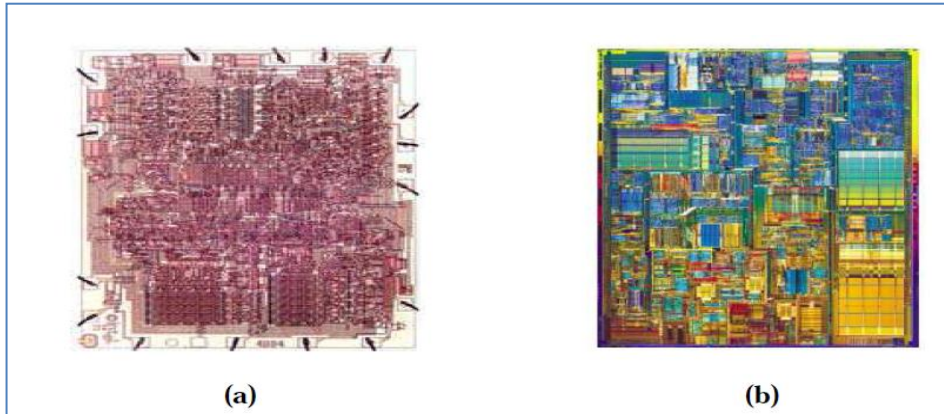


Figure I.2 : Processeur Intel : (a) Intel 4004 et (b) Intel Pentium IV [3].

I.2. Le transistor MOSFET :

De deux types de transistors sont distinguées : le transistor n MOSFET dont les porteurs sont des électrons et le transistor p MOSFET dont les porteurs sont des trous. Le schéma simplifié du transistor de type n est représenté sur la Figure (I.3),

Dans le cas d'une technologie conventionnelle sur silicium massif, Le transistor est fabriqué sur un substrat de silicium dopé de type P dans lequel on crée, par implantation ionique ou diffusion, deux zone très fortement dopées du type opposé (n++), appelées région de source et de drain. Une couche d'oxyde de Si est ensuite élaborée par oxydation au-dessus de la zone du substrat non recouverte par les régions de source et de drain. Finalement la grille en poly-Si est déposée sur la couche d'oxyde pour constituer le dernier élément de commande du dispositif[2].

Alors, la structure se décompose en trois électrodes principales : **contacts de source (S)**, de **drain (D) et de grille (G)**, auxquelles sont associées trois polarisations indépendantes (V_s , V_D , et V_G , respectivement). Dans une utilisation standard, le contact de source est relié électriquement à la masse et la tension V_s est nulle.

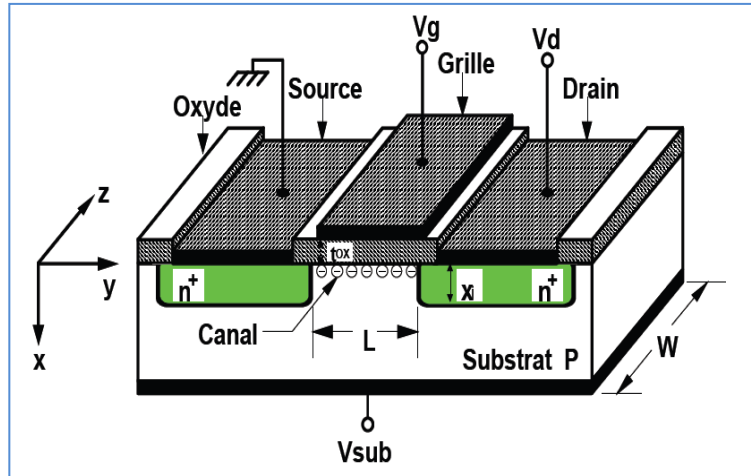


Figure I.3 : Structure schématique de base du transistor Métal-Oxyde-Semiconducteur (canal N) [5].

I.2.1 Principe de fonctionnement :

Le fonctionnement du transistor MOSFET est décrit par deux phénomènes complémentaires. Tout d'abord, l'application d'une tension positive entre la grille et le substrat V_{GS} , permet de créer un champ électrique à l'interface oxyde/semiconducteur, ce qui entraîne l'apparition d'un canal de conduction, composé par le mouvement des porteurs de charge mobiles, à la surface du silicium entre la source et le drain. Le contrôle de la densité de porteurs dans le canal sera alors géré par la tension de grille V_G . Ensuite, sous l'effet d'une polarisation différente entre la source et le drain V_{DS} , les porteurs du canal de conduction peuvent circuler librement entre ces deux contacts : le courant de drain I_D modulé par la tension V_D est alors créé. L'ensemble source/substrat/drain peut être vu comme une jonction npn

Les tensions V_{GS} et V_{DS} permettent de contrôler le courant qui passe dans le canal. Le dopage du canal N_A , la profondeur X_j des jonctions source et drain, la longueur de canal L entre drain et source, la largeur de transistor W et l'épaisseur T_{ox} de l'oxyde de grille sont les paramètres caractéristiques de transistor MOSFET. Avec la réduction de la taille du transistor, la différence entre la longueur L et la longueur effective L_E n'est plus négligeable. De même pour la largeur effective du canal W_E .

Deux paramètres correctifs sont alors introduits. Ils sont définis par : $\Delta L = L - L_E$ et $\Delta W = W - W_E$ [5].

Les deux types fondamentaux de MOSFET sont les MOSFET à appauvrissement de canal dits (Déplétion mode) D-MOSFET, et les MOSFET à enrichissement de canal dits (Enhancement mode) E-MOSFET.

Dans chaque type de MOSFET, on peut distinguer le MOSFET canal N (le courant provient du déplacement d'électrons) et le MOSFET canal P (le courant provient du déplacement de trous).

Dans les MOSFET, le type du canal (N ou P) ne correspond pas forcément au type du semi-conducteur sous la grille.

I.2.2 MOSFET à appauvrissement D-MOSFET :

🚦 Structure du MOS à appauvrissement canal N :

Dans le D-MOSFET le drain et la grille sont reliés par un canal étroit du même type : N pour D-MOSFET canal N. Dans ce cas, si on applique une tension négative sur la grille par rapport au substrat, les électrons sont repoussés et la conductivité du canal diminue.

🚦 Structure du MOS à appauvrissement canal P :

Dans le D-MOSFET le drain et la grille sont reliés par un canal étroit du même type : P pour D-MOSFET canal P. Dans ce cas, si on applique une tension positive sur la grille par rapport au substrat, les trous sont repoussés et la conductivité du canal diminue.

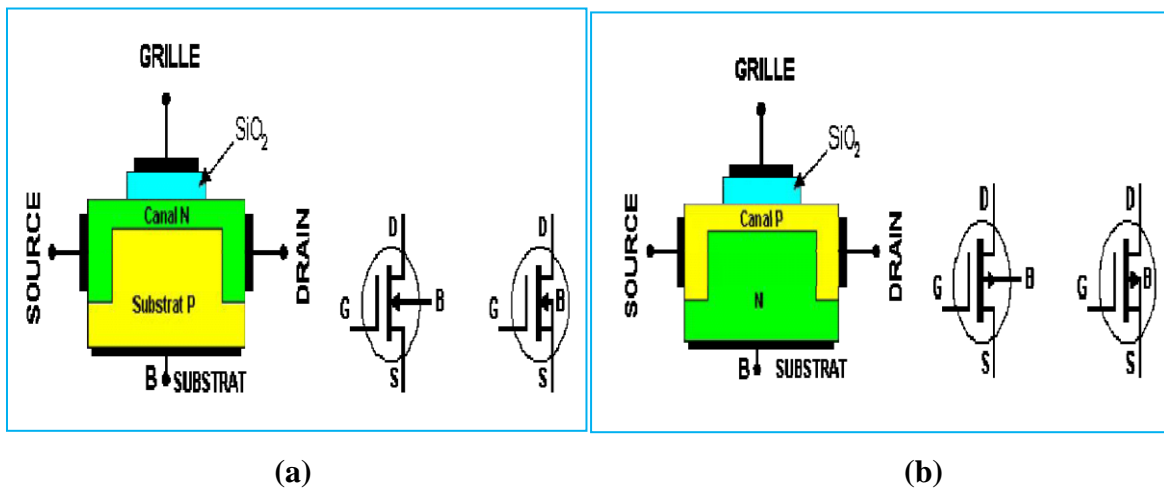


Figure 1.4: Structure du MOS à appauvrissement : (a) canal N. (b) canal P [6].

Les transistors MOS à appauvrissement sont passants sans tension de commande sur la grille (NORMALLY ON), ils deviennent de moins en moins conducteurs au fur et à mesure que la tension de commande augmente pour finalement se bloquer au-delà d'une tension de blocage V_{GSoff} .

1.2.3 MOSFET à enrichissement E-MOSFET :

Dans l'E-MOSFET le drain et la grille ne sont pas reliés par un canal du même type. Sans tension de commande, le E-MOSFET est bloqué : (NORMALLY OFF).

✚ **Régime d'enrichissement** : En appliquant une tension positive sur la grille, on attire les électrons à l'interface isolant-semi-conducteur et on repousse les trous. A partir d'une certaine valeur : tension de seuil V_{TH} (Threshold Voltage), une couche d'inversion apparaît et le transistor devient de plus en plus passant.

Dans le cas d'un E-MOSFET à canal P, si on applique une tension négative sur la grille par rapport au substrat, les électrons sont repoussés et les trous minoritaires sont attirés. A partir d'une certaine valeur tension de seuil V_{TH} (Threshold Voltage), une couche d'inversion apparaît et le transistor devient de plus en plus passant[6].

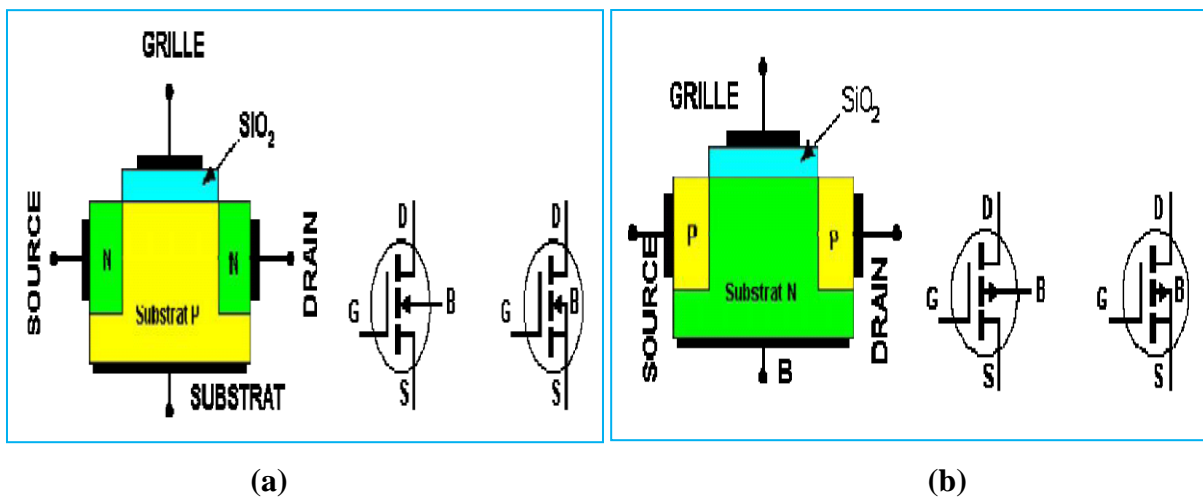


Figure I.5: Structure du MOS à enrichissement :(a)canal N.(b)canal P.

Les transistors MOS à enrichissement sont bloqués sans tension de commande sur la grille (NORMALLY OFF), ils deviennent passant à partir d'une certaine tension de grille V_{TH} . Plus $|V_{GS}| > |V_{TH}|$, plus le E-MOS devient passant.

1.2.4. Mode de fonctionnement :

Le fonctionnement d'un transistor MOSFET dépend de la formation d'un canal de conduction sous la grille entre la source et le drain. Un canal de conduction entre la source et le drain peut être formé soit en utilisant une couche implantée ou enterrée dans le substrat, soit en appliquant une tension de grille [7].

➤ **MOSFET à canal non-préformé (Normally-OFF) :**

Le transistor qui n'a aucun canal de conduction entre la source et le drain à la tension nulle de grille $V_{GS}=0$, n'a aucun courant de drain qui circule, parce que le circuit source-drain se compose de deux jonctions en série l'une est PN, l'autre est NP, et il y aura donc toujours l'une des deux en inverse.

Ce type de transistors s'appelle transistor MOS à enrichissement (Normally-OFF), car une tension V_{GS} positive enrichit le canal en porteurs minoritaires, permettant le passage du courant [8].

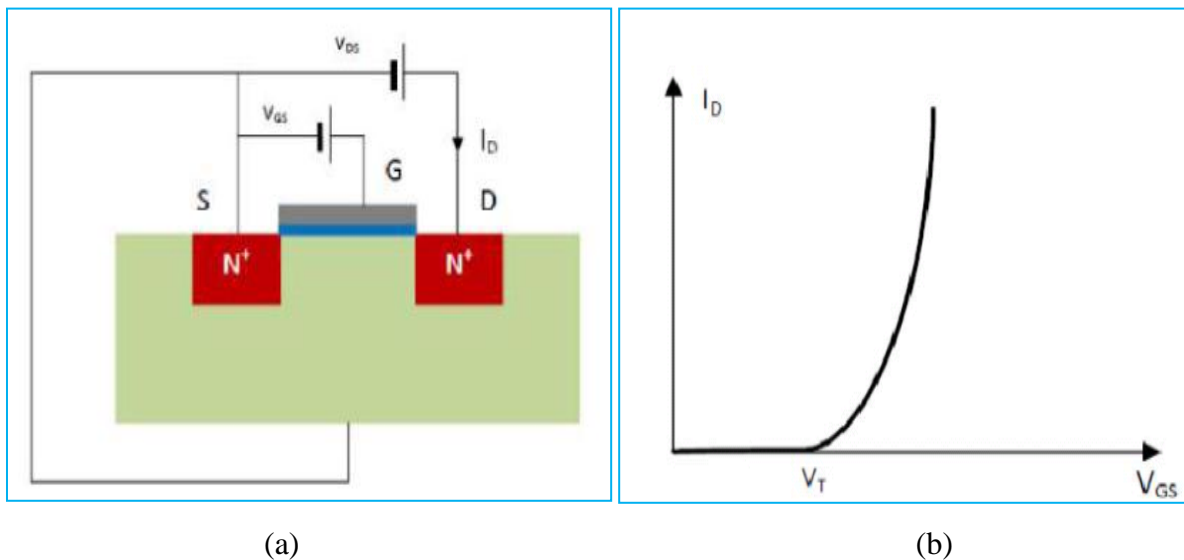


Figure I.6: (a) Transistor MOSFET Normally –OFF.(b) Caractéristique de transfert d'un MOSFET à enrichissement.

➤ **MOSFET à canal préformé (Normally-ON) :**

Si le transistor possède un canal de conduction entre la source et le drain de telle sorte que le dispositif est passant, même à la tension nulle de la grille, le dispositif est appelé transistor MOS à appauvrissement (Normally-ON) [8].

La caractéristique de transfert obéit à la forme de la Figure I.7. (b), où on constate que la tension de seuil est négative.

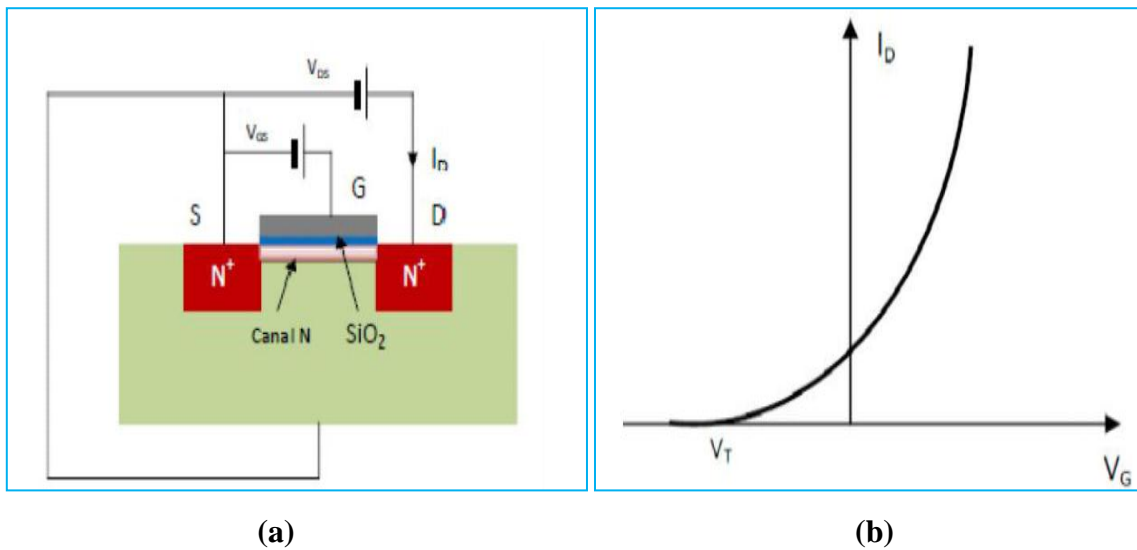


Figure I.7:(a) Transistor MOSFET Normally-OFF. (b) La caractéristique de transfert d'un MOSFET à appauvrissement.

I.3. Généralités sur la structure Métal-Oxyde- Semiconducteur (M.O.S) :

La structure MOS est une structure du type MIS (Métal Isolant Semiconducteur). Elle est l'élément actif d'un transistor MOSFET.

I.3.1. Diagramme d'énergie d'une structure Métal-vide-Semiconducteur :

On considère un métal, caractérisé par un travail de sortie $q\phi_m$ et un semiconducteur de travail de sortie $q\phi_s$, séparés par un isolant constitué par une épaisseur de vide relativement faible (figure I.8 gauche). Si le métal et le semiconducteur sont reliés électriquement (figure I-8 droite), ils constituent un seul système thermodynamique, leurs niveaux de fermi s'alignent et une différence de potentiel, analogue à la tension de diffusion du contact métal - semiconducteur, crée par les différence des travaux de sortie apparait la barrière :

$$qV_b = q\phi_s - q\phi_m \quad \text{I. 1}$$

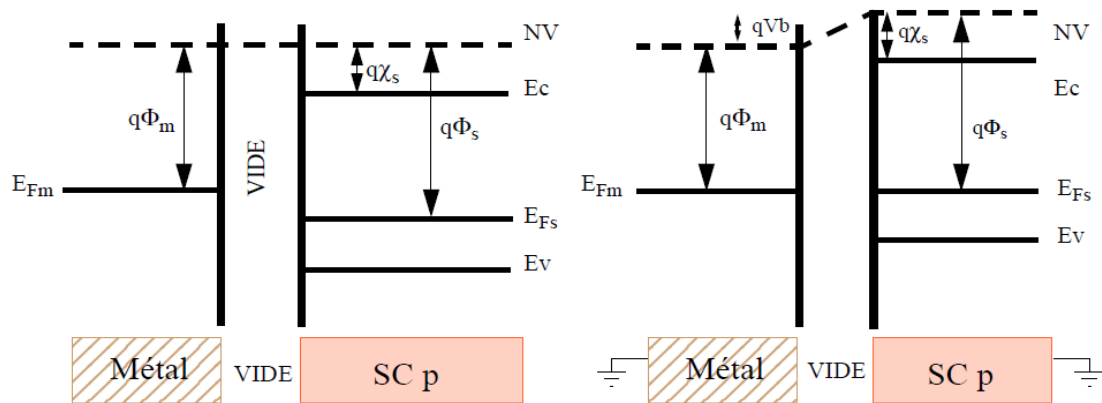


Figure 1.8: structure métal-vide –semiconducteur [métal et semiconducteur isolés (gauche)][métal et semiconducteur relié (droite)] [9].

La structure se comporte comme un condensateur plan dont la tension entre les armatures est constante (V_b). La charge dépend de la capacité ou en d'autre terme de la distance entre les armatures. Si cette distance diminue, la capacité, et par conséquent la charge, augmente, Compte tenu de la forte densité d'états disponibles dans le métal, cette charge sera confinée sur une fraction de couche atomique (épaisseur supposée nulle), La charge dans le semiconducteur résulte de la variation de la densité de porteurs libres, électrons ou trous, au voisinage de la surface. La variation de la densité de porteurs libres est associée à la différence d'énergie entre le niveau de fermi et les bandes de conduction ou de valence. Dans la mesure où le niveau de fermi est fixé par l'équilibre thermodynamique. Il en résulte une courbure des bandes de valence et de conduction vers le bas ou le haut, en fonction de l'augmentation ou de diminution de la densité d'électrons. La nature de la charge d'espace et de la courbure des bandes est fonction du type du semiconducteur et de la différence des travaux de sortie[9].

I.3.2. Régime de fonctionnement :

L'état électrique de la structure MOSFET est conditionné par l'état de la capacité MIS (Métal-Isolant-Semiconducteur). On distingue principalement **quatre régimes** de fonctionnement [10]. Le diagramme d'énergie d'une structure MIS avec un substrat de type P va nous aider à expliquer leur origine.

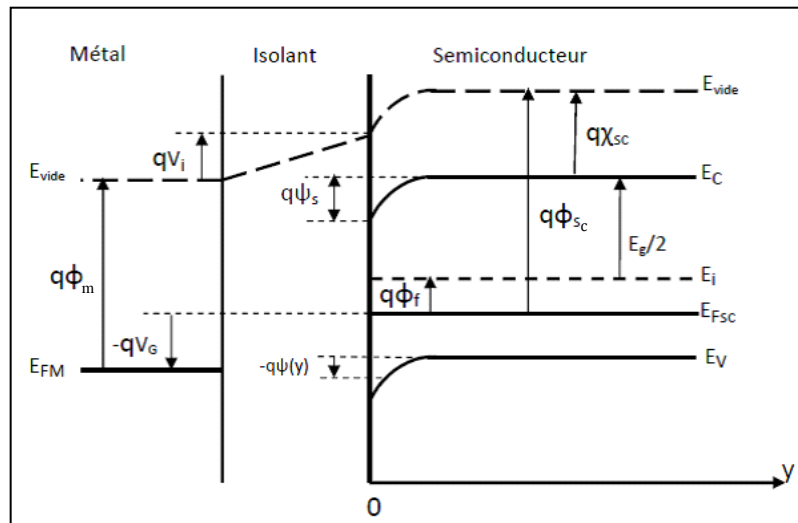


Figure I.9 : Diagramme de bande d'une structure MOS à substrat de type P [1].

Où :

E_C : Energie du bas de la bande de conduction du semiconducteur ;

E_V : Energie du haut de la bande de valence du semiconducteur ;

E_{FSC} : Energie du niveau de Fermi du semiconducteur ;

E_i : Energie du niveau intrinsèque du semiconducteur ;

E_{FM} : Energie du niveau de Fermi du métal ;

E_g : Energie de la bande interdite ;

$q\Phi_f$: Différence d'énergie entre le niveau de fermi et le niveau intrinsèque ;

Φ_m, φ_m : Travail de sortie du métal;

Φ_{sc}, φ_{sc} : Travail de sortie du semiconducteur;

χ_{sc} : Affinité électronique du semiconducteur ;

V_G : Tension appliquée sur la grille ;

V_i : Chute de tension dans l'isolant ;

$\Psi(y)$: Potentiel électrostatique à l'abscisse y;

Ψ_s : Potentiel électrostatique à l'interface isolant/semiconducteur ou potentiel de surface.

Pour obtenir la condition de bandes plates où le potentiel de surface $\Psi_s = 0$ est nul à la surface du semiconducteur (Figure I.10).

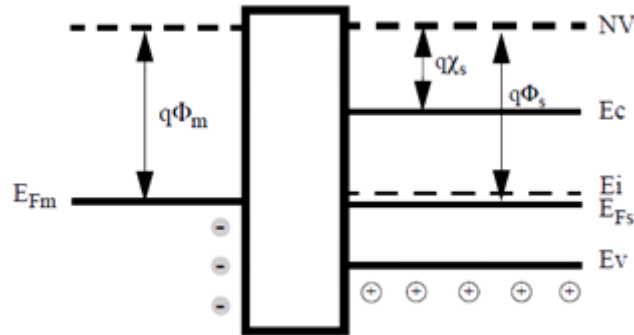


Figure I.10: La condition de Bandes plates $\Phi_m = \Phi_s$.

Alors il faut appliquer une tension V_{FB} : appelée la tension de bandes plates (ou Flat Band) sur la grille, afin de pouvoir compenser la différence des travaux de sortie, et la charge dans l'oxyde Q_{ox} .

$$V_{FB} = \phi_{ms} - \frac{Q_{ox}}{C_i} \quad 1.2$$

Tel que : $\phi_{ms} = \phi_m - \phi_{sc}$

Où C_i : est la capacité d'isolant (ou bien d'oxyde), ϕ_{ms} : est la différence entre les travaux de sortie entre le semiconducteur et le métal.

Pour un dispositif à canal N, la charge de grille est appelée $Q_G = -Q_s$, où Q_s est la charge dans le semi-conducteur.

Alors en premier lieu, On à intéresser au fonctionnement d'une capacité MOS (Métal/Oxyde/Semiconducteur). En effet, en fonction de la polarisation appliquée aux bornes de cette structure MOS, les bandes d'énergie peuvent se courber pour donner quatre principaux régimes. En considérant le substrat à la masse et différents potentiels de grille,

La Figure I.11 présente le diagramme des bandes du transistor nMOSFET pour les 4 régimes de fonctionnement :

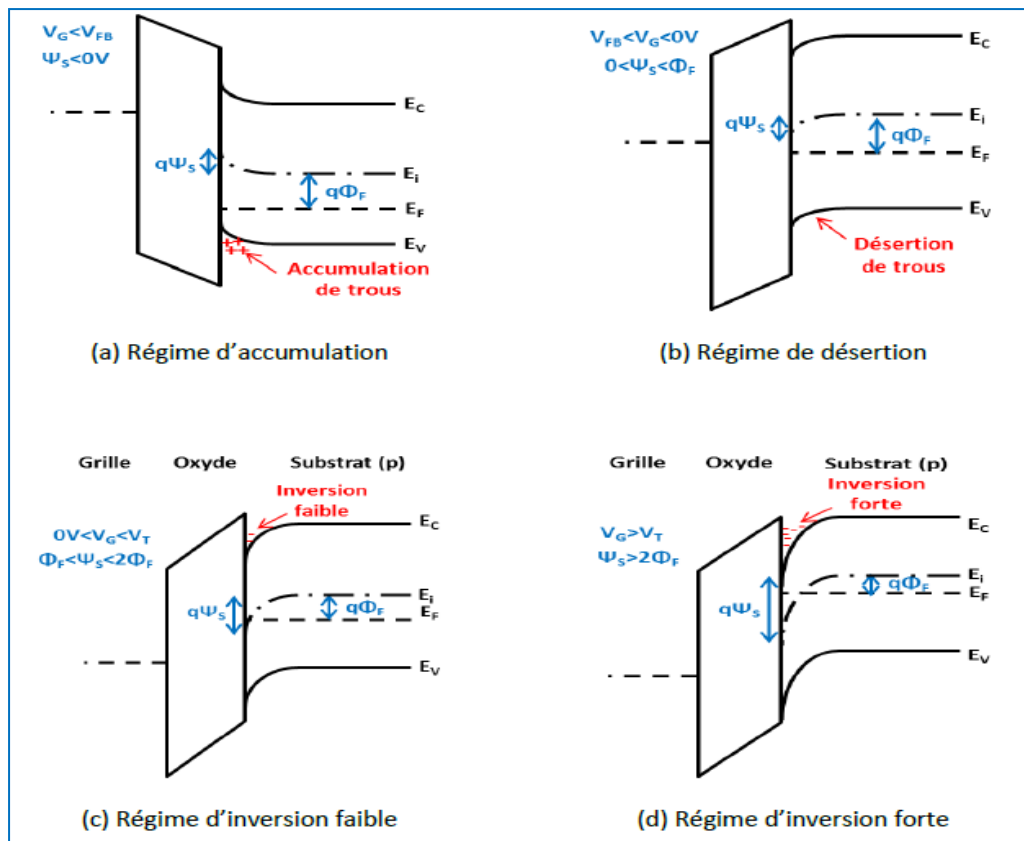


Figure 1.11 : Diagramme de bande d'énergie suivant le régime de fonctionnement d'une structure à substrat de type P[11].

➤ **régime d'accumulation :** $V_{gs} < V_{FB}$ $\Psi_s < 0$

Quand une tension négative est appliquée à la grille, la bande de valence s'approche du niveau de Fermi, et ceci a comme conséquence une augmentation exponentielle de la densité des porteurs majoritaires (trous pour le substrat de type P) à l'interface Oxyde/Semi-conducteur, c'est ce qui correspond au régime d'accumulation, Une barrière de potentiel existe entre la source et le substrat va interrompre la circulation des électrons de la source vers le drain, le transistor se trouve à l'état « bloqué » [12].

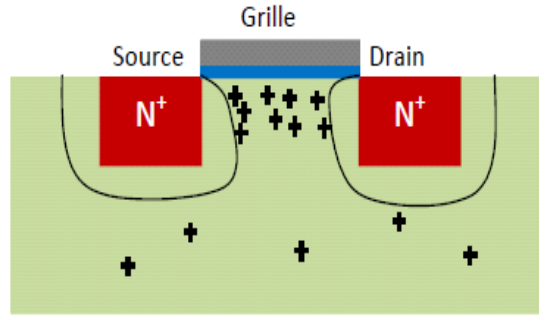


Figure I-12 : Transistor NMOSFET en régime d'accumulation (l'état bloqué).

➤ **Régime de déplétion ou de désertion** $V_{FB} < V_{gs} < 0$ soit $0 < \Psi_s \leq \Phi_F$

Les porteurs majoritaires sont repoussés en profondeur par une tension de grille V_G positive. La concentration en électrons augmente mais reste encore plus faible que celles de trous. Ce qui provoque la formation d'une zone désertée (de charge d'espace) en porteurs et le transistor ne conduit pas encore, l'absence de charges libres induit une capacité de déplétion (C_{DEP}). La charge par superficie dans la région de $y=0$ à $y=W_d$, appelée **charge de déplétion** (Q_{DEP}) (l'équation I.3), le transistor est toujours « bloqué ».

$$Q_{Dep} = -q N_a W_d = -\sqrt{2 \epsilon_{si} N_a \psi_s} \quad I.3$$

Où, ϵ_{si} est la permittivité du silicium, W_d est la largeur de la zone de déplétion.

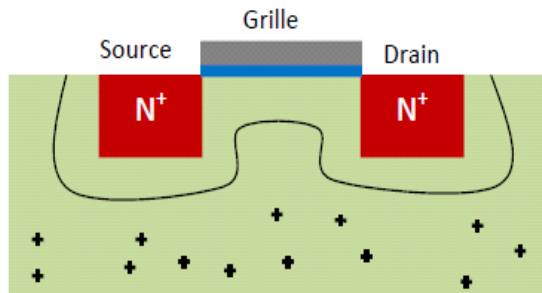


Figure I-13 : Transistor NMOSFET en régime de déplétion.

➤ **Régime d'inversion faible** $V_{FB} < V_g \leq V_{th}$ soit $\Phi_F \leq \Psi_s < 2\Phi_F$.

Cette condition traduite par l'égalité entre potentiel à l'interface semi-conducteur isolant et le potentiel de volume du semi-conducteur ($\Psi_s = \Phi_F$) qui correspond au seuil de l'inversion faible : pour cette cas, en surface de semi-conducteur les concentrations de porteurs majoritaires et minoritaires sont égales à n_i (n_i : concentration intrinsèque de porteurs).

La barrière de potentiel entre la source et le drain reste importante, quelque électron arrive à la franchir. C'est-à-dire que la densité de porteurs libres à l'interface oxyde /semiconducteur n'est pas suffisante pour créer un canal de conduction, le transistor est dans l'état « bloqué ».

➤ **Régime d'inversion forte** $V_g > V_{th}$ soit $\Psi_S > 2\Phi_F$.

Lorsque on applique des polarisations de grille supérieures à la tension de seuil la concentration des porteurs minoritaires (électrons) devient plus importante que celle des majoritaires (trous), ce qui provoque la formation d'une couche ne contenant que des charges fixes négatives que nous appelons : Q_{inv} (charge d'inversion). Donc le transistor devient à l'état « passant » grâce à la couche d'inversion formée [12].

$$Q_G = -Q_S = Q_{DEP} = -Q_{inv}$$

Alors les régimes de fonctionnement de transistor MOS peuvent se représenter de manière simplifiée en fonction de la polarisation de grille V_G comme montre la Figure (I. 14).

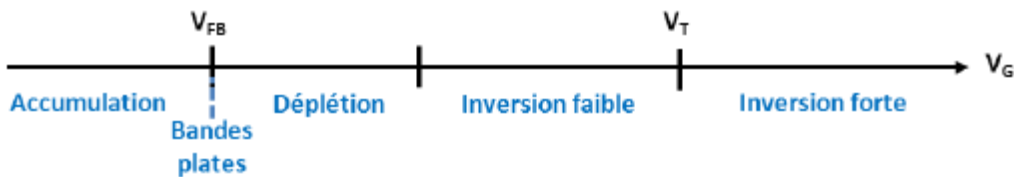


Figure I. 14 : Différents régimes de fonctionnement de transistor MOS en fonction de la tension V_G [11].

I.4. Caractéristique générales et expressions analytiques d'un MOSFET :

Avec l'étude qualitative antérieure, nous pouvons maintenant formuler le comportement des transistors MOSFET en termes de leurs tensions des bornes.

Le potentiel de volume du semi-conducteur ϕ_F qui définit le niveau d'énergie de Fermi donné par l'expression de l'équation I.4.

$$E_F = E_i - q\phi_F \quad \text{I. 4}$$

Ce paramètre peut être obtenu en résolvant rigoureusement l'équation d'électro-neutralité.

Un tel calcul dans l'approximation de Boltzmann valable pour des dopages modérés en impuretés accepteurs N_A pour le transistor n MOSFET nous amène à définir d'une autre manière l'expression de ϕ_F selon l'équation I.5.

$$\phi_F = \frac{KT}{q} \ln\left(\frac{N_A}{n_i}\right) = \frac{1}{q}(E_i - E_F) \quad \text{I. 5}$$

Où k , N_A , n_i et E_F : représentent respectivement la constante de Boltzmann, densité de dopants accepteurs, densité intrinsèque d'électrons et énergie de Fermi.

Le potentiel à l'interface semi-conducteur-isolant Ψ_S qui peut être défini pour le régime forte inversion ($\Psi_S = 2\phi_F$) est exprimé par la relation de l'équation 1.6 [13]:

$$\phi_F = 2\phi_F + \frac{KT}{q} \ln\left(\frac{N_D}{N_A}\right) \quad \text{I. 6}$$

Où N_D et N_A étant respectivement la concentration de dopants dans les zones source et drain et dans le canal pour un transistor n MOS.

Pour un dispositif MOSFET à canal N la tension de seuil V_{Th} peut être négative ou positive. Quand le dispositif a une tension de seuil négative un canal de conduction existe déjà à l'état d'équilibre donc il faut appliquer une tension négative pour mettre le dispositif à l'état off c'est-à-dire enlever la conduction. L'expression de **la tension de seuil V_{Th}** d'une capacité MOS à canal N est définie comme la tension de grille V_g telle que la condition $\Psi_S = 2\phi_F$ soit remplie, cette tension est donnée par la relation suivante [13] :

$$V_{Th} = V_{FB} - \frac{|Q_{DEP}|}{C_{ox}} + 2\phi_F \quad \text{I. 7}$$

La tension de seuil typique d'un nano-MOSFET est comprise entre 0.2 et 0.5V.

Q_{DEP} : la charge de la zone de déplétion dans le substrat, et C_{ox} : la capacité de l'oxyde de grille

SiO₂. Tel que : $C_{ox} = \frac{\epsilon_{ox}}{T_{ox}}$ I. 8

Avec ϵ_{ox} : est la permittivité diélectrique d'oxyde.

I.4.1. La densité de la charge du canal :

Nos dérivations exigent une expression pour la charge de canal (c.-à-d., les électrons libres par unité de longueur), également appelée " la densité de charge " $Q = C.V$

Nous notons que si C : est la capacité de la grille par unité de longueur et V : la différence de tension entre la grille et le canal, alors Q est la densité de la charge désirée.

On dénote la capacité de la grille par unité de superficie C_{ox} (exprimé en F/m²), nous écrivons $C = W.C_{ox}$ pour considérer la largeur du transistor Figure (I.15).

De plus nous avons $V = V_{GS} - V_{TH}$ parce qu'aucune charge mobile n'existe pour $V_{GS} < V_{TH}$, (Ci-après, nous dénotons les deux tensions de la grille et du drain par rapport à la tension de la source), elle suit cela :

$$Q = W.C_{ox}(V_{GS} - V_{TH}) \quad \text{I. 9}$$

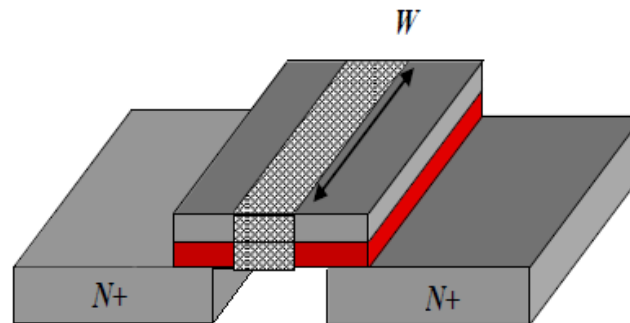


Figure I.15 : Illustration de la capacité par unité de longueur[14].

La tension du canal se varie le long du transistor, et la densité de charge diminue allant de la source vers le drain. Ainsi, L'équation (I.9) est valide seulement près de la borne de source, où le potentiel de canal demeure de près de zéro. Comme il est montré dans la Figure(I.16), nous dénotons le potentiel du canal à x par $V(x)$ et nous écrivons :

$$Q(x) = W.C_{ox}.[V_{GS} - V(x) - V_{TH}] \quad \text{I. 10}$$

Notons que $V(x)$ va de zéro à V_D si le canal n'est pas pincé.

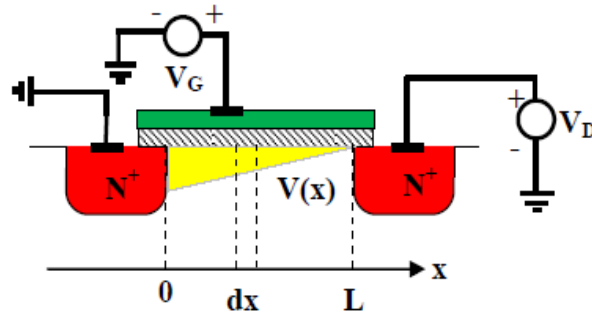


Figure I.16 : Le dispositif qui illustre le calcul de courant de drain [14].

I.4.2 Le courant du drain :

Considérer une barre du semi-conducteur ayant un égal uniforme de densité de charge (par unité de longueur) égal à Q et portant un courant I de la Figure (I.17).

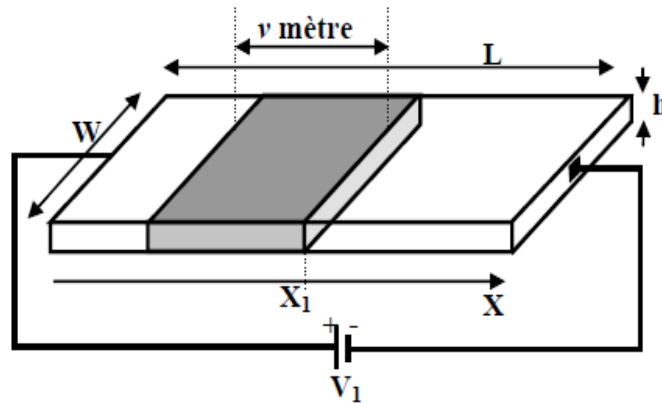


Figure I.17: La relation entre la densité de charge et le courant.

Il est donné par toute la charge qui traverse une section de la barre dans une seconde, et si les porteurs se déplacent avec une vitesse de v : (m/s), alors la charge incluse dans v mètres le long de la barre, et traverse le secteur dans une seconde. Puisque la charge incluse dans v mètres est égal à $Q.v$, nous avons [15]:

$$I = Q.v \quad \text{I. 11}$$

Et On a :

$$v = -\mu_n E \quad \text{I. 12}$$

$$v = +\mu_n \frac{dV}{dx} \quad \text{I. 13}$$

Où dV/dx dénote la dérivée de la tension à un point donné. Nous combinons les équations (I.10), (I.11), et (I.13), nous obtenons [15]:

$$I_D = WC_{ox}[V_{GS} - V(x) - V_{TH}]\mu_n \frac{dV(x)}{dx} \quad \text{I. 14}$$

Puisque I_D doit demeurer constant le long du canal, $V(x)$ et $dV(x)/dx$ doit varier tels que le produit $V_{GS}-V(x) - V_{TH}$ et dV/dx est indépendant de x , Tandis qu'il est possible de résoudre L'équation ci-dessus pour obtenir $V(x)$ en fonction de I_D , notre besoin immédiat doit trouver une expression pour I_D en fonction des tensions des bornes. À cet effet, nous écrivons:

$$\int_{x=0}^{x=L} I_D dx = \int_{V(x)=0}^{V(x)=V_{DS}} \mu_n C_{ox} W [V_{GS} - V(x) - V_{TH}] dV \quad \text{I. 15}$$

C'est :

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} [2(V_{GS} - V_{TH})V_{DS} - V_{DS}^2] \quad \text{I. 16}$$

Pour un V_{GS} constant, I_D se varie paraboliquement avec V_{DS} ce qui montre dans la Figure (I.18), et atteignant un maximum de courant égale :

$$I_{D,max} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad \text{I. 17}$$

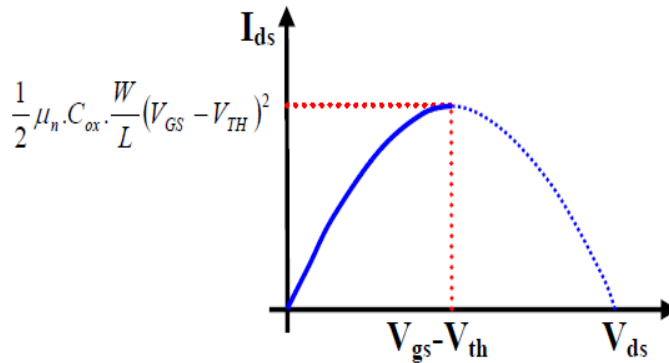


Figure I.18: Caractéristique parabolique de I_{ds} et V_{ds} [16].

À $V_{ds}=V_{gs}-V_{th}$. Il est courant d'écrire W/L comme rapport deux valeurs par exemple, $5\mu\text{m} / 0.18\mu\text{m}$ (plutôt que 27.8) pour insister sur l'importance du choix de W et de L . Tandis que seulement le rapport apparaît dans beaucoup d'équations de MOS, la valeur individuelle de W et L devient également critique dans la plupart des cas. Par exemple, si les deux valeurs de W et le L sont doublées, le rapport demeure sans changement mais une augmentation de capacité de grille.

La relation non linéaire entre l'identification et le V_{ds} indique que le transistor ne peut pas généralement être modelé comme résistance linéaire simple [16].

Cependant, si $V_{ds} \ll 2(V_{gs} - V_{th})$, L'équation (I.16) réduit à : $I_D - V_{DS}$ s'expose un comportement linéaire pour un V_{gs} donné.

$$I_D \approx \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) V_{DS} \quad \text{I.18}$$

En fait, la résistance équivalente est donnée par V_{DS}/I_D :

$$R_{on} = \frac{1}{\frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad \text{I.19}$$

I.5. Les régions linéaire et de saturation :

Généralement on distingue **deux régions** différentes, **la région linéaire et la région de saturation**. Alors on peut distinguer alors deux situations en fonction de la tension V_G appliquée sur la grille (Figure I. 19) [12].

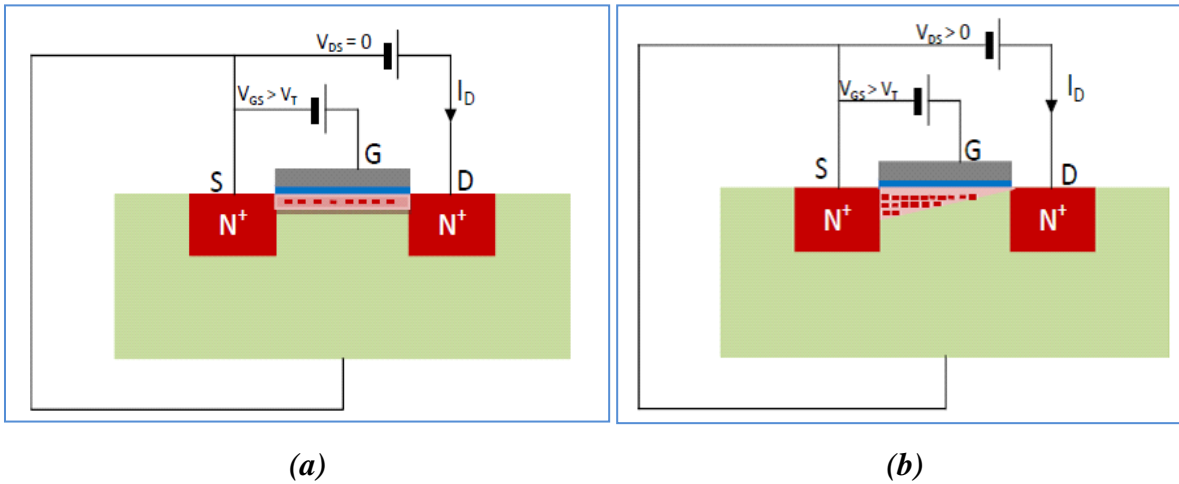


Figure I.19: (a) Transistor NMOSFET en régime linéaire. (b) Transistor NMOSFET en régime de saturation.

L'équation (I.16) exprime le courant de drain en fonction des tensions des bornes de dispositif, impliquant que le courant commence à chuter pour $V_{ds} > V_{gs} - V_{th}$.

Nous disons que le dispositif fonctionne dans "**la région de linéaire**" si $V_{ds} < V_{gs} - V_{th}$ (la section montée de la parabole). Nous employons également le terme "région de linéaire profonde" pour $V_{ds} \ll 2(V_{gs} - V_{th})$, où le transistor fonctionne comme une résistance [14].

En réalité, le courant de drain atteint **"la saturation "** c'est-à-dire devient constante pour $V_{ds} > V_{gs} - V_{th}$ ce qui montre dans la Figure(I.20).

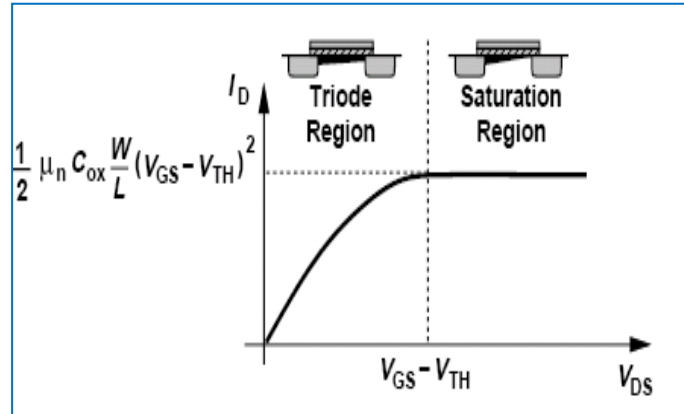


Figure I.20: Caractéristique globale du MOS [14].

Les régimes de fonctionnement du transistor MOS se retrouvent sur les caractéristiques du I_D - V_G et I_D - V_D de la Figure (I.21).

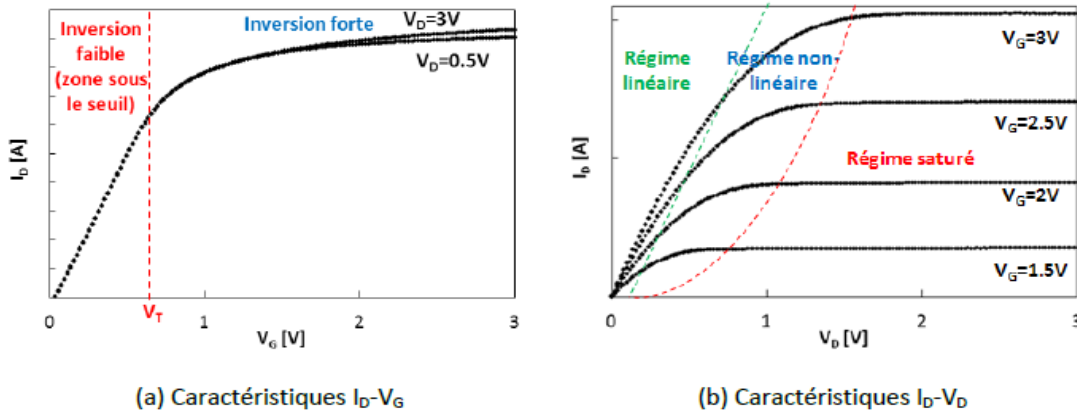


Figure I. 21: Les caractéristiques ($I-V$) d'un transistor NMOS [11].

I.6. La transconductance du MOSFET :

La transconductance g_m , est l'un des paramètres les plus importants pour la mesure du gain des dispositifs, elle est définie comme étant la dérivée du courant de drain par rapport à la tension de grille V_G [12] :

$$g_m = \left. \frac{dI_d}{dV_G} \right|_{V_D} \quad \text{I. 20}$$

Pour le régime linéaire, la transconductance est donnée par la relation suivante [14]:

$$g_m = \mu_n C_i \left(\frac{Z}{L}\right) V_D \quad \text{I. 21}$$

Et pour le régime de saturation, la transconductance est donnée par [12]:

$$g_m = \mu_n C_i \left(\frac{Z}{L}\right) (V_G - V_T) \quad \text{I. 22}$$

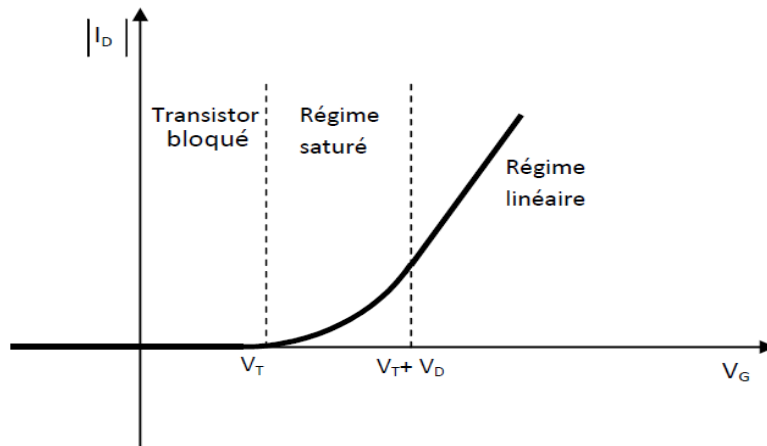


Figure I.22 : Caractéristique $I_D(V_G)$.

Pour conclure, il est important de rappeler que les équations de courant et de la tension V_{TH} sont uniquement valides dans les transistors à canal long ou aucun effet lié à la réduction des dimensions n'est pris en compte.

I.7. Caractéristique $I_{ON} I_{OFF}$: familles technologiques :

Il apparaît que les paramètres I_{ON} et I_{OFF} constituent de très bons indicateurs des performances d'un dispositif.

Le rapport I_{ON}/I_{OFF} doit être élevé que possible, avec I_{ON} défini comme le courant de drain lorsque $V_{GS} = V_{DS} = V_{DD}$, et I_{OFF} comme le courant de drain lorsque $V_{GS} = 0$ et $V_{DS} = V_{DD}$.

De cette manière, des fréquences de commutation élevée sont autorisées par un courant I_{ON} élevé et un courant de I_{OFF} minimal permet une faible dissipation d'énergie au repos.

Le graphe I_{ON}/I_{OFF} constitue aussi une des principales figures de mérite utilisées pour évaluer et comparer rapidement les performances de plusieurs dispositifs (Figure I.23) [14].

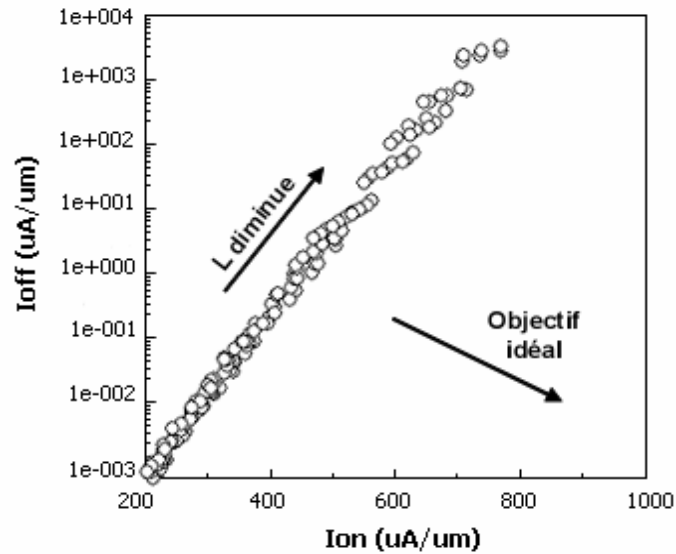


Figure I. 23 : Graphe I_{ON}/I_{OFF} pour des NMOS [17].

I.8. Les résistances séries:

Pour les transistors de longueur de grille submicronique, les effets de résistances séries ont une cause relativement importante de perte de performance. La résistance totale d'un Transistor peut être décomposé en deux parties :

- la résistance du canal de conduction.
- les résistances d'accès coté source et coté drain.

Les résistances d'accès sont globalement liées aux jonctions et aux contacts (de source et de drain), ainsi qu'aux interconnexions. Ces résistances d'accès, notées R_{SD} , entraînent une chute de potentiel aux bornes réelles du canal (S' et D') et entre source et grille (S' et G) ce qui présente sur la Figure (I. 24).

En supposant $R_D = R_S = R_{SD}/2$ (avec R_S et R_D les résistances séries parasites côté Source et côté drain respectivement),

On a ainsi : $V_{GS'} = V_{GS} - R_{SD} I_D/2$ et $V_{D'S'} = V_{DS} - R_{SD} I_D$

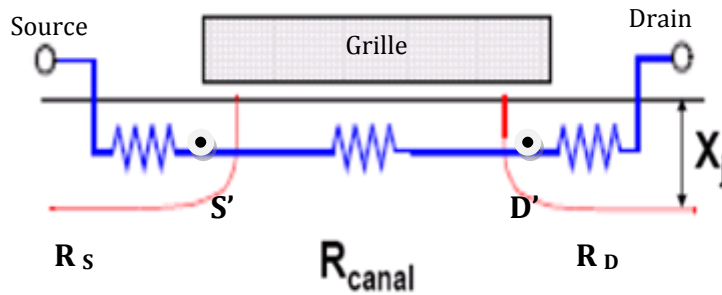


Figure I.24: Schéma électrique d'un transistor avec prise en compte des résistances séries R_{SD} [17].

Il est cependant à noter qu'il existe un compromis entre résistances d'accès et effets de canal court. Les limitations dû aux effets indésirables que nous avons brièvement citées au chapitre suivant, entraînent de nouveaux challenges afin maintenir l'augmentation des performances exigées par la feuille de route de l'ITRS (International Technology Roadmap for Semi-conducteurs). Une des solutions permettant le maintien de ces performances étant l'utilisation de films minces de Silicium pour contrôler les effets de canal court dans les dispositifs de faible longueur de grille. C'est pourquoi les technologies FDSOI sont considérées comme un des meilleurs candidats pour les futures générations CMOS (Complémentaire Métal Oxyde Semiconducteur).

I.9 Conclusion :

L'objectif de ce premier chapitre était d'introduire les principales caractéristiques des différents régimes de fonctionnement de la structure MIS, et de présenter le transistor MOSFET et leur mode de fonctionnement. Nous avons ainsi pu rappeler les principales caractéristiques de ce dispositif, ainsi que les différents paramètres et les expressions analytiques qui influent sur le principe de fonctionnement de transistor à canal long. La miniaturisation des transistors MOS a permis d'augmenter la densité d'intégration et la vitesse de fonctionnement des circuits. Cette réduction des dimensions a engendré des phénomènes parasites qui dégradent les caractéristiques des composants. Parmi ces effets parasites rencontrés lors de cette miniaturisation des transistors, nous notons l'apparition des effets de canal court qui sera l'objet du chapitre suivant.

II.1 Introduction :

L'objet de ce chapitre est d'introduire les problèmes liés à la réduction des échelles de transistors n MOSFET, Les défis technologiques ayant permis de réduire les échelles. Néanmoins il est à noter que le nombre de difficultés à maîtriser ne cesse de croître à chaque nouvelle génération technologique.

L'évolution technologique a permis cette dernière décennie la conception de dispositif ayant des géométries de l'ordre du micromètre voire même du nanomètre réduisant ainsi considérablement la taille de ces dispositifs en comparaison avec ceux conçus quelques années auparavant.

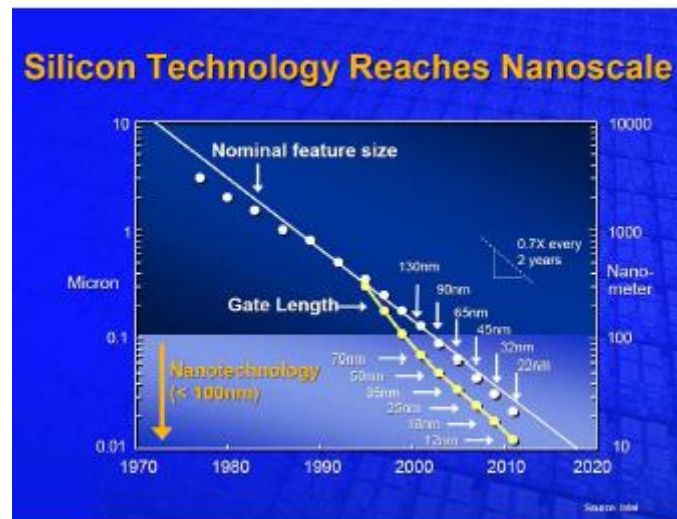


Figure II.1: Evolution de la technologie de MOSFET dans le rapport de l'ITRS 2010 [18].

Cette évolution est bien illustrée au niveau du tableau qui suit :

	1995	1997	1999	2002	2005	2008	2011	2014
Dimension de transistor (nm)	350	250	180	130	100	70	50	35
Longueur du canal (nm)	300	200	100	70	50	35	25	18
Epaisseur d'oxyde t_{ox} (nm)	3.0-5	2.5-3	1.9-2.5	1.5-1.9	1.0-1.5	0.8-1.2	0.6-1.2	0.5-0.6
Tension d'alimentation (v)	2.5-3	1.8-2.5	1.5-1.8	1.2-1.5	0.9-1.2	0.6-0.9	0.5-0.6	0.5
Mémoire DRAM (bits /chip)	64 M	256M	1G	3G	8G	24G	64G	192G

Tableau II.1 : Evolutions technologiques du MOSFET [6].

II.2 Limitations liées à la Réduction des dimensions des dispositifs:

La diminution des dimensions dans les transistors MOSFET n'est pas le fruit du hasard et suit une loi réduction d'échelle généralisée de Baccarani [19]. Cette loi est en fait une version améliorée de la première loi rédigée par Dennard et al. en 1974 [20]. Le principe de ces lois est de quantifier les paramètres majeurs d'une technologie (dimensions, dopage, capacité, courant,...) à l'aide d'un facteur unique K afin de prédire aisément les performances attendues pour les futurs nœuds technologiques.

Paramètre physique du transistor ou du circuit (unité)	Facteur
Dimensions du transistor t_{ox} , L , W , $X_j^{(1)}$ (cm)	$1/k$
Concentration en dopants (cm^{-3})	k
Tension d'alimentation V_{DD}	$1/k$
Champ électrique E (V/cm)	1
Courant normaliser I_{ON} ($\mu\text{A}/\mu\text{m}$)	1
Délai intrinsèque (par circuit) $C_{gate} \cdot V_{DD}/I_{ON}^{(2)}$ (s)	$1/k$
Puissance dissipée par circuit $V_{DD} \cdot I_{ON}$ (W)	$1/k^2$
Densité de puissance $V_{DD} \cdot I_{ON}/S^{(3)}$ (W/m^2)	1

Tableau II.2: Règles de miniaturisation des MOSFETs proposées par Dennard (facteur multiplicatif k sans unité, dans le cas d'un champ électrique constant).

(1): t_{ox} est l'épaisseur de l'oxyde de grille, L et W sont respectivement la longueur et la largeur de grille, X_j est la profondeur de jonction. (2) C_{gate} est la capacité grille/canal.

$$(3) S = L \cdot W.$$

Les problèmes liés à la réduction des dimensions dans les transistors MOSFET peuvent être séparés en différentes catégories d'ordre physique ou technologique. En ce qui concerne les problèmes technologiques, on note à titre d'exemple, les problèmes de fabrication d'oxydes ultra-minces fiables, les résistances d'accès au niveau de la source et du drain (qui deviennent du même ordre de grandeur que la résistance du canal) et la fluctuation de dopants dans les canaux courts [21] (problème de variabilité des paramètres clés entre les transistors d'une même puce électronique). Ces différentes difficultés rencontrées lors de la fabrication des composants décanométriques posent de nombreux problèmes majeurs pour le développement de l'industrie microélectronique.

II.3 Le transistor MOS idéal :

Le transistor MOS idéal est un interrupteur commandé en tension. Il a deux états : un état passant où il est capable de débiter un courant, et un état bloqué où il ne circule aucun courant.

Le principe de fonctionnement repose sur le principe de la capacité MOS (Métal Oxyde Semi-conducteur). Lorsque la tension de grille est inférieure à la tension de seuil, On est en régime de déplétion de la capacité MOS. Le transistor est équivalent à deux diodes têtes bèches et aucun courant ne circule. Le transistor peut être assimilé en première approximation à un interrupteur ouvert. Dès que la tension de grille dépasse la tension de seuil, une couche conductrice de faible résistivité se forme dans le canal, c'est le régime d'inversion forte. Un courant peut alors circuler entre la source (S) et le drain (D) sous l'application d'une tension drain source non nulle. Le transistor peut dans ce cas être assimilé en première approximation à un interrupteur fermé [6].

II.4 Effets parasites du transistor à faible géométrie :

De manière générale, les effets de canal court que nous noterons: SCE (Short Channel Effects) constituent tous les effets parasites qui influent sur V_{th} . Deux effets parasites sont prédominants lorsque l'on atteint des dimensions très faibles : le partage de charge CS (Charge Sharing ou Roll-off) et le DIBL (Drain Induced Barrier Lowering).

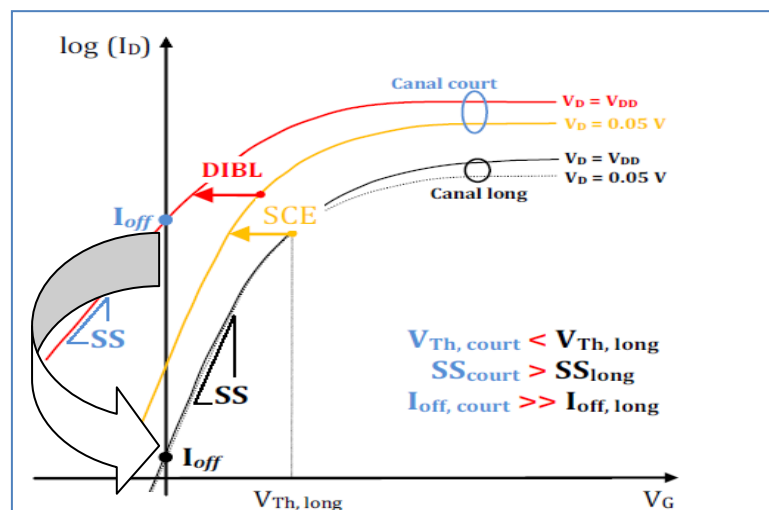


Figure II.2: Comparaison de la caractéristique $I_D(V_G)$ d'un transistor MOSFET à canal long et d'un transistor à canal court sous faible et forte polarisation de drain: mise en évidence la dégradation des paramètres sous le seuil due aux effets de canal court SCE et DIBL [2].

II.4.1) Le partage de charge de déplétion (CS) :

L'effet de partage de charge (CS) apparaît lorsqu'une partie significative du canal n'est plus contrôlée par la grille à cause de l'influence des jonctions de source et de drain. Quand V_{ds} augmente, la quantité de charge contrôlée par la grille diminue en dessous de sa valeur obtenue pour $V_{ds}=0$ V. Cet effet se traduit par une diminution de la tension de seuil et par une augmentation de la pente sous le seuil S ainsi que du courant. Ce résultat s'observe bien sur la caractéristique I_d-V_G en échelle logarithmique de la Figure II.3.

En plus de cet effet canal court, on assiste à un effet canal étroit. La région de déplétion effective créée par la tension de grille sous l'oxyde de grille s'étend latéralement.

Cependant, contrairement à l'effet du canal court, cet effet dû au canal étroit conduit à une diminution de la valeur du courant et, ainsi, à une augmentation de la tension de seuil.

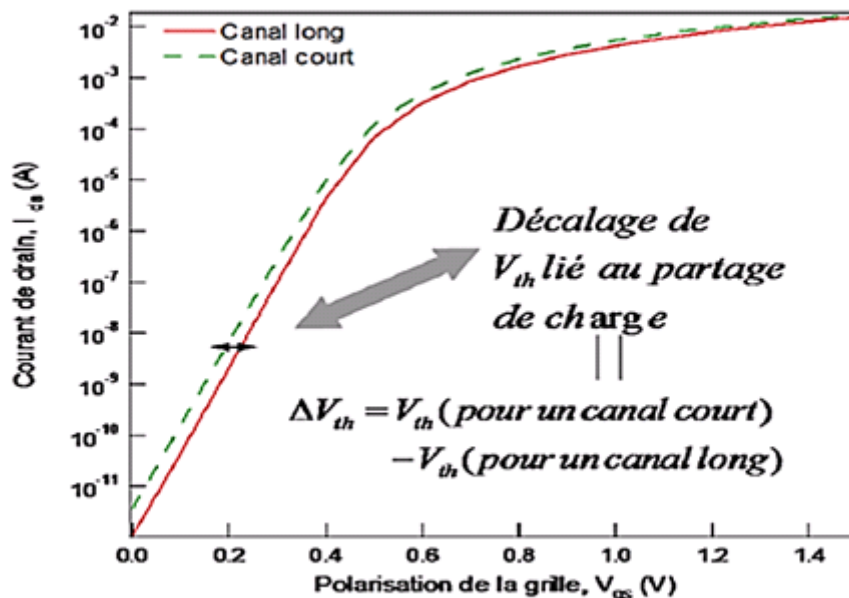


Figure II.3 : Influence de l'effet du partage de charge sur la caractéristique du courant du transistor MOS pour $V_d=1$ V[22].

II.4.1.a) Effet de la géométrie du transistor sur la tension de seuil

(Atténuation de V_{th}):

La tension de seuil est déterminée par la barrière de potentiel, essentiellement contrôlée par la tension de grille. En diminuant la longueur du canal L_G , les épaisseurs des zones de déplétion (ZCE) des jonctions deviennent importantes impliquant un abaissement de la barrière de potentiel et une augmentation du nombre de porteurs libres dans le canal et de ce fait, une diminution de la tension de seuil [17].

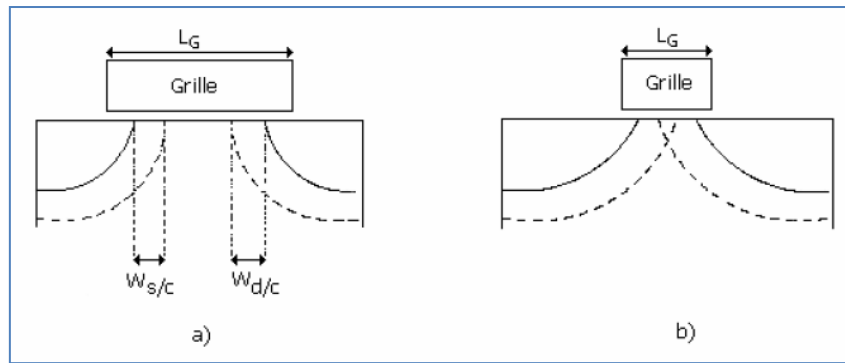


Figure II. 4: Structure d'un transistor MOSFET **a)** à canal long. **b)** à canal court. Dans le dernier cas, les effets canaux courts résultent du chevauchement des zones de charges d'espaces (ZCE) des régions dopées ($W_{s/c}$ et $W_{d/c}$) [17].

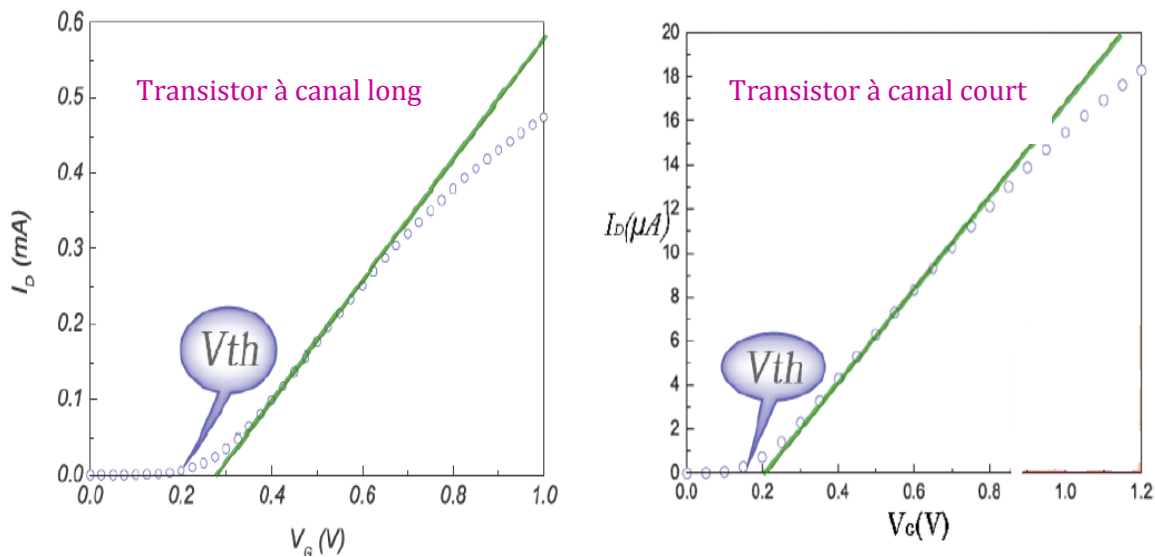


Figure II.5: Comparaison entre la tension de seuil V_{th} pour un transistor MOS à canal N long et l'autre à canal court [22].

Comme nous avons vu que la tension de seuil ne reste pas la même si les dimensions de transistor sont réduites. Toutefois, un modèle plus simple, développé par Yau [23], et porte le nom de répartition de charge (Charge-sharing model) qui permis de déterminer «graphiquement» les relations qui lient cette répartition de la charge de déplétion avec la tension de seuil.

La Figure (II.6) présente la répartition de charge d'un transistor MOS à canal court. La zone de distribution de la charge de déplétion du canal Q'_D est représentée par le trapèze.

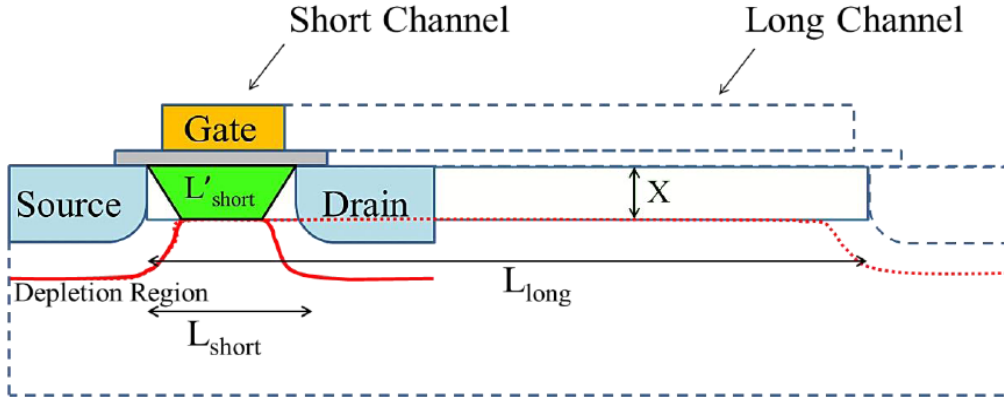


Figure II.6: modèle de Yau qui établit le partage de la charge pour le dispositif de canal court.

Pour un dispositif à canal long, la tension de grille V_g complètement déplète le canal de semiconducteur.

Cependant dans des dispositifs à canal courts, une partie de canal est déplétée sous la polarisation de la source et de drain. Comme la longueur de canal est diminuée, la proximité de la région source et du drain étroite et se produit le partage de la charge de déplétion dans le canal. En d'autres, tous les deux tensions de la grille et de drain-source partagent la densité de charge au-dessous de la grille. Cet effet est décrit par le modèle de partage (Figure. II.6) [24]. Par conséquent, le canal peut être déplétée avec la tension de grille basse dans le dispositif à canal court. Ainsi, V_{th} devient plus bas.

Avec la concentration de dopage de substrat N_b , la charge de déplétion Q_b dans la région de déplétion sous la grille devient approximativement rectangulaire ainsi : $|Q_b| = qN_bW_d$ W_d : la largeur de déplétion [24].

Dans cette approximation, les charges s'approchent de la source et de drain qui termine le champ intégré à partir des bords de jonction, sont négligés. La région de déplétion de source et de drain est recouverte avec la charge de canal.

Dans les dispositifs à canal long, cette partie est négligeable en comparaison avec la longueur de canal effective de dispositif. Cependant, dans le dispositif de canal court, cette partie recouverte ne peut être négligé plus et l'approximation précédente ne fonctionne pas. Avec la considération de la partie recouverte, la forme de la charge de déplétion transversale peut être décrite comme trapèze et Q_b peut être calculé comme [24]:

$$Q_b = qN_bW_d \left(\frac{L'_{Short} + L_{Short}}{2 L_{Short}} \right) \quad \text{II.1}$$

La variation de V_{th} due à l'effet canal court est :

$$\Delta V_{th} = \frac{Q_{b, longchannel} - Q_{b, Shortchannel}}{C_{ox}} = \frac{Q_{b, longchannel}}{C_{ox}} \frac{W_j}{L} \left(\sqrt{1 + \frac{2W_d}{W_j}} - 1 \right) \quad \text{II.2}$$

Où W_j : est la profondeur de la jonction dans le canal de source et de drain.

A partir de cette équation, la diminution de la longueur de canal augmente le décalage du seuil. Comme nous l'avons décrit précédemment, la charge de déplétion peut être formée facilement avec une longueur L courte. Ainsi, V_{th} diminue dans le canal court. Ce qui implique que les paramètres pour éviter la variation de V_{th} due à l'effet de canal court peut être résumé comme suivant :

1. La réduction d'épaisseur d'oxyde de la grille : Une épaisseur d'oxyde mince peut augmenter la capacité d'oxyde C_{ox} . Ainsi ΔV_{th} peut diminuer.
2. l'augmentation du dopage du substrat N_b : permet la diminution de W_d et ΔV_{th} .
3. la profondeur de la jonction ; la réduction de W_j diminue ΔV_{th} .

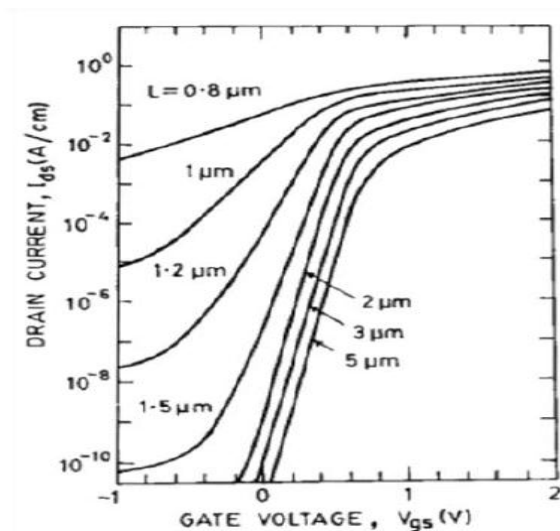


Figure II.7: Caractéristiques I_D/V_G de transistors MOS en régime sous seuil pour différentes longueurs de canal[25].

II.4.1.b) Dégradation de la pente sous le seuil:

➤ Le courant sous seuil :

Le courant sous seuil est un courant qui circule entre le drain et la source du transistor, alors que la tension de grille V_{GS} est inférieure à la tension de seuil V_{th} .

Le comportement de ce courant a évolué au fur et à mesure de l'apparition des technologies submicroniques, c'est pourquoi il convient de distinguer deux cas selon la longueur du canal du transistor.

Dans une approximation au premier ordre, pour les transistors à canal long, le courant sous seuil est donné par l'équation suivante (II.3):

$$I_{DS} = \mu c_{ox} \frac{W}{L} \phi_t^2 \exp\left(\frac{V_{GS}-V_{th}}{n\phi_t}\right) \left(1 - \exp\left(-\frac{V_{DS}}{\phi_t}\right)\right) \quad \text{II.3}$$

Où : $\phi_t = kT/q$

$n = 1 + C_D/C_{ox}$ (En technologie bulk).

Avec C_D , la capacité de la couche déplétée

C_{ox} : la capacité de l'oxyde de grille

Comme la tension de polarisation inverse, V_{DS} , est grande devant ϕ_t ($=25\text{mV}$ à 300K),

L'expression II.2 peut se mettre sous la forme mieux connue de (II.4):

$$I_{Dsth} = \mu c_{ox} \frac{W}{L} \left(\frac{kT}{q}\right)^2 \exp\left(\frac{q(V_{GS}-V_{th})}{n kT}\right) \quad \text{II.4}$$

La caractéristique du courant sous seuil est généralement représentée par une échelle semi-logarithmique ($\log_{10}(I_{Dsth})$) en fonction de V_{GS} . Cette caractéristique est par conséquent une droite. L'inverse de la pente sous seuil (output swing) S est un paramètre qui représente la variation de polarisation de grille nécessaire pour augmenter le courant d'une décade, est défini par:

$$S = \frac{n kT}{q} \ln(10) \quad \text{II.5}$$

Où n : appelé le facteur de substrat est égale à $1+(C_D/C_{ox})$. La valeur idéale de S est de 60mV/dec , en pratique elle est de 80mV/dec pour la technologie CMOS et de 65mV/dec pour la technologie SOI à canal ultra mince entièrement déserté. Le percement en surface résulte de plus en une augmentation du courant I_{off} et de ce fait de la consommation en puissance [26].

Plus le facteur S est minimal, plus le courant sous seuil sera négligeable pour une tension de grille donnée. Il faut donc minimiser le facteur de substrat n , c'est-à-dire n proche de 1. Alors la pente sous le seuil est minimale quand $n=1$ alors la capacité de la zone de déplétion C_{D0} est négligeable devant la capacité de l'oxyde C_{ox} . La valeur est alors obtenue donné par :

$$S_{min} = \left(\frac{kT}{q}\right) \times \ln(10) = 60 \text{ mV /decade} \quad \text{II.6}$$

Où : K : est la constante de Boltzmann, T : est la température, q : la charge de l'électron.

On peut minimiser l'effet de substrat en réduisant C_D , c'est-à-dire en diminuant le dopage du substrat (Formule II.7 et II.8).

$$C_D = \frac{\epsilon_{si}}{W_D} \quad \text{II.7}$$

$$W_D = \sqrt{\frac{4\epsilon_{si}\phi_t}{qN_D}} \quad \text{II.8}$$

Où W_D : est l'épaisseur de la couche de déplétion dans le substrat.

ϕ_t : est le potentiel de Fermi dans le substrat.

N_D : la concentration en impureté du substrat.

Habituellement, on mesure la valeur de la pente de la partie linéaire de la courbe correspondant à la conduction sous la tension de seuil. Plus la pente est élevée, plus le courant de fuite sera faible.

Ce courant varie exponentiellement avec la tension de grille, un paramètre important à suivre est la pente sous le seuil qui traduit le facteur de proportionnalité entre la tension de grille et le courant de fuite en échelle logarithmique (pratiquement) :

$$S = \frac{V_{th}}{\log(I_{OFF}) - \log(I_{th})} \quad \text{II.9}$$

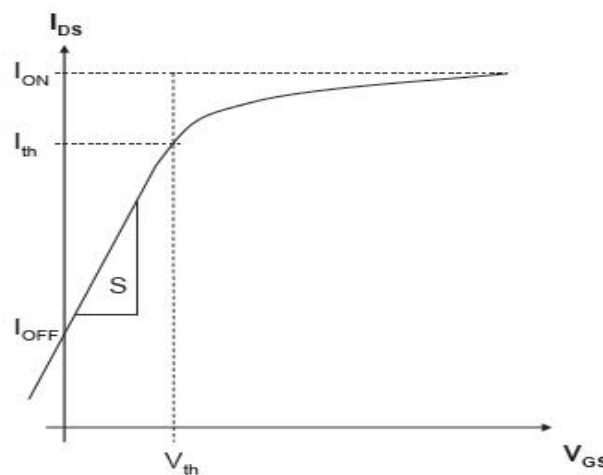


Figure II. 8: Mise en évidence de la pente sous seuil.

Pour les transistors à canal court (géométries submicroniques), l'effet d'abaissement de la barrière de potentiel induite par le drain (DIBL) (ce qui est présenté dans le paragraphe II.4.2) intervient et l'équation (II.3) devient :

$$I_{DS} = \mu c_{ox} \frac{W}{L} \phi_t^2 \exp\left(\frac{V_{GS} - V_{th} + \eta V_{DS}}{n \phi_t}\right) \left(1 - \exp\left(-\frac{V_{DS}}{\phi_t}\right)\right) \quad \text{II. 10}$$

On obtient également (pour $V_{DS} \gg \phi_t$), l'expression simplifiée (II.11):

$$I_{Dsth} = \mu c_{ox} \frac{W}{L} \left(\frac{kT}{q}\right)^2 \exp\left(\frac{V_{GS} + \eta V_{DS} - V_{th}}{n kT/q}\right) \quad \text{II. 11}$$

Le facteur ηV_{DS} diminue la valeur effective de $(-V_{th})$ et par conséquent augmente la valeur du courant de fuite. Ceci équivaut à une réduction de la tension de seuil et donc à décaler le courbe $\log(I_{Dsth})$ en fonction de V_{GS} (Figure II.9) vers la gauche.

L'augmentation du dopage du canal (Alors la diminution de la longueur de canal) contribue à fortement éloigner la pente sous le seuil.

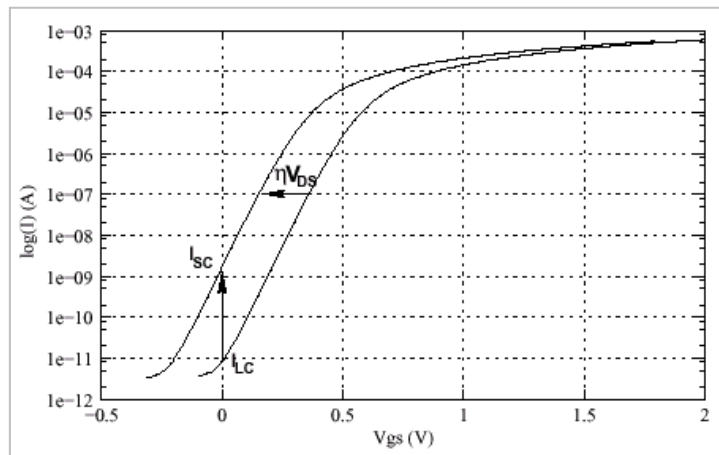


Figure II.9: Effet canal court sur le courant sous seuil.

II.4.2 Abaissement de la barrière de potentiel par le drain (Drain Induced Barrier Lowering) (DIBL) :

Le phénomène de DIBL (« surface DIBL ») est pris en compte lorsque le transistor travaille en régime sous seuil (ou faible inversion) et concerne le potentiel de surface.

En faible inversion, le potentiel de surface dans le canal pour des dispositifs à canal long est à peu près constant et le courant est dû à la diffusion des porteurs minoritaires (Cette diffusion est due au gradient de concentration longitudinal aux jonctions). Le courant de drain dépend exponentiellement de la tension de grille.

Il existe également en régime de faible inversion, une barrière de potentiel à la jonction entre la source et le canal qui résulte de l'équilibre entre le courant de diffusion et de dérive (cas similaire à une jonction PN à l'équilibre) [27].

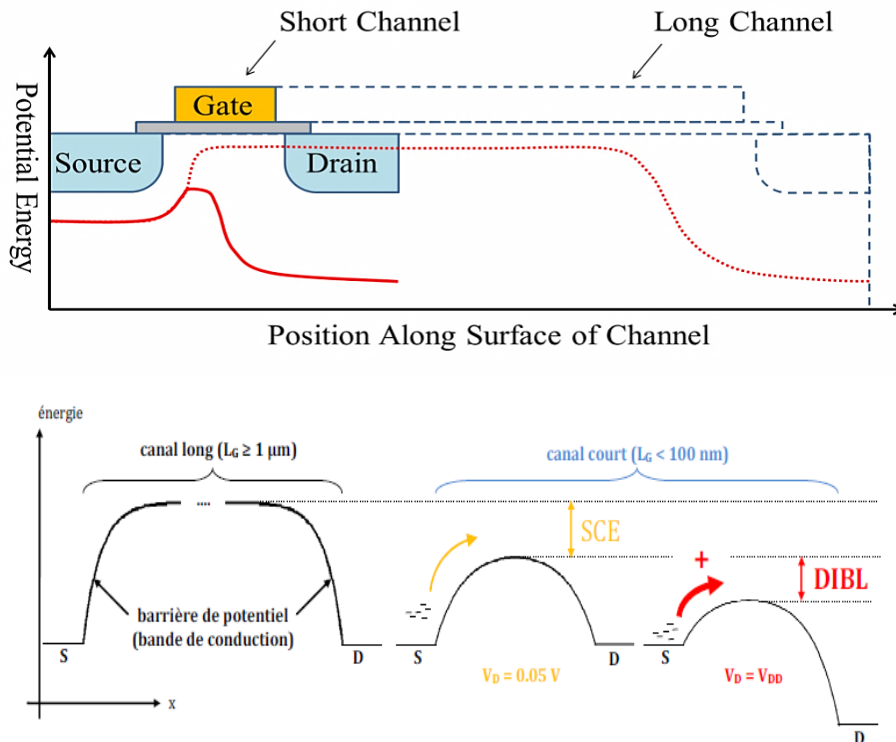


Figure II.10: Représentation schématique de l'évolution de la barrière de potentiel dans les transistors à canal long et à canal court sous faible et forte polarisation de drain [25].

L'abaissement de la barrière à la source permet l'injection d'électrons au travers du canal (en surface) et ceci indépendamment de la tension de grille. Comme conséquence, en régime sous seuil, la grille perd le contrôle du courant de drain.

Cette effet est d'autant plus marqué que la tension de drain augmente et que la longueur de canal diminue (Figure II.11).

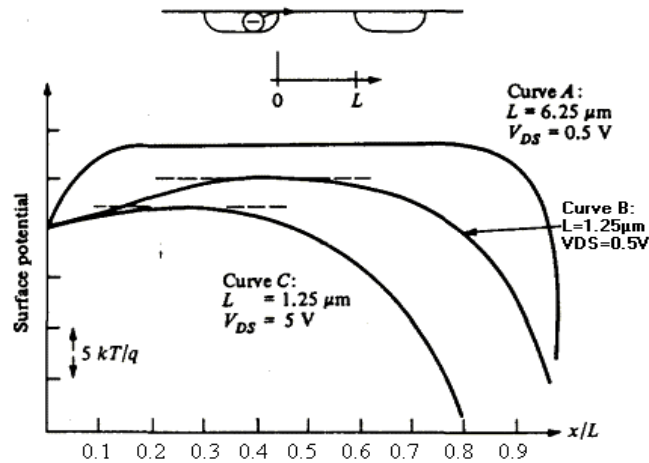


Figure II.11: Evolution du potentiel de surface pour des dispositifs de différentes longueurs de canal.

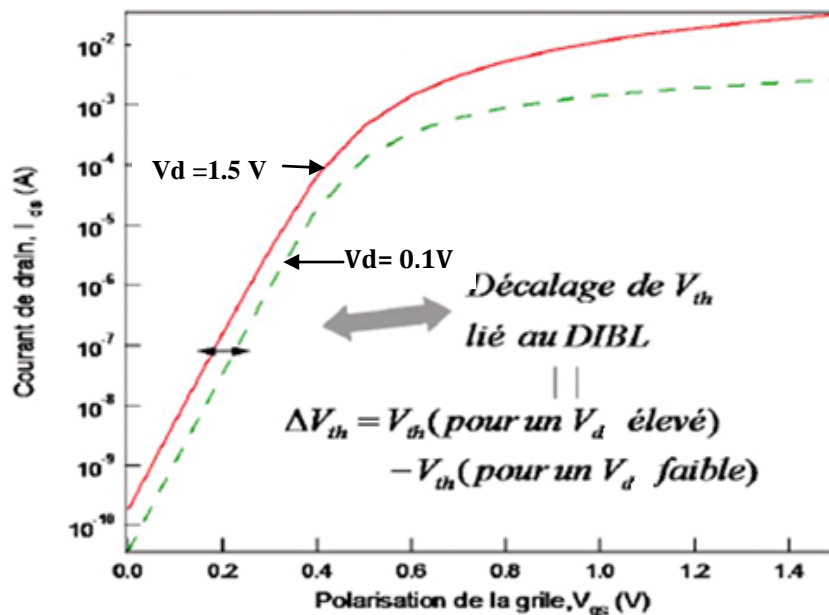


Figure II. 12: Influence de l'effet du DIBL sur la caractéristique ($I_d - V_g$) pour des tensions de drain de 0.1V (régime linéaire) et 1.5V (régime de saturation) [22].

L'effet DIBL est habituellement mesuré par le décalage de la courbe de transfert en régime sous seuil ΔV_{th} divisé par le ΔV_D entre deux courbes résultant de deux tensions de drain différentes (Figure II.12):

$$DIBL = \frac{\Delta V_{th}}{\Delta V_D} \quad (mV/V) \quad \text{II.12}$$

Il faut remarquer que le phénomène de DIBL se produit avant que les conditions de

« punch-through » soient atteintes, c'est-à-dire avant que la zone de déplétion du côté du drain (plus en profondeur dans le substrat) ne rencontre celle du côté de la source sous l'effet d'une augmentation de la tension de drain.

En vue d'atténuer les effets de canal court, il est courant d'augmenter le dopage du canal.

Ceci permet de réduire l'extension de la zone de charge d'espace et donc réduit l'interaction entre le drain et la source [27].

II .4.3 Punch-through (subsurface DIBL):

Le courant de drain en régime sous seuil peut augmenter lorsque il trouve un « passage » entre la source et le drain plus en profondeur dans le substrat. Plus ce courant est localisé en profondeur dans le substrat, moins la grille pourra le contrôler.

Ce courant non seulement altère les caractéristiques de transfert sous seuil, mais également engendre une consommation de puissance non négligeable.

L'intensité du courant de punch-through dépend principalement de la distribution du potentiel sous le canal et par conséquent des zones de déplétion. Si la surface de déplétion à proximité du drain s'étend trop près de la source (Figure II.13), la barrière de potentiel à la source décroît et des porteurs sont injectés de la source vers le drain en profondeur dans le substrat.

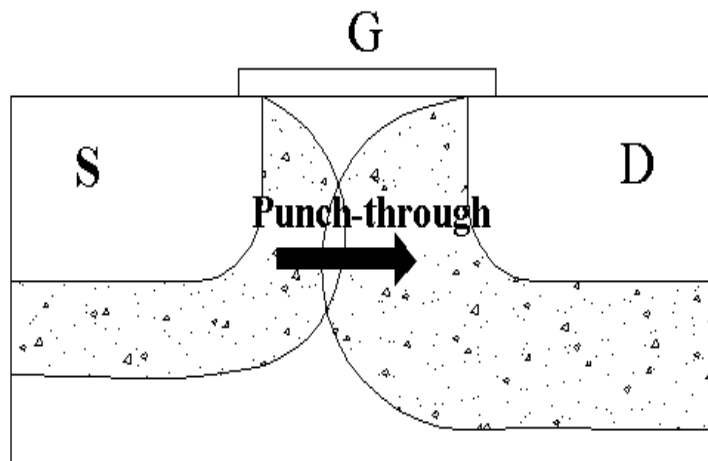


Figure II.13 : Extension des zones de déplétion dans le substrat conduisant au phénomène de punch-through.

Le phénomène de punch-through dépend donc fortement de la tension de drain appliquée et de l'épaisseur (hauteur) des jonctions [28].

II.6 La vitesse de saturation :

Pour un transistor à canal court, le transport d'électron est régi par les effets combinés du champ électrique E et de sa dispersion des atomes d'impureté et d'autres porteurs. Le champ électrique bas résulte une vitesse moyenne proportionnelle à ce champ et donné par:

$$v_d = \mu E \text{ (cm/m)} \quad \text{II. 13}$$

μ : est la mobilité des porteurs et v_d : la vitesse de diffusion.

Cependant, lors de la dépendance d'énergie de dispersion avec le temps de relaxation, son rapport linéaire est inadmissible au champ électrique élevé. La dépendance de champ et la vitesse de diffusion est alors décrite près [24] :

$$v_d = \frac{\mu E}{1 + E/E_c} \quad \text{pour } E < E_c \quad \text{II. 14}$$

$$v_d = v_{sat} \quad \text{pour } E > E_c \quad \text{II. 15}$$

E_c : facteur appelée champ critique, est approximativement 10^6 V/m (10^4 V/cm) pour le silicium comme montré dans Figure II.16.

Quand $E > E_c$, la vitesse des porteurs est saturée au V_{sat} . Cette considération change l'identification de courant de drain dans la région non-linéaire de :

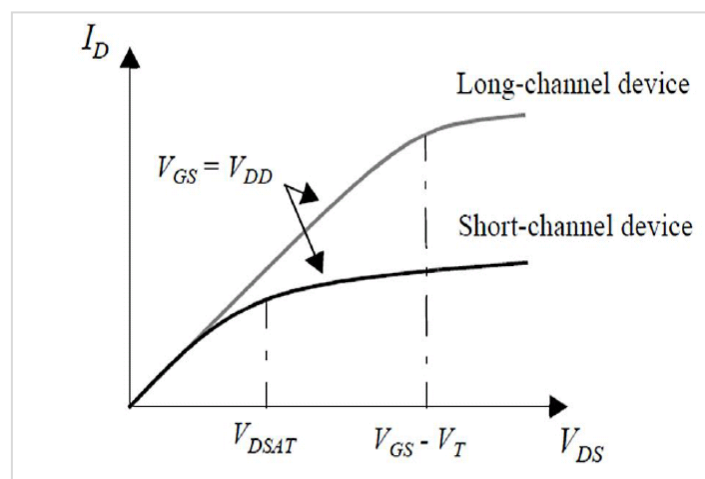


Figure II.16 : Les effets de canal court sur la vitesse de saturation.

$$I_D = \mu c_{ox} \frac{W}{L} \left[(V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad \text{II.16}$$

Vers :

$$I_D = k(V_{DS}) \mu c_{ox} \frac{W}{L} \left[(V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad \text{II.17}$$

Avec :

$$k(V_{DS}) = \frac{1}{1 + (V_{DS}/E_c L)} \quad \text{II.18}$$

Pour la grande valeur de L, k approche de 1. Cependant pour le canal court, k est très inférieur que 1. Et l'identification sera diminuée par la vitesse de saturation [25].

Le modèle à canal court peut être simplifié avec l'acceptation de la vitesse constante :

$$v_d = v_{sat} = \mu E_c \quad \text{pour} \quad E > E_c \quad \text{II.19}$$

$$\text{Et:} \quad V_{Dsat} = L E_c = \frac{L v_{sat}}{\mu} \quad \text{II.20}$$

$$\text{Ainsi:} \quad I_{Dsat} = v_{sat} c_{ox} W \left[(V_{GS} - V_{th}) - \frac{V_{Dsat}}{2} \right] \quad \text{II.21}$$

On comparaison avec le comportement quadratique de V_{GS} dans le dispositif à canal long, le comportement linéaire dans le dispositif à canal court a été prouvé empiriquement comme montré dans la Figure II.17.

Récemment, des dispositifs à 30nm ont été utilisés et la réduction sera continuée.

Dans le cas d'un transistor ce qui a 30 nm de longueurs de grille, le champ électrique efficace entre la source et le drain est :

$$\frac{V_{DS}}{L} = \frac{0.5 V}{30 \text{ nm}} = 1.6 \cdot 10^4 \text{ V/cm} \quad \text{II.22}$$

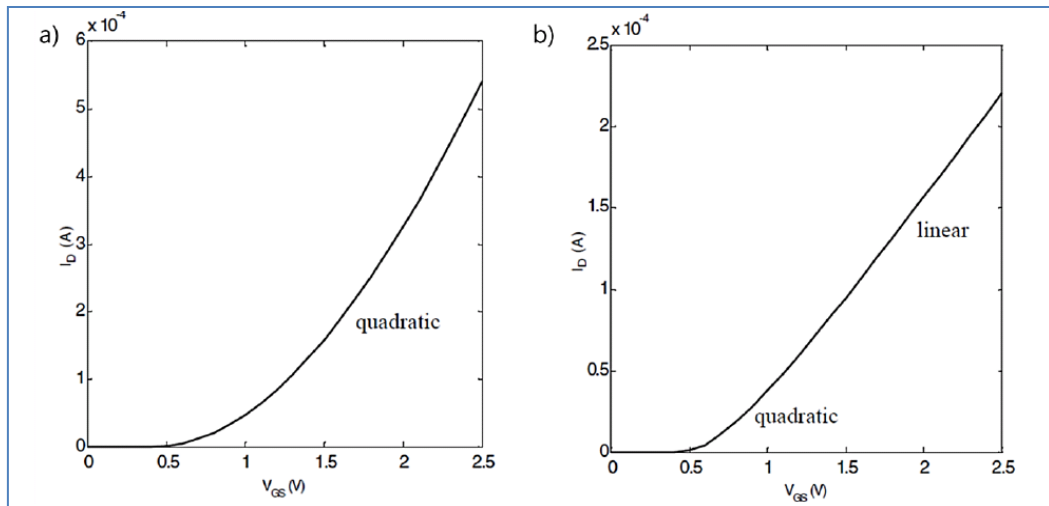


Figure II.17: Les caractéristiques I_D - V_G pour un transistor à canal long ($L= 10 \mu m$) et à canal court ($L=0.25 \mu m$) à $V_D = 1.5 V$ [25].

Pour la valeur de $V_{DS} = 0.5 V$, il est déjà atteint environ $10^4 V/cm$ qui sont une valeur assez importante à cause de la vitesse de saturation des porteurs dans le canal du dispositif.

II.7 Modulation de la longueur de canal (CLM):

Considérons un transistor MOS à canal n (Figure II.18).

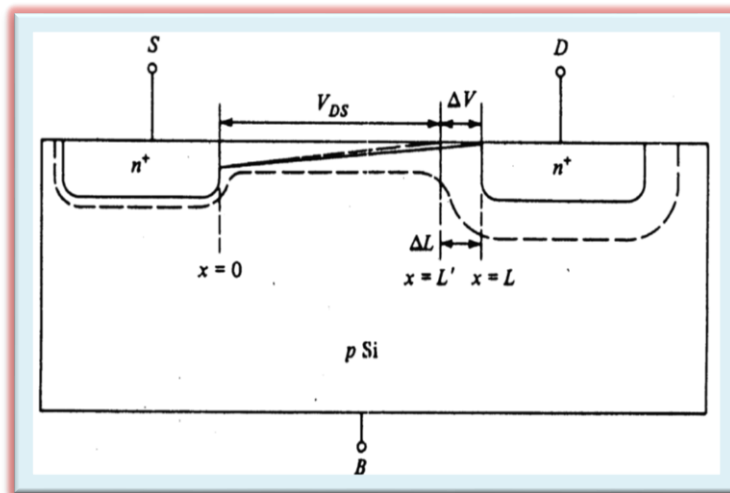


Figure II.18: Vue en coupe d'un transistor nMOS.

Lorsque celui-ci est polarisé avec une tension suffisamment positive au drain, il se crée à la jonction canal-drain (polarisée en inverse), une zone dépeuplée en porteurs majoritaires (ou zone de charge d'espace ZCE).

Cette zone s'étend principalement du côté du canal vu que celui-ci est plus faiblement dopé (n^+ (source)/p(canal) / n^+ (drain)).

Lorsque l'on passe du régime linéaire au régime de saturation, la ZCE commence à croître et toute tension supplémentaire ($V_{DS} > V_{DSat}$) appliquée au drain se répartit exclusivement sur la ZCE.

Alors lorsqu'une jonction P-N est polarisée en inverse par une tension $V_i = V_{DS} - V_{D Sat}$, la longueur de la zone de charge d'espace X_D varie proportionnellement à $(V_i)^{1/2}$ et la tension à ses bornes proportionnellement à V_i .

$$X_D = \sqrt{\frac{2\epsilon_{si}(V_d + V_i)}{qN_A}} \quad \text{II.23}$$

Où V_d : est la différence de potentiel entre la région neutre dopé P et la région neutre dopé N.

N_A : est la concentration en atomes accepteurs.

Il en résulte une augmentation du champ électrique aux bornes de la ZCE avec la tension :

$$E = \sqrt{\frac{2qN_A}{\epsilon_{si}}} \sqrt{V_i} \quad \text{II.24}$$

Cette extension longitudinale de la charge de déplétion dans le canal va réduire la longueur effective de celui-ci (c'est-à-dire repousser les porteurs du canal d'inversion vers la gauche).

Alors Le point où la charge d'inversion s'annule s'appelle « point de pincement (pinch off) ».

Si on augmente V_{DSat} d'un certain ΔV , le point de pincement se déplace vers la gauche (Figure II-18) la variation de longueur ΔL est donnée par :

$$\Delta L = \sqrt{\frac{2\epsilon_{si}}{qN_A}} [\sqrt{(V_{DS} + \Delta V) + \phi_P} - \sqrt{V_{DS} + \phi_P}] \quad \text{II.25}$$

Où ϕ_P : est le potentiel de surface au point de pincement et est déterminé expérimentalement.

Au premier ordre, ϕ_P est considéré nulle pour représenter un champ transversal nul au point de pincement. En réalité, ϕ_P est dans la plupart des cas compris entre 0.5 et 1V et dépend du dopage et de la polarisation.

L'expression du courant en régime de saturation est la suivante :

$$I_{Dsat} = \mu c_{ox} \frac{W}{L} (V_G - V_{th})^2$$

Si on augmente V_D tel que le point de pincement se déplace vers la droite de ΔL , on obtient un nouveau courant :

$$I_{Dsat}(V_{Dsat} + \Delta V) = \mu C_{ox} \frac{W}{L - \Delta L} (V_G - V_{th})^2$$

Par conséquent, le changement de courant de drain peut être écrit comme:

$$\frac{I_{DS}(V_{Dsat} + \Delta V)}{I_{DS}(V_{Dsat})} = \frac{L}{L - \Delta L} \quad \text{II. 26}$$

Pour les dispositifs à canal court, ΔL est comparable à L et par conséquent l'effet de modulation de canal devient très important. Ceci conduit aux caractéristiques observées à la Figure II.19 Le transistor ne sature plus.

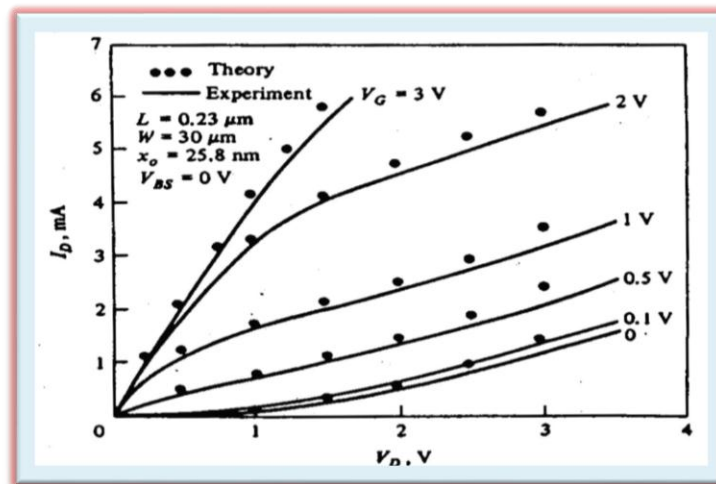


Figure II.19: Caractéristiques I_D/V_D d'un transistor MOS à canal court.

II.8 Longueur et largeur effectives du canal :

Deux paramètres d'ajustement additionnels dL et dW de la longueur et de la largeur du canal sont introduites au transistor MOSFET afin de corriger les imperfections et les erreurs dues aux procédés de fabrications et qui surviennent au niveau du dessin de masque et des procédés de gravure.

Les expressions utilisées par le transistor après correction de la longueur et de la largeur du canal sont données par :

$$L_{eff} = L_{drawn} - 2dL \quad \text{II.27}$$

$$W_{eff} = W_{drawn} - 2dW \quad \text{II. 28}$$

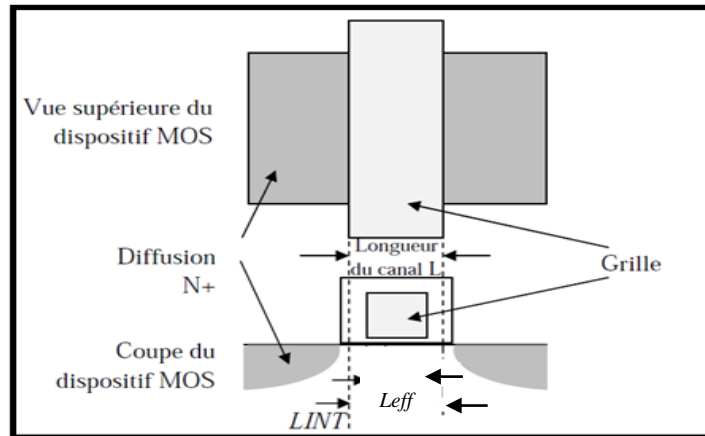


Figure II.20: Représentation de la longueur effective du canal [29].

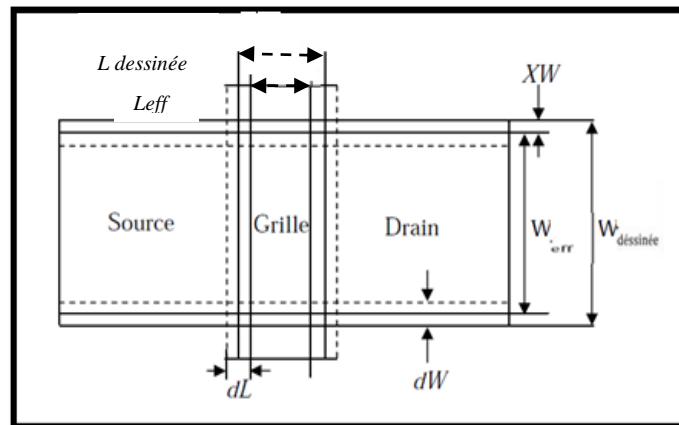


Figure II.21: Définition de dL , dW , W_{eff} et L_{eff} [30].

II.9 Problèmes liés aux faibles épaisseurs d'oxyde :

Parallèlement à la réduction de la longueur du canal L , l'épaisseur d'oxyde de grille doit être réduite afin de pallier les effets de canal court et d'améliorer le contrôle du canal de conduction. Pour des épaisseurs inférieures à $2nm$, la couche d'oxyde devient suffisamment fine pour permettre le passage des porteurs par effet tunnel direct. Ce passage est à l'origine d'un courant tunnel de grille d'autant plus important que l'épaisseur d'oxyde est faible. L'apparition d'un courant de grille entraîne un accroissement du courant à l'état bloqué et donc de la puissance dissipée, il perturbe aussi le bon fonctionnement du transistor à l'état passant puisque les électrons du canal peuvent s'échapper vers la grille par l'intermédiaire de l'oxyde. Ces effets ne sont pas encore critiques pour le bon fonctionnement du transistor, même si les applications « basse consommation » souffrent de plus en plus de l'augmentation continue de la puissance dissipée.

$$\left\{ \begin{array}{l} I_D = I_{ds} + I_{GIDL} - I_{gd} + I_{II} + I_{jbd} \\ I_G = I_{gb} + I_{gs} + I_{gd} \\ I_B = -I_{II} - I_{jbd} - I_{gb} - I_{jbs} - I_{GIDL} - I_{GISL} \\ I_S = -I_D - I_G - I_B \end{array} \right. \quad \text{II.29}$$

Les courant I_{on} et I_{OFF} sont donné par :

$$I_{OFF} = I_D |_{V_{GS} = 0V, V_{ds} = V_{dd}, V_{bs} = 0V} \quad \text{II.30}$$

$$I_{ON} = I_D |_{V_{GS} = V_{dd}, V_{ds} = V_{dd}, V_{bs} = 0V} \quad \text{II.31}$$

Le courant I_{OFF} est moyennement du au courant sous seuil I_{sub} et au courant de jonction

I_{Jun} . Donc à $V_{gs} = 0$, $V_{ds} = V_{dd}$, $V_{bs} = 0V$; les courants I_{gb} , I_{gs} , I_{jbs} , I_{GISL} et I_{II} et sont tous nulles .

Dans ce cas :

$$\left\{ \begin{array}{l} I_D = I_{ds} + I_{GIDL} - I_{gd} + I_{jbd} \\ I_G = I_{gd} \\ I_B = -I_{jbd} - I_{GIDL} \end{array} \right. \quad \text{II.32}$$

Le courant sous seuil I_{sub} et le courant de jonction I_{Jun} peuvent être calculée à partir de :

$$I_{SUB} = I_{OFF} + I_G |_{V_{GS} = 0V, V_{ds} = V_{dd}, V_{bs} = 0V} + I_B |_{V_{GS} = 0V, V_{ds} = V_{dd}, V_{bs} = 0V} \quad \text{II.33}$$

$$I_{Jun} = -I_B |_{V_{GS} = 0V, V_{ds} = V_{dd}, V_{bs} = 0V} \quad \text{II.34}$$

Notons qu'on a supposé que le courant I_{GIDL} soit faible à $V_{gs} = 0V$. Alors on peut défini le courant de grille par :

$$I_{Grille} = I_{gs} + I_{gb} + I_{gd} = -I_D |_{V_{GS} = V_{DD}, V_{ds} = 0V, V_{bs} = 0V} \quad \text{II.35}$$

Finalement le courant I_{GIDL} est donné par :

$$I_{GIDL} = -I_D |_{V_{GS} = V_{DD}, V_{ds} = 0V, V_{bs} = 0V} \quad \text{II.36}$$

Où le courant de jonction I_{jbd} et le courant de grille I_{gd} sont supposés négligeables devant le courant I_{GIDL}

II.11 Courants de fuite des MOSFET à canaux courts :

Plusieurs paramètres influencent les courants de fuite d'un transistor de MOS, on citera entre autre : la tension de seuil, le profil de dopage du canal, l'épaisseur de l'oxyde de grille, les dimensions physiques du canal, la profondeur de jonction des drain/source, et les tensions de polarisation. Toutes ces grandeurs sont des effets sur les courants de fuite en générale et sur le courant I_{OFF} en particulier [32].

D'une manière générale on s'intéresse tout particulièrement à un courant de fuite note I_{OFF} . Ce courant se manifeste quand le transistor est à l'état bloqué. Un transistor est affecté par huit courants de fuite différents. Ces derniers sont illustrés sur la figure II.24.

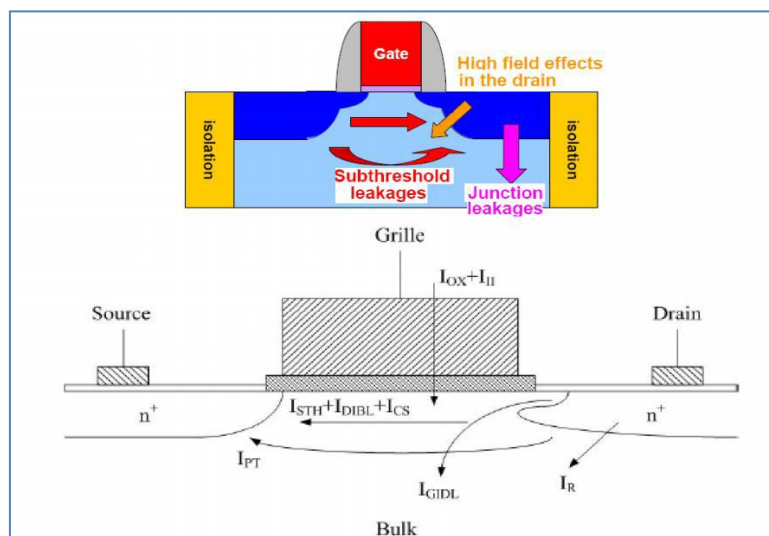


Figure II.24 : Illustration des différents courants de fuite présents dans un transistor à canal court.

- le courant de conduction sous le seuil I_{STH} ,
- le courant du a l'abaissement de la barrière de potentiel par le drain I_{DIBL} ,
- le courant de fuite du drain induit par la grille I_{GIDL} ,
- le courant de fuite de la jonction p-n du drain polarisée en inverse I_R ,
- le courant tunnel a travers l'oxyde de grille I_{OX} ,
- le courant de grille du a l'injection de porteurs chauds I_{II} ,
- le courant de perforation I_{PT} ,
- le courant de surface du canal dû à un effet de canal étroit I_{CS} .

Il faut noter que le courant tunnel à travers l'oxyde de grille I_{OX} ne se manifeste que lorsqu'un potentiel non nul est appliqué sur la grille, c'est-à-dire lorsque le transistor est passant. Quand le courant de grille du a l'injection de porteurs chauds I_H , il traduit un vieillissement du transistor, à la suite de l'introduction d'électrons et de trous dans l'oxyde.

Les courants de fuite dominants qui composent le courant I_{OFF} sont :

- le courant sous-seuil I_{STH} ,
- le courant de polarisation inverse de la jonction p-n au niveau du drain I_R ,
- le courant I_{DIBL} ,
- et le courant I_{GIDL} .

➤ **Paramètres à Prendre en considération dans le calcul des courants de fuite :**

Les différents courants de fuite cités ci-dessus dépendent d'un ou plusieurs paramètres de transistor. Le tableau II.3 résume les différents paramètres desquels ces courants de fuite dépendent.

Le changement de chacun de ces paramètres changera la valeur d'un ou plusieurs de ces courants de fuite.

Courant de fuite	Paramètres
Courent sous seuil	$V_{th}, L, W, V_{GS}, T_{ox}$
GIDL	Concentration des régions n et p, surface des jonctions, V_{DD}
Courant de perforation	L, V_{DS}
Le courant tunnel à travers l'oxyde de grille	T_{ox}
Injection de porteurs chauds	V_{GS}, T_{ox}

Tableau II.3 : Paramètres influençant les courants de fuite.

II.12 Solutions technologiques pour l'amélioration des performances:

Afin de limiter les effets néfastes dus à la miniaturisation des transistors MOSFETs, des ajouts sont couramment utilisés dans les technologies les plus avancées pour améliorer les performances du transistor à savoir l'amélioration du contrôle électrostatique en créant de nouvelles architectures basé sur le :

1. Choix des matériaux du diélectrique de la grille.
2. utilisation de matériaux a forte mobilité pour le canal.

Parmi ces nouvelles structures permettent de réduire ces effets on citera entre autre Les SOI MOSFETs et les structures à grilles multiples.

II.13 Conclusion :

Nous avons essayé dans ce chapitre de présenter brièvement la miniaturisation des transistors MOS et plus particulièrement les effets parasites dus à la réduction des dimensions de ce dispositif ainsi la diminution de la longueur de canal L , ce qui pouvant altérer le fonctionnement des dispositifs MOSFET. Cette réduction des dimensions a engendré des phénomènes tel que les effets du canal court (DIBL, punch-through, modification de la tension de seuil, Le partage de charge CS...) qui détériorent les caractéristiques courant-tension, Nous avons par la suite donné un aperçu sur les courants de fuite altérant le fonctionnement des transistors à canal court, et conduisant ainsi à une dissipation de puissance des transistors. Et en fin on à donner les solutions technologiques pour l'amélioration de ces performances,

Comme nous avons vu ces effets est dépend de dimension du transistor alors de leur technologie de fabrication.

Alors le chapitre suivant présente la simulation de ces étapes technologiques pour la fabrication d'un transistor N-MOSFET, lequel on va réduire leur longueur de canal puis leur épaisseur de grille et d'étudier les effets dus à cette réduction.

III.1 Introduction :

Dans ce chapitre, on va présenter le logiciel de simulation TCAD-SILVACO, son principe de fonctionnement, et le module ATHENA utilisé pour la simulation des processus technologiques. Ensuite on va simuler ces différentes étapes des procédés technologiques telles que l'oxydation, la diffusion, la gravure...

III.2 Le besoin d'outils de simulation :

Comme la complexité et les défis de la technologie semi-conducteurs augmentent, il est un grand besoin de certains outils de simulation puissants pour faciliter la conception et la solution du problème. Conception, fabrication et caractérisation de transistors deviennent beaucoup plus complexes avec des méthodes de résolution des effets de canal court et le canal MOSFET de mise à l'échelle est devenu beaucoup plus compliqué.

En dehors de cela, le facteur coût doit également prendre en considération dans le processus de fabrication. C'est parce que le procès de répéter et de fabrication erreur n'est pas seulement prend beaucoup de temps, mais utilise également des ressources coûteuses ou des matériaux qui pourraient être mis en œuvre pour améliorer les performances des dispositifs.

Alors, l'outil de simulation devient nécessaire aujourd'hui, car il permet de faire la fabrication virtuelle, et de simuler les caractéristiques des dispositifs fabriqués. Ainsi que les simulateurs TCAD (Technology Computer-Aided Design)[33].

III.3 Présentation au logiciel de simulation TCAD-SILVACO :

Silvaco (Silicon Valley Corporation) est un logiciel de simulation électrique et de processus technologique des dispositifs électroniques à semi-conducteur qui permet de concevoir et prévoir les performances des dispositifs à semi-conducteur. Il a été fondé en 1984 par Dr. Ivan PESIC, Il est composé de plusieurs outils (tels que ATLAS, ATHENA, DECKBUILD...) qui s'unissent pour obtenir une simulation complète. Ces outils démarrent par comprendre la physique de base des semi-conducteurs, isolants et conducteurs.

L'environnement virtuel de la simulation de la technologie de Fabrication permet aux simulateurs ATHENA et ATLAS de préparer, exécuter, optimiser, et analyser des expériences sur les semi-conducteurs pour réaliser des dispositifs optimales. L'avantage majeur de ce type

de simulateurs est qu'il donne la possibilité de visualiser des phénomènes physiques difficilement accessibles et donc observables. Les modules de TCAD-SILVACO peuvent être utilisés pour : La simulation des étapes de fabrication technologique tels que, ATHENA, et pour La simulation électrique des dispositifs tels que, les Diodes, les MOSFET, les transistors bipolaires..., réalisée par le module ATLAS.

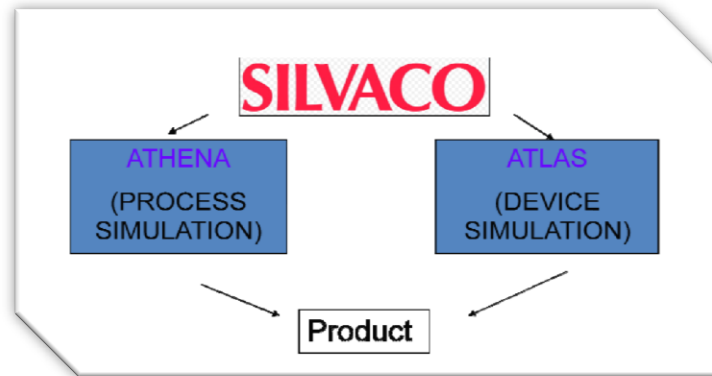


Figure III .1 :Silvaco.

III.4 Le logiciel ATHENA :

Le logiciel de simulation ATHENA de TCAD-SILVACO fournit des possibilités générales pour la simulation des processus utilisés dans l'industrie des semi-conducteurs : diffusion, oxydation, implantation ionique, gravure, lithographie, procédés de dépôt. Il permet des simulations rapides et précises de toutes les étapes de fabrication utilisées dans la technologie MOSFET, CMOS, bipolaire, SOI, optoélectronique, MEMS, et les composants de puissances. Là aussi, ce logiciel permet de fournir des informations importantes pour la conception et l'optimisation des procédés technologiques telles que les concentrations des porteurs, les profondeurs de jonctions, etc.

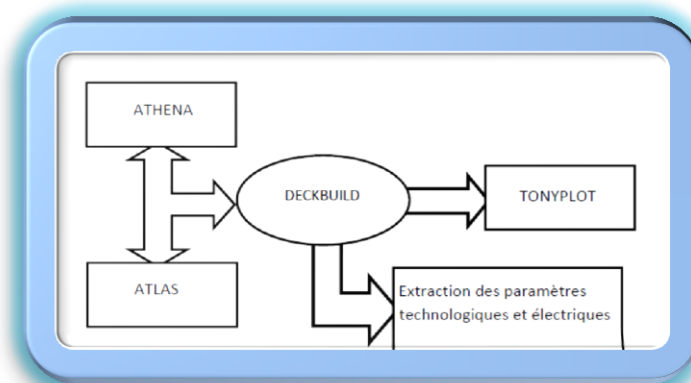


Figure III .2 : Schéma synoptique des modules utilisés dans la simulation par TCAD-SILVACO.

Le programme de simulation est défini comme entrée des différentes étapes technologiques et les phénomènes physiques, s'établi avec le module DECKBUILD de TCAD-SILVACO, Puis la visualisation de la structure de sortie s'effectue avec le module TONYPLOT [33].

➤ **DECKBUILD :**

C'est un environnement où on peut inviter les simulateurs, à tour de rôle, pour définir le programme de simulation : La structure, le maillage et les calculs électriques nécessaires peuvent également être définis dans DECKBUILD. Et défini de multiples simulateurs considérés comme des entrées peuvent être utilisées avec le DECKBUILD : ATHENA, ATLAS, SSUPREM3, etc.

L'affichage des résultats de simulation tels que les paramètres technologiques (profondeur de jonction, concentration des porteurs) et même les paramètres électriques (tension de seuil, courant, etc.) est effectué à l'aide d'une fenêtre d'information (Output window).

➤ **TONYPLOT Outil de visualisation1D/2D:**

TONYPLOT est un puissant outil conçu pour visualiser les résultats des simulations par les simulateurs de SILVACO, distributions de grandeurs diverses dans celui-ci caractéristiques électriques...). TONYPLOT peut donner des caractéristiques de sortie en une dimension (1D), deux dimensions (2D), ou trois dimensions (3D).

Dans ce travail, nous présenterons les résultats de la simulation en deux dimensions, comme c'est illustré sur la figure III-3, à titre d'exemple [12] :

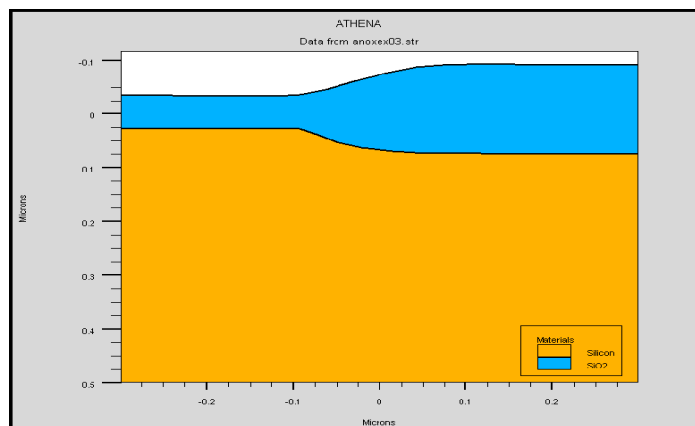


Figure III.3 : Exemple de simulation en 2D de l'étape d'oxydation sous ATHENA.

Dans ce chapitre, le flot de conception de la structure à canal n MOSFET seront discutées en détail. Le MOSFET est fabriqués pratiquement par l'outil TCAD. La Simulation de

processus se fait en ATHENA pour la fabrication virtuelle et la simulation appareil se fait dans ATLAS pour la caractérisation du transistor.

III.5 L'organigramme de simulation en utilisant le TCAD- SILVACO :

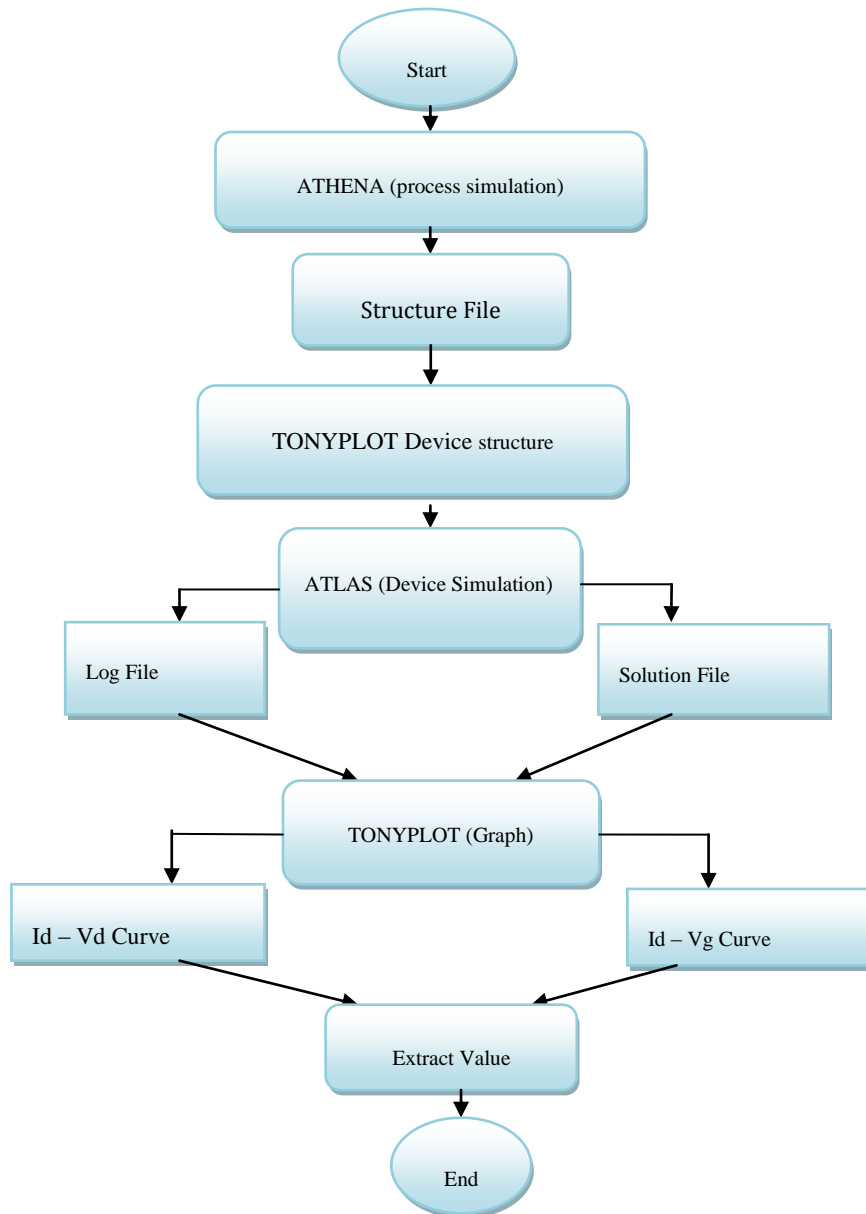


Figure III.4: L'organigramme de simulation en utilisant le TCAD- SILVACO.

III.6 Bases physiques du principe de fonctionnement du simulateur TCAD-SILVACO :

La simulation numérique, qui consiste à résoudre les différentes équations physiques aux dérivées partielles dans un maillage discret représentant le dispositif, est un outil d'étude pratique pour décrire les mécanismes régissant le fonctionnement du transistor.

III.6.a Les équations implémentées dans le simulateur ATLAS :

Le simulateur de dispositifs est basé sur la résolution simultanée de l'équation de Poisson et de l'équation de continuité. Il calcule à chaque instant et en tout point de l'espace en une suite d'éléments finis, la concentration des électrons et des trous et la valeur du potentiel électrostatique.

➤ Equation de poisson:

L'équation de Poisson montre une relation entre le potentiel et la densité des porteurs [34]:

$$\varepsilon \Delta V = -q(p - n + N_D^- - N_A^+) \quad \text{III.1}$$

Où ε est le constant diélectrique, V le potentiel, ΔV le Laplacien du potentiel, q est la charge élémentaire d'électrons, N_D^- et N_A^+ sont les concentrations des dopants donneurs et accepteurs ionisées, n et p sont les densités des porteurs.

➤ Equation de continuité:

L'évolution temporelle des densités de porteurs obéit aux équations de continuité pour les électrons et les trous:

$$\frac{\partial n}{\partial t} = G_n - U_n + \frac{1}{q} \text{div} \vec{J}_n \quad \text{III.2}$$

$$\frac{\partial p}{\partial t} = G_p - U_p + \frac{1}{q} \text{div} \vec{J}_p \quad \text{III.3}$$

Où G et U sont respectivement les taux de génération et de recombinaison des porteurs, j_n et j_p sont les densités de courant des électrons et des trous respectivement.

Les dérivations basées sur la théorie de transport de Boltzmann ont prouvé que la densité des courants dans les équations de continuité peut être définie par le modèle d'entraînement-diffusion. Les densités de courants sont exprimées en deux termes. Le premier correspond à

l'entraînement des charges par le champ électrique, le second correspond à la diffusion des porteurs [34].

$$\vec{J}_n = qn\mu_n\vec{E} + qD_n\overrightarrow{\text{grad}n} \quad \text{III.4}$$

$$\vec{J}_p = qn\mu_p\vec{E} + qD_p\overrightarrow{\text{grad}p} \quad \text{III.5}$$

$$\vec{E} = -\overrightarrow{\text{grad}V} \quad \text{III.6}$$

Où D_n , et D_p sont les coefficients de diffusion. Ils sont directement reliés aux mobilités des porteurs par la relation d'Einstein :

$$D_n = \frac{KT}{q} \mu_n \quad \text{III.7}$$

$$D_p = \frac{KT}{q} \mu_p \quad \text{III.8}$$

III.6.b Les modèles physiques utilisés :

Les modèles physiques dans les semi-conducteurs ont été modélisés sous la forme d'expressions mathématiques reliant le potentiel électrostatique et la densité des porteurs. La modélisation physique est réalisée en tenant compte de la probabilité d'occupation des niveaux d'énergie, de la mobilité des porteurs et des différents types de recombinaison générations.

Pour l'ensemble des simulations TCAD effectués dans cette étude, le logiciel fait appel à différents modèles physiques, qui sont être utilisés à chaque étape technologique considérée :

Le modèle de Pearson (pour la simulation technologique de l'implantation ionique). **Le modèle de Fermi** (pour la simulation technologique de la diffusion). **Le modèle de Lombardi** (pour la simulation électrique). **Le modèle Shockley-Read-Hall** (recombinaison-génération)(voir l'explication de chaque modèle dans l'annexe)[35].

III.7L'organigramme de fabrication du Transistor MOSFET a Canal N :

Maintenant les principales caractéristiques de fonctionnement de dispositif MOSFET a été mises en place, Pour cela on a d'utiliser le logiciel de simulation Silvaco pour fabriquer un MOSFET avec des caractéristiques de fonctionnement possible.

Le procédé technologique est simulé à l'aide du module ATHENA, chaque étape de fabrication utilise un modèle physique pour la simulation des phénomènes réels existants dans le processus de fabrication réel.

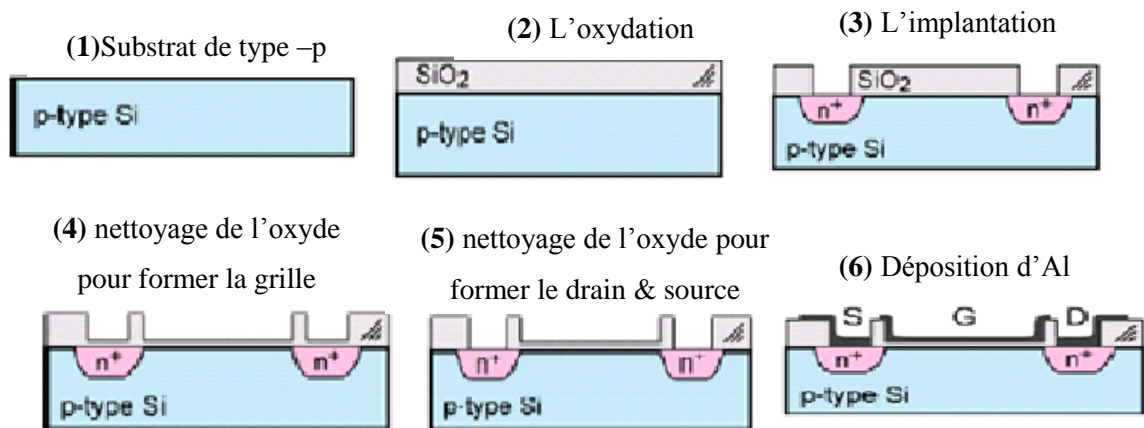


Figure III.5 : Fabrication de transistor MOSFET à canal N.

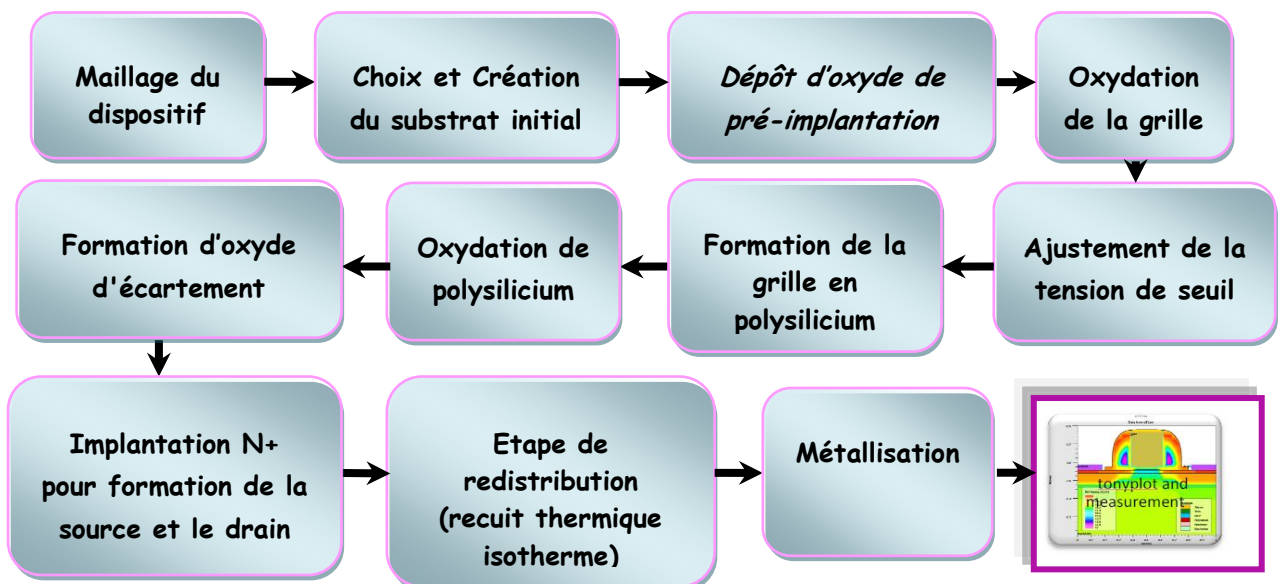


Figure III. 6 : Organigramme de la conception de Transistor NMOS.

III.8 Les procédés technologiques pour la fabrication de NMOS :

Le tableau suivant résume les Paramètres technologiques et géométriques du MOSFET à canal long simulé sur Athéna :

Paramètres	Notation	Valeurs simulées
Epaisseur de la couche d'oxyde	Tox	3.5 nm
Longueur de canal	L	500 nm
Dopage (type p)	N _a	1. 10 ¹⁴ cm ⁻³
Dopage source/drain (type n)	N _d	5.10 ¹⁵ cm ⁻³
Largeur de canal	W	1 micron

Tableau III.1: Paramètres technologiques et géométriques du MOSFET à canal long définis lors des simulations de 2D.

Une étape très importante et indispensable qui doit être effectuée avant d'entamer la simulation du procédé technologique est le maillage du dispositif [37].

III.8.1 Maillage du dispositif :

Le format général de définition de maillage est:

```
MESH X.LOCATION = <VALEUR> ESPACEMENT = <VALEUR>
MESH Y.LOCATION = <VALEUR> ESPACEMENT = <VALEUR>
```

Les spécifications des mailles impliquent une compensation entre les conditions de l'exactitude et l'efficacité numérique. L'exactitude exige une maille fine qui rend le programme converge facilement. L'efficacité numérique exige une maille épaisse qui réduit au minimum tout le nombre de points de grille donnant une réduction du temps d'exécution. Cette compensation entre l'exactitude et l'efficacité numérique est fréquemment une source des problèmes, elle nécessite assez d'expériences pour définir les mailles raisonnables.

La méthode numérique utilisée pour résoudre les équations physiques est la méthode des éléments finis. Son principe de base est la discrétisation par éléments des équations à traiter.

Alors le maillage doit être très fin pour les régions telles que la région du canal, les jonctions drain/ substrat et source/substrat, alors qu'il peut être moins serré pour d'autres

régions du transistor, en dehors de ces zones actives. La maille conçue pour notre dispositif est montrée sur la Figure III-7 [36].

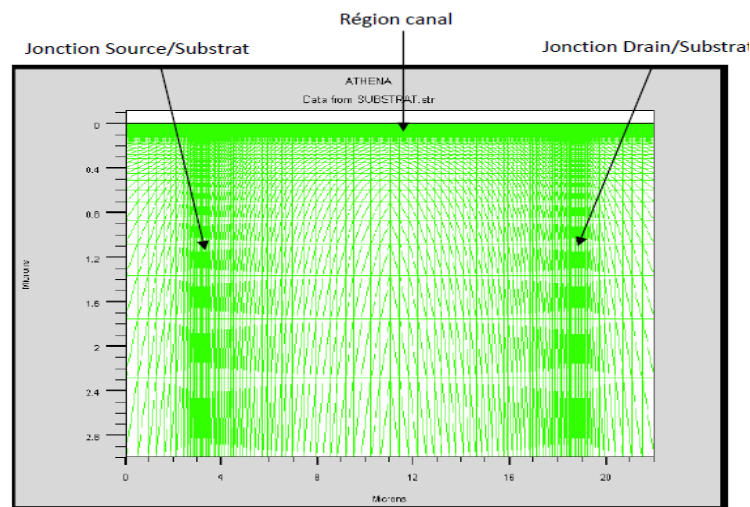


Figure III.7 : Maillage du dispositif.

III.8.2 initial et choix du matériau de substrat (dopage):

Avant de réaliser tout composant microélectronique, il faut définir le substrat, c'est-à-dire le matériau dans lequel sera réalisé le dispositif.

```
# Establish initial grid and substrate material
#
line x  loc=0.0  spac=0.1
line x  loc=0.2  spac=0.006
line x  loc=0.4  spac=0.006
line x  loc=0.6  spac=0.01
#
line y  loc=0.0  spac=0.002
line y  loc=0.2  spac=0.005
line y  loc=0.5  spac=0.05
line y  loc=0.8  spac=0.15
#
Init Orientation =100 c. boron=1e14  space.mul=2
```

Avant de commencer la fabrication, la plaque initiale doit être sélectionnée. Le cahier de charge doit également être défini, en particulier le type de dopage du substrat dopant, et l'orientation cristalline du matériau. Pour cette technologie, un substrat de silicium avec une orientation cristalline <100> a été choisi en raison d'une meilleure interface entre Si/SiO₂. Cette interface a trait à la liaison atomique entre le silicium et des atomes d'oxygène dans la couche de l'oxyde, qui est thermiquement développé sur le substrat de silicium [38]. Ensuite le procédé de dopage ce fait après le nettoyage de substrat utilisé. Un puits P est créé sur un substrat initialement dopé N. Par l'observation de la concentration en atome de Bore, en utilisent l'étape de diffusion dans le processus de dopage. Puisque le substrat est de type p, le bore est dopé avec une concentration de $1 \times 10^{14} \text{ cm}^{-3}$ dans le substrat.

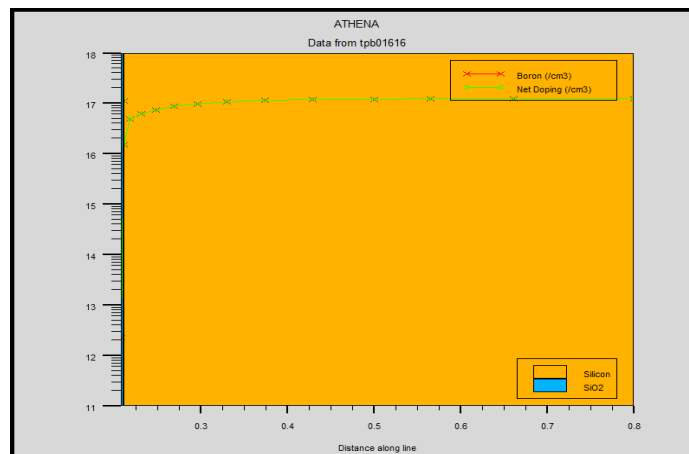


Figure III.8 : substrat initial pour NMOS.

III.8.3 Oxydation de Masquage :

```
#pwell formation including masking off of the nwell  
#  
Diffus time =30 temp=1000 dryo2 press=1.00 hcl=3  
#  
Etch oxide thick=0.02
```

Pour la croissance de la couche d'oxyde de Silicium mince (SiO₂) de 10 à 12 nm, On va contrôler le temps et la température d'oxydation. L'épaisseur de la couche d'oxyde est mesurée directement sur la structure obtenue. Cette couche est joue un rôle très important pour éviter la contamination du substrat.

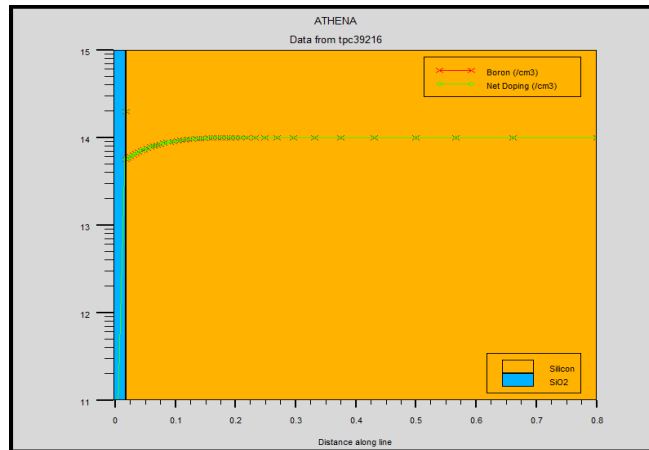


Figure III. 9 : Oxydation de Masquage.

III.8.4 Implantation des Puits-N et Puits-P :

Cette opération consiste à introduire des atomes ionisés projectiles avec suffisamment d'énergie pour pénétrer la plaquette. Cette pénétration ne s'effectue que dans des régions de surface. Cette opération est essentiellement utilisée pour doper le substrat durant la fabrication des dispositifs (pour la création de zones de source ou de drain d'un transistor MOS).

Pour les NMOS, le puits p est formé en utilisant une implantation de bore avec une énergie $E=100\text{keV}$ et une dose de $D=8 \times 10^{12}/\text{cm}^{-3}$, L'extension latérale du puits n'est pas prise en compte dans cette simulation, car un seul transistor est étudié.

Cette étape permet un contrôle précis de la quantité totale d'atomes implantés (dose d'implantation) et du profil de concentration du dopant. Et permet en particulier l'ajustement de la tension de seuil d'un transistor MOS (choix de la nature d'un transistor à enrichissement ou à appauvrissement).

```
#pwell implant
#
Implant boron dose=8e 12 energy=100 pears
#
Diffus temp=950 time=100 weteo2 hcl=3
#
#N-well implant not shown
```

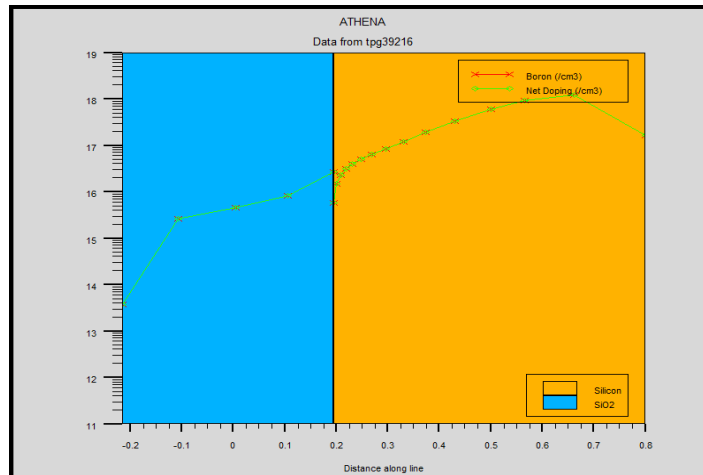


Figure III.10: Implantation de Puits-N et Puits-P.

III.8.5 Nettoyage de L'oxyde Sacrificiel :

Le nettoyage des plaques de silicium avant l'oxydation est une étape importante car la qualité de la surface peut conditionner les propriétés structurales (homogénéité, rugosité) et électriques (états d'interface, contaminations). Une couche fine d'oxyde de 10 à 15 nm se forme à la surface [9].

```
#well drive start here
Diffus time =50 temp=1000 t.rate =4.000 dryo2 press=0.10 hcl=3
Diffus time =220 temp=1200 nitro press=1
Diffus time =90 temp=1200 t.rate = -4.444 nitro press=1
Etch oxide all
# Sacrificial « cleaning » oxide
Diffus time =20 temp=1000 dryo2 press=1 hcl=3
Etch oxide all
```

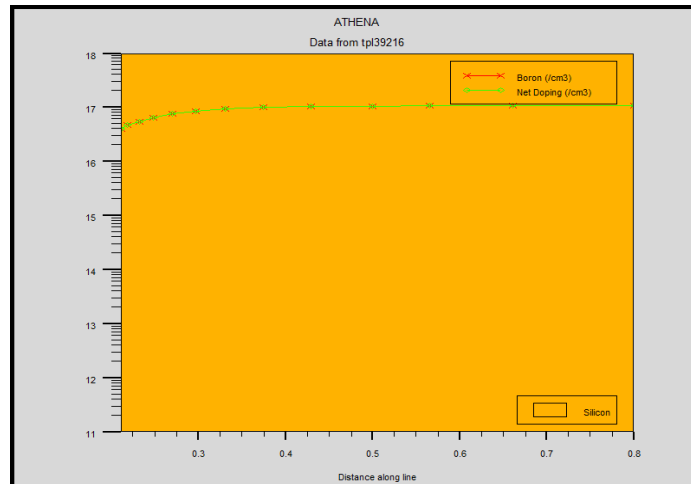


Figure III. 11 : nettoyage de l'oxyde sacrificiel.

III.8.6 Oxydation de la grille :

#gate oxide grown here:

Diffus time =5 temp=825 dryo2 press=1.00 hcl=3

L'oxyde de grille a été réalisé en utilisant une oxydation thermique sèche du silicium. Ce dernier assure la croissance d'une couche d'oxyde de bonne qualité, La couche d'oxyde est déposée pour se prête pour la formation de la grille. L'oxyde de 3,5 nm (35 Å) est diffusé sur la surface de la couche de silicium à une température environ 825°C et la pression de 1 atm. L'épaisseur de l'oxyde est extraite pour obtenir une valeur précise. La Figure III.12 présente les couches de l'étape précédente et la couche d'oxyde.

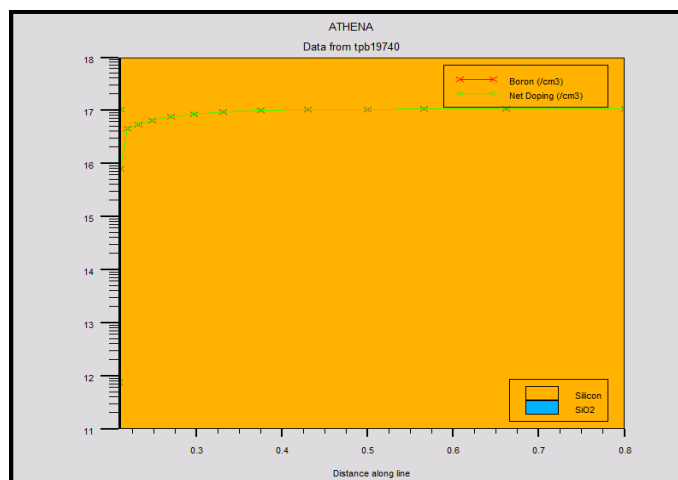


Figure III. 12: Oxydation de la grille.

III.8.7 ajustement de la Tension de Seuil V_{th} :

```
#vt adjust implant
Implant boron dose = 3e 12 energy=25 pearson
```

La tension de seuil du transistor MOSFET est un paramètre important, et doit être soigneusement commandée. Elle est déterminée en grande partie par la densité enduisant dans le canal, qui est dans ce cas la densité de l'implant de puits de p. Cependant, de sorte que nous pourrions avoir plus de contrôle de la tension de seuil, il est usuel de faire un autre implant fin-accordent sa valeur. Cette implantation est généralement plus précise que d'utiliser simplement le dopage. Ce dopage est généralement opposée à celle du puits, à savoir un dispositif NMOS dans un puits-p, recevra une implantation d'un dopant de type n. Cela permettra de réduire les porteurs majoritaires sous la grille, ce qui rend plus facile à allumer l'appareil en attirant les porteurs minoritaires lorsque la grille est activée. Principalement cet implantation en combinaison avec l'implantation puits-p précédente et de la capacité d'oxyde de grille, détermine la valeur de tension de seuil finale.

Par conséquent cette étape permet d'implanter le bore pour ajuster la tension de seuil. Et une faible énergie d'implantation ionique ajuster aussi la V_{TH} du dispositif. L'énergie dans cette étape est 25keV et une dose de bore est de $3 \times 10^{12} \text{cm}^{-3}$.

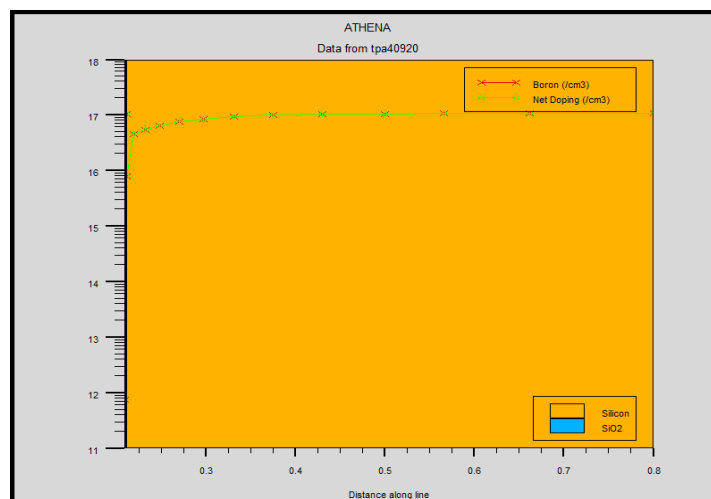


Figure III. 13: ajustement de la Tension de Seuil.

III.8.8 Déposition de la grille en polysilicium:

```
#performing conformal deposition
#from now on the situation is 2-D
Depo poly thick=0.2 divis=10
etch poly left p1.x =0.35
```

La grille en Polysilicium est utilisée dans cette simulation, au lieu d'une grille en métal.

Premièrement, L'utilisation de silicium polycristallin fortement dopé comme un matériau de grille a ouvert une toute nouvelle vista et à permet des améliorations considérables en termes d'évolutivité des transistors MOS et de la technologie. Alors Tout d'abord, le polysilicium de 200nm d'épaisseur est déposé sur la couche d'oxyde. Ensuite, le silicium polycristallin et l'oxyde sont gravés pour une taille correcte à partir du côté gauche [39].

Les spécifications $x = 0.35$ indiquent au programme que nous voulons graver à l'eau-forte de $x = 0$ à $0.35 \mu\text{m}$. Maintenant, les rapports définissant la maille ont indiqué une longueur totale de $0.6 \mu\text{m}$, qui comme nous avons précisé est moitié du dispositif. Par conséquent la gravure de $x = 0$ à $x = 0.35 \mu\text{m}$ donnera la moitié de la longueur de canal ($L/2 = 0.6 - 0.35 = 0.25 \mu\text{m}$). Par conséquent la longueur de canal de ce dispositif sera de $0.5 \mu\text{m}$.

Maintenant une étape de photolithographie (comprenant le dépôt de résine photosensible, l'exposition à travers un masque avec une largeur de $0,18 \mu\text{m}$, qui est égale à la longueur de grille.

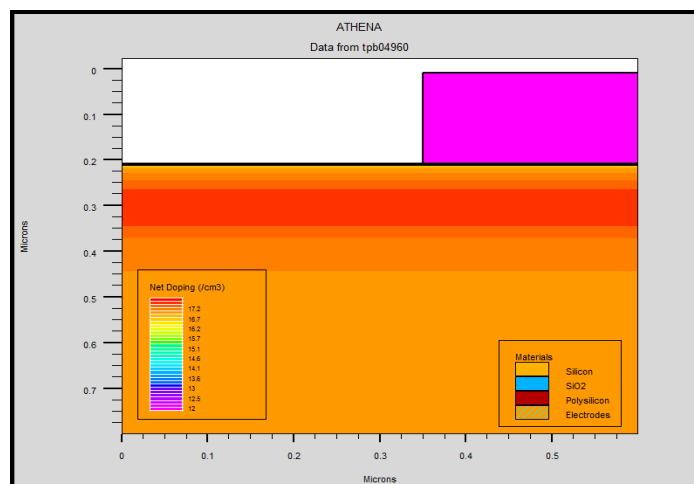


Figure III.14 : Formation de grille en polysilicium.

III.8.9 Oxydation de Polysilicium :

```
# Polysilicon oxidation  
Method fermi compress  
Diffuse time=3 temp=900 weteo2 press=1.0  
#polysilicon doping/Light doped drain extension  
Implant arsenic dose=1.0 e 13 energy=10 pearson
```

Le procédé est suivi par l'oxydation de polysilicium qui est déposée à nouveau au-dessus de la grille par diffusion. Le polysilicium est implanté par l'Arsenic avec une dose de $1.10^{13} \text{ cm}^{-3}$ et une énergie de 10KeV.

III.8.10 Formation d'oxyde d'écartement:

```
#spacer oxide deposition and etch  
Deposit oxide thick=0.120 divisions=8  
Etch oxide dry thick=0.120
```

La couche d'oxyde d'écartement peut empêcher les ions à implanter dans la grille. Avec cette couche les ions ne sera implanté dans la région source /drain. La couche mince d'oxyde est enlevé, Cette étape consiste à déposer à nouveau la couche d'oxyde environ 100nm par dépôt chimique basse pression de vapeur (LPCVD) et une gravure anisotrope de telle sorte que des espaces d'oxyde de silicium polycristallin au niveau des bords sont créés.

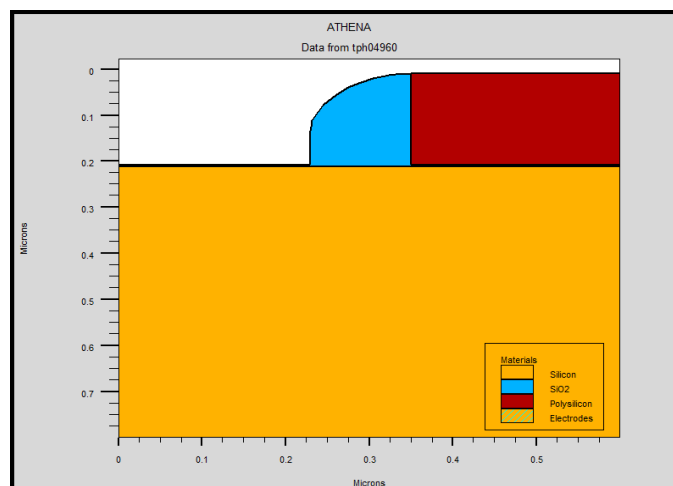


Figure III.15 : la formation d'oxyde d'écartement.

III.8.11 Métallisation et formations de la Source et le Drain :

La structure est prêt pour la métallisation après la formation de la source / drain. La métallisation se rapporte à des couches métalliques qui relient électriquement la structure de dispositif fabriqué sur le substrat de silicium. Le matériau le plus utilisé pour la métallisation est une couche mince d'aluminium qui est très approprié avec sa très faible résistivité et de son adhérence compatible avec SiO₂. Alors cette couche est déposée sur la surface, puis il est enlevée par décapage, pour former la région de contact de source / drain [39]. Comme illustré à la figure ci-dessous.

```
# Source/drain implant
Implant arsenic dose =5.0 e15 energy=50 pearson
#Rapid Thermal Annealing
Methode fermi compress
Diffuse time=1 temp=900 nitro press=1.0
#pattern s /d contact metal
Etch oxide left p1.x=0.2
#Aluminium deposition
Deposit alumin thick=0.03 divis=2
Etch alumin right p1.x=0.18
```

La source et le drain du NMOS sont formés par le processus d'implantation d'ions. L'arsenic est utilisé pour l'implantation d'une concentration élevée de $5 \times 10^{15} \text{ cm}^{-3}$ et une énergie 50keV à construire la faible résistance de régions de source et de drain.

Pour activer les dopants implantés sans redistribution par diffusion trop, une étape de recuit thermique rapide (RTA) est nécessaire, par exemple 1 seconde à environ 900° C pour NMOS. Enfin, le transistor NMOS est mis en contact (de gauche à droite: la source, la grille, le drain) et le comportement électrique du dispositif peut être analysé.

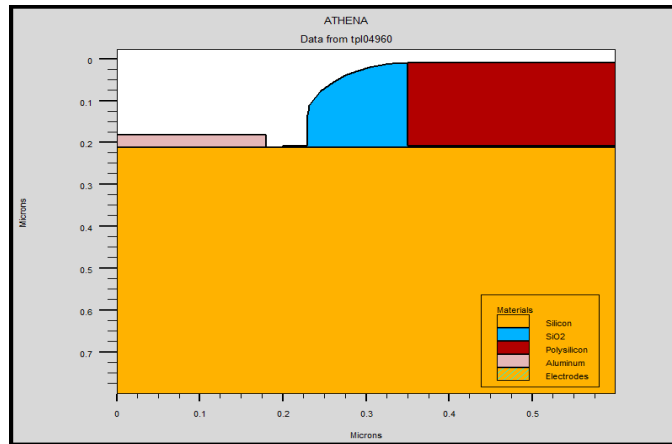


Figure III.16 : métallisation et formations de la Source et le Drain.

III.8.12 Structure de réflexion :

```
# reflect structure
Struct mirror right
Electrode name =gate x=0.6 y=0.1
Electrode name=source x=0.1
Electrode name=drain x=1.1
Electrode name=substrate backside
```

Le NMOS au début a été fabriqué presque la moitié de la structure à travers la simulation de processus quand la structure complète est symétrique par rapport à cette moitié. La structure est réfléctée pour obtenir la structure latérale droite pour compléter la fabrication. Enfin, le dispositif est étiqueté avec le nom des électrodes pour la source, drain, la grille [39]. La structure du dispositif peut être considérée comme le montre la figure suivante.

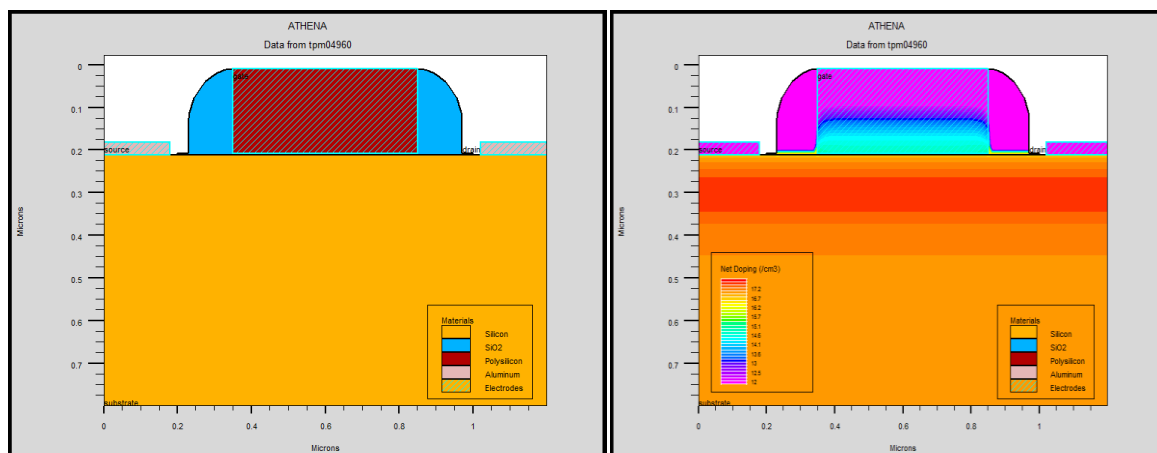


Figure III.17 : La Structure de réflexion pour le dispositif NMOS.

Enfin, la structure est sauvegardé (fichiersSi.str).Ce fichier sSi.str est exporté vers ATLAS pour la simulation appareil. D'autre part, Le fichier de structure de NMOS classiques estappelénmos.str.

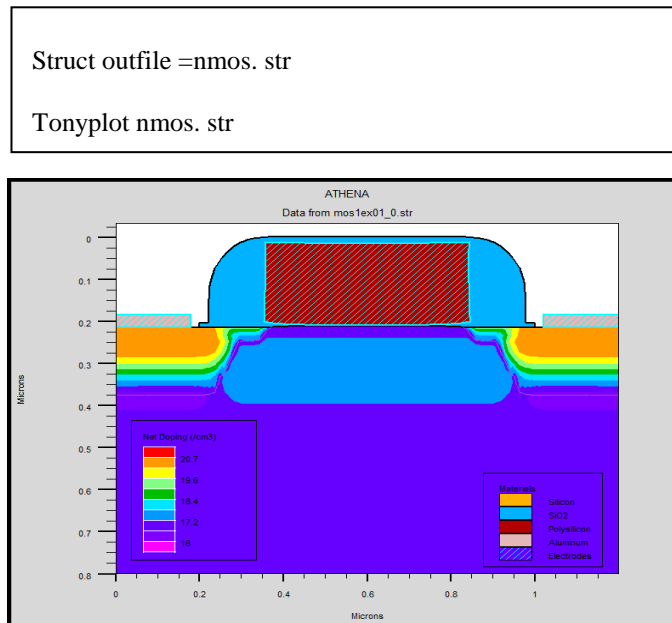


Figure III.18 : La Structure finale de dispositif NMOS.

III.9 Conclusion :

Dans ce chapitre nous avons présenté l'ensemble des résultats des simulations obtenus par l'outil ATHENA, de TCAD-SILVACO. Ainsi que différentes technologies de fabrication d'un dispositif N-MOSFET. L'objectif de chapitre suivant est d'étudier les caractéristiques électriques de ce transistor et de minimiser leur longueur de canal puis leur épaisseur et d'analyser certains effets due à cette diminution.

IV.1 Introduction:

Dans ce chapitre nous présenterons par simulation les caractéristiques électriques et les effets de canal court des transistors MOSFET, qui altèrent le fonctionnement conçus pour leurs performances et pour des soucis de miniaturisation. Ces transistors de petites dimensions, polarisés avec de très faibles tensions de polarisation, permettent un fonctionnement à grande vitesse tout en offrant une autonomie non négligeable, et c'est bien le cas des équipements portables conçus actuellement. Nous exposerons un autre effet non négligeable de ces structures submicronique est l'apparition de courants de fuite qui se manifestent généralement sous le seuil de fonctionnement du transistor.

IV.2 Outil de simulation numérique :

Notre choix s'est porté sur le logiciel ATLAS - SILVACO, qui est un outil de simulation et de caractérisation électrique de structures semi-conductrices 2D, basé sur la physique des semi-conducteurs [33].

ATLAS dispose d'une multitude de modèles physiques des semi-conducteurs couvrant presque la généralité des phénomènes connus de la physique des composants semi-conducteurs les plus courants : modèles de recombinaison (Shockley Read Hall), d'ionisation par impact (Pearson), ainsi que les modèles de mobilité, et les statistiques de Fermi-Dirac et Boltzmann.

ATLAS dispose aussi des méthodes numériques d'itération non-linéaire (Newton, Gummel et Block) qui peuvent être utilisées séparément ou en combinaison pour des simulations spécifiques à chaque type de structure et de semi-conducteur, il est aussi possible de régler le nombre d'itérations et les critères de convergences.

IV.3 Les méthodes numériques:

Plusieurs méthodes numériques peuvent être utilisées pour résoudre les équations des semi-conducteurs. En général, il y a trois approches: méthode de **GUMMEL**, méthode de **Newton**, et la troisième méthode est la combinaison de ces deux premières.

Chaque itération de la méthode de **GUMMEL** résout une équation des sous-problèmes par rapport à sa variable primaire, tout en tenant compte d'autres variables à leurs valeurs la plus

récemment calculées. Une étape d'itération de GUMMEL est accomplie quand le procédé a été exécuté pour chaque variable indépendante. L'itération de GUMMEL converge relativement lente, mais la méthode ne demande pas de bonnes prédictions.

Pour la méthode de NEWTON, chaque itération résout le système des inconnus. La taille du problème est relativement grande, et chaque itération prend un temps relativement long. Cependant, l'itération convergera rapidement à condition que les prédictions soient suffisamment près de la solution finale.

Il est possible de commencer par la méthode de GUMMEL et puis ressortir à la méthode de NEWTON si la convergence n'est pas réalisée dans un certain nombre d'itérations. L'avantage de cette troisième méthode est que l'itération de GUMMEL peut raffiner les prédictions à un point de sorte que l'itération de Newton peut converger[34].

IV.4 Les caractéristiques I-V de transistor MOSFET :

Les caractéristiques de transfert que nous avons obtenue en utilisant le logiciel de simulation électrique ATLAS- SILVACO d'un transistor NMOSFET avec $W=1$ microns et $L=0.5\mu\text{m}$ font l'objet de La figure (IV-1 et IV-2).

- **Caractéristiques I_d-V_{gs} :** Pour cela nous avons utilisé différentes valeurs de la tension de drain $V_{ds} = (0.1, 0.5, 1 \text{ et } 1.5) \text{ V}$, avec V_{gs} varie entre 0 et 3.3 V et un pas de 0.3V.
- **Caractéristiques I_d-V_{ds} :** Pour cela nous avons utilisé différentes valeurs de la tension de grille $V_{gs} = (1, 2, 3 \text{ et } 4) \text{ V}$, avec V_{ds} varie entre 0 et 3.3V et un pas de 0.3V.

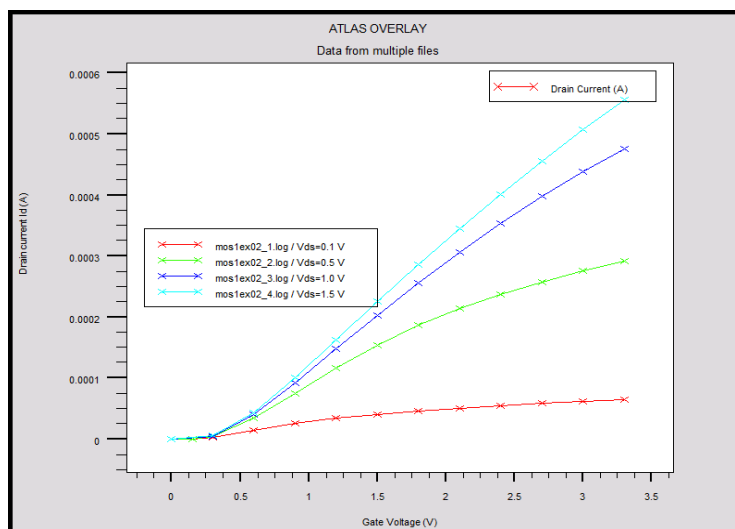


Figure IV.1 : Caractéristiques de transfert I_d-V_{gs} du N-MOSFET.

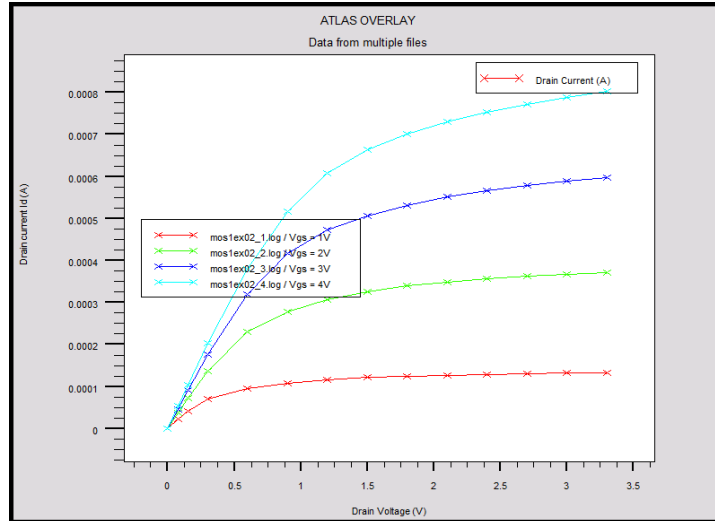


Figure IV.2: les caractéristiques de sortie I_d - V_{ds} de transistor MOSFET à canal n.

Nous pouvons observer dans les figures (IV-1, IV-2) que lorsque la tension de la grille et de drain augmentent, le courant de drain augmente également. Ceci est dû à l'augmentation du nombre d'électrons le long du canal. Alors, le transistor fonctionne en régime linéaire. Pour cette région, Un canal est induit de la source vers le drain quand $V_{gs} > V_{th}$. Cependant, la polarisation de drain doit être maintenue assez petite de sorte que le canal soit continu mais non pincé à l'extrémité de drain.

La Figure IV.3 peut déterminer la tension de seuil V_{th} du n MOSFET de sa caractéristique I_d - V_{gs} .

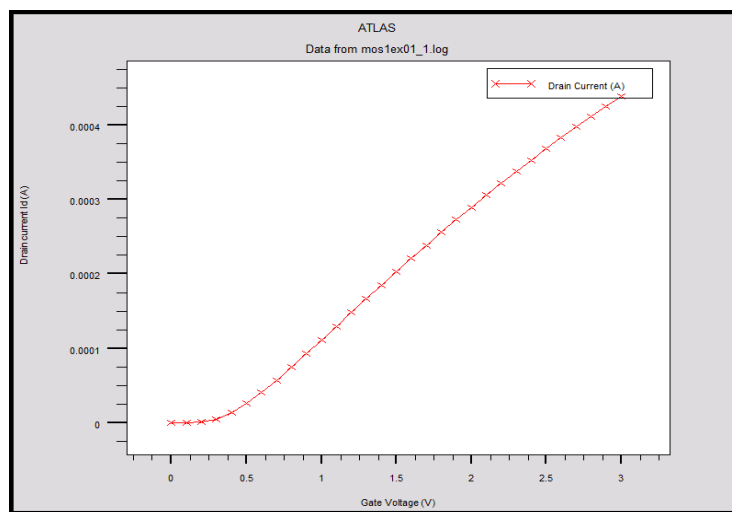


Figure IV.3 : Caractéristiques de transfert du n MOSFET.

V_{th} c'est la tension V_{gs} à partir de laquelle le transistor est conducteur (marche) soit alors $V_{th} \approx 0.5$ Volt. Cette valeur est correcte, on peut tout de suite la vérifier avec les valeurs données par l'extraction des paramètres dans SILVACO pour la technologie MOSFET.

IV.5 Etude de l'effet de la variation de concentration N_A sur le courant I_d :

Nous nous sommes intéressés dans cette partie à observer les effets de la variation de la concentration des dopants accepteurs $N_A = (10^{14}, 7.10^{17}, 10^{18})\text{cm}^{-3}$ de substrat sur les caractéristiques électriques du dispositif pour la longueur de canal $L=0.5\mu\text{m}$. Les résultats de simulation obtenus sont donnés dans les Figures IV.4, IV.5.

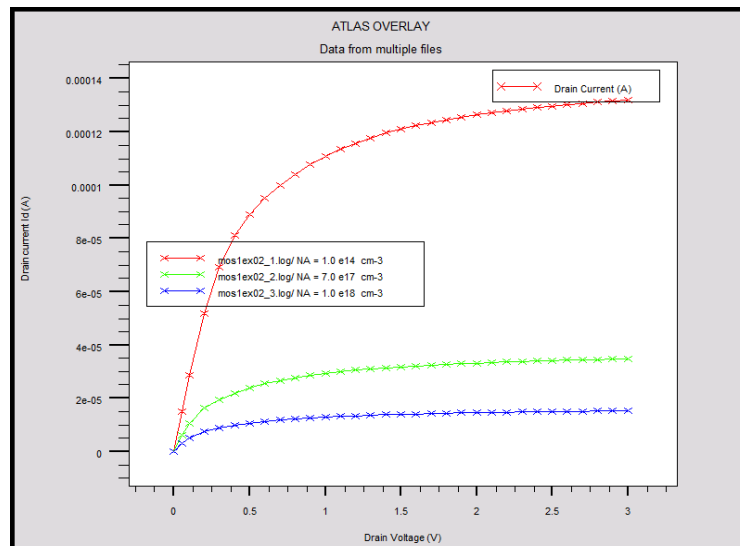


Figure IV.4 : Caractéristique I_d - V_{ds} pour différentes concentrations N_A .

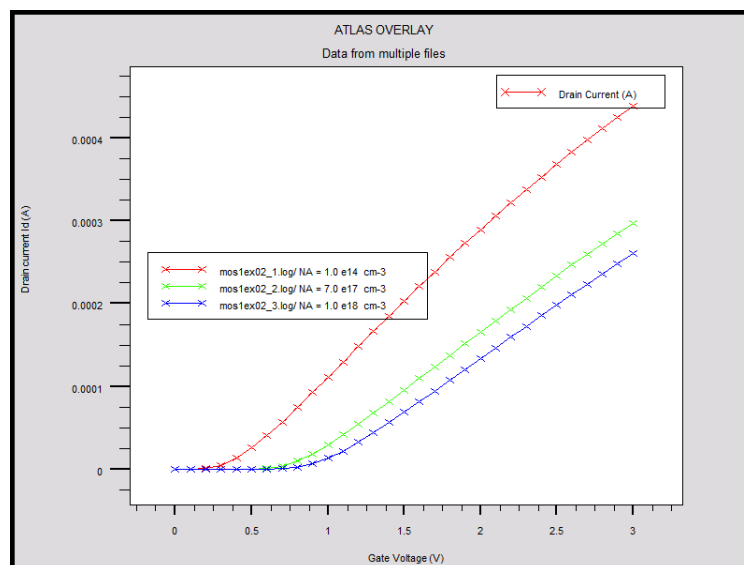


Figure IV.5:Caractéristique I_d - V_{gs} pour différentes concentrations N_A .

Nous remarquons sur ces figures que la variation de dopage du substrat dépend de la tension de seuil du dispositif, Cette variation provoque une variation de courant du drain du MOSFET.

IV.6 Etude de l'effet de la variation de concentration N_D sur le courant I_d :

Nous nous sommes intéressés dans cette partie à observer les effets de la variation de la concentration des dopants donneurs $N_D = (5.10^{15}, 10^{16}, 10^{18})\text{cm}^{-3}$ de la source et du drain sur les caractéristiques électriques du dispositif pour la longueur de canal $L=0.5\mu\text{m}$. Les résultats de simulation obtenus sont donnés dans les Figures IV.6, IV.7.

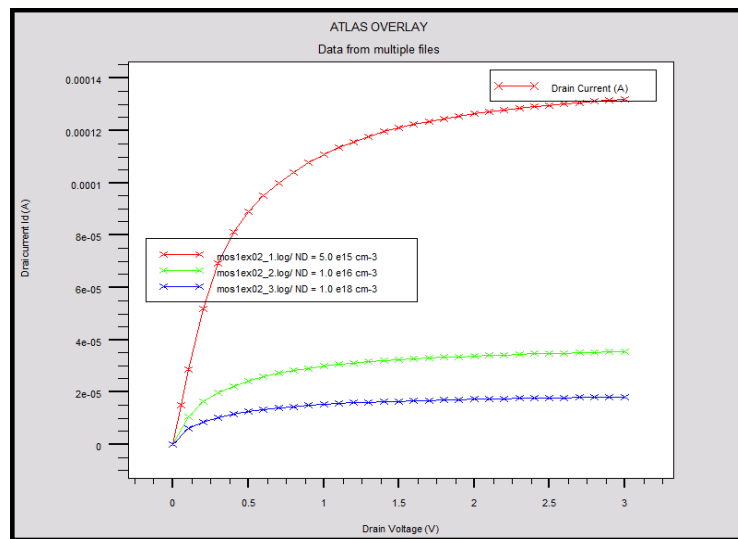


Figure IV.6 : Caractéristique I_d - V_{ds} pour différentes concentrations N_D .

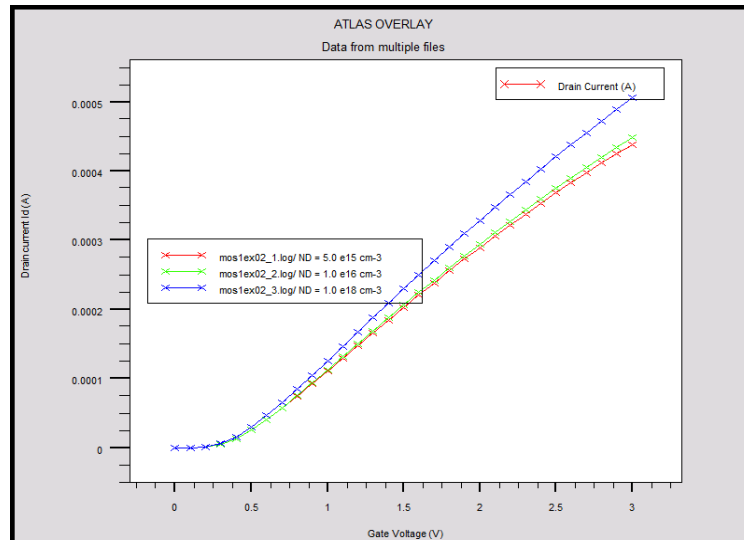


Figure IV.7 : Caractéristique I_d - V_{gs} pour différentes concentrations N_D .

Nous observons sur ces figures que le dopage dans les régions de la source et du drain n'a aucun effet sur la tension de seuil du dispositif, néanmoins cette variation provoque une variation de courant du drain du MOSFET. En effet lorsque la concentration des dopants de la source et du drain augmente, le courant du drain augmente également.

IV.7 Effet de la variation des dimensions du transistor :

Afin d'examiner les effets de la variation des dimensions du transistor sur les caractéristiques électriques et de mesurer l'impact de la diminution de ces dimensions permettant d'examiner les effets du canal court. Nous nous sommes intéressés dans cette partie de travail sur la variation de la longueur de canal mais on garde les mêmes dimensions de transistor, Alors nous allons minimiser cette longueur et nous examinons l'effet de cette variation sur les caractéristiques électriques.

Le Transistor n-MOSFET a été fabriqué en utilisant Athena-Silvaco. La structure de dispositif pour les trois longueurs de canal $L = (0.025, 0.15 \text{ et } 0.5) \mu\text{m}$ sont montrées dans La Figure (IV.8).

La structure de longueur de canal de $L=0.025\mu\text{m}$ a été dopé avec une concentration du bore d'une dose égale $4 \cdot 10^{17} \text{ cm}^{-3}$ tandis que pour le drain et la source la région a été dopé avec une dose de concentration de l'arsenic 10^{16} cm^{-3} .

Pour la structure de longueur de canal $L= 0.15\mu\text{m}$, la région de canal a été dopé du bore de 10^{15} cm^{-3} tandis que pour la région de drain et de source a été dopé avec une concentration de l'arsenic $8 \cdot 10^{15} \text{ cm}^{-3}$.

Et comme nous avons vu précédemment que la structure de longueur de canal $L= 0.5\mu\text{m}$, la région de canal a été dopé du bore de 10^{14} cm^{-3} tandis que pour la région de drain et de la source a été dopé avec une concentration de l'arsenic $5 \cdot 10^{15} \text{ cm}^{-3}$.

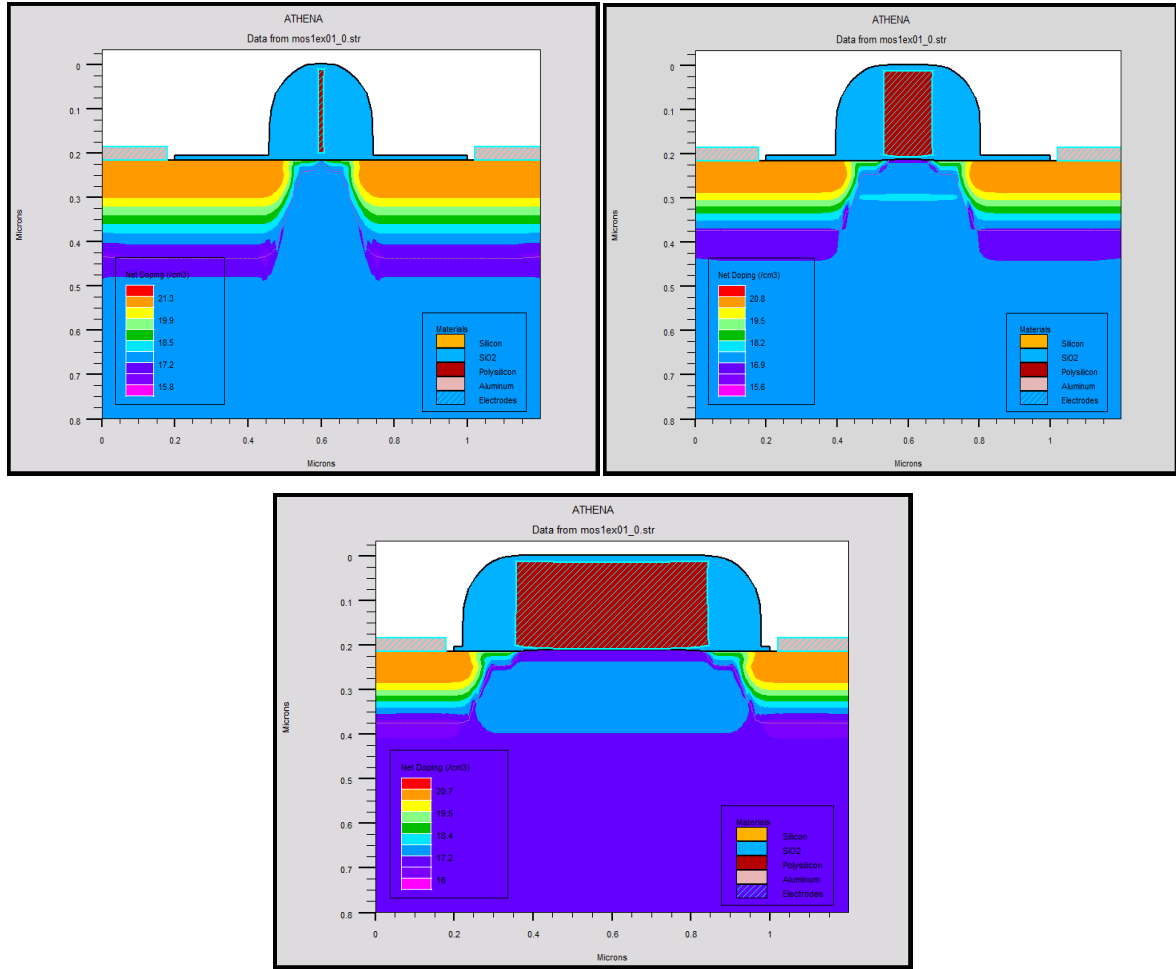


Figure IV.8: La structure de transistor MOSFET pour différentes longueurs de canal pour $L = (0.025, 0.15, \text{ et } 0.5) \mu\text{m}$.

IV.8 Effet de la variation de la longueur de canal sur la tension de seuil V_{th} :

La tension de seuil est un paramètre essentiel pour le fonctionnement du transistor MOS. Cette tension peut déterminer les exigences pour le fonctionnement de ce transistor bloqué ou saturé. Alors il est très important d'ajuster V_{th} dans la conception de ce dispositif. L'équation IV.1 et IV.2 peut être utilisée pour calculer la tension de seuil V_{th} .

$$\phi_F = -\frac{kT}{q} \ln\left(\frac{N_D}{N_i}\right) \quad \text{IV.1}$$

$$V_{th} = 2\phi_F - \frac{K_s t_{ox}}{K_0} \sqrt{\frac{4qN_D}{K_s \epsilon_0}} (-\phi_F) \quad \text{IV.2}$$

Avec $2\phi_F = \phi_S$: énergie nécessaire pour l'inversion du canal [40].

kT/q : Tension Thermique à $T = 300K$.

K_s : Constante de diélectrique de Si.

K_o : constant de diélectrique de SiO_2 .

t_{ox} : L'épaisseur de l'oxyde de la grille.

N_b : Concentration du donneur sur la surface de silicium.

N_i : Concentration du porteur intrinsèque.

ϵ_0 : Permittivité de l'espace.

Pour cela nous allons varier la longueur de canal L et nous traçons les caractéristiques I_d-V_{gs} :

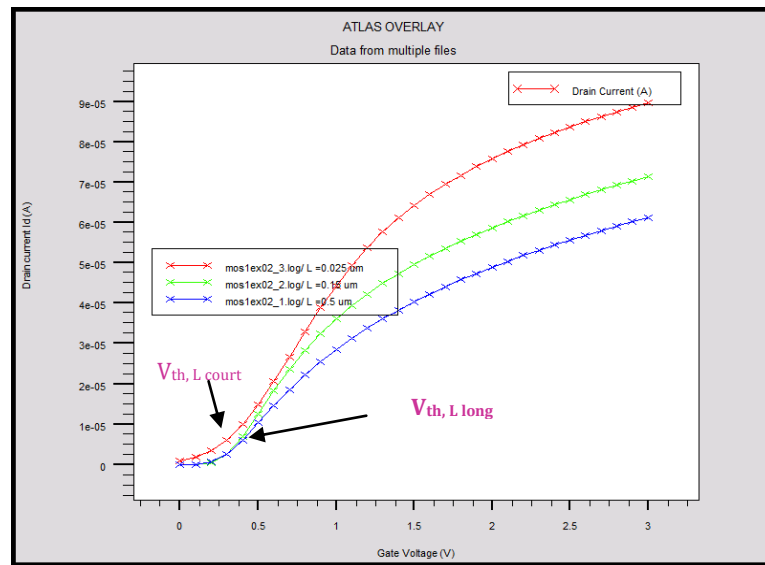


Figure IV.9: La tension de seuil de transistor MOSFET à canal n pour la tension de drain $V_{ds} = 0.1V$ et pour différentes longueur de canal : $L = (0.025, 0.15, \text{ et } 0.5) \mu m$.

Nous constatons que :

La tension de seuil pour la longueur de canal $L = 0.5 \mu m$ est la plus grande. Alors cette tension est augmenté quand le canal entre source/drain devient plus long [42].

C'est pourquoi la concentration de dopage d'une structure de longueur de canal

$L = 0.025 \mu m$ égale à $4 \cdot 10^{17} \text{ cm}^{-3}$ est plus grande que celle du canal $L = 0.15 \mu m$ et $L = 0.5 \mu m$ qui est égale à 10^{15} cm^{-3} , et 10^{14} cm^{-3} respectivement.

Alors quand la concentration de dopage de canal est augmentée, la charge de déplétion dans le canal augmente également, c'est pourquoi la tension de seuil est diminuée.

Ces résultats ne sont généralement valables que pour les longueurs de canal au-dessus de $L=0.025\mu\text{m}$.

IV.9 Effet de la variation de la longueur du canal sur le courant de drain :

Cette partie nous a permis d'examiner l'effet de la variation de la longueur du canal L sur le courant I_d .

Le tableau suivant présente les valeurs de courant I_d pour le dernier point de chaque courbe I_d en fonction de V_{gs} de la figure (IV.9) :

Pour	$L=0.025\mu\text{m}$	$L=0.15\mu\text{m}$	$L=0.5\mu\text{m}$
$V_{ds}=0.1\text{ V}$	0.08965 mA	0.07132 mA	0.06121 mA

Nous pouvons remarquer que la variation de la longueur du canal influe directement sur le courant de drain qui diminue quand la longueur du canal augmente.

Alors le courant de drain d'un transistor à canal court ne sature pas. Par conséquent il est difficile d'étudier la saturation de dispositif de longueur $L=0.025\mu\text{m}$.

Nous pouvons remarquer aussi que I_{off} ne varie pas avec la longueur du dispositif alors que I_{on} dépend de sa longueur.

La simulation suivante relative à la longueur de canal $L=0.5\mu\text{m}$, le drain est polarisé à plusieurs valeurs différentes, $V_{ds} = (0.2, 0.4 \text{ et } 0.6)\text{ V}$.

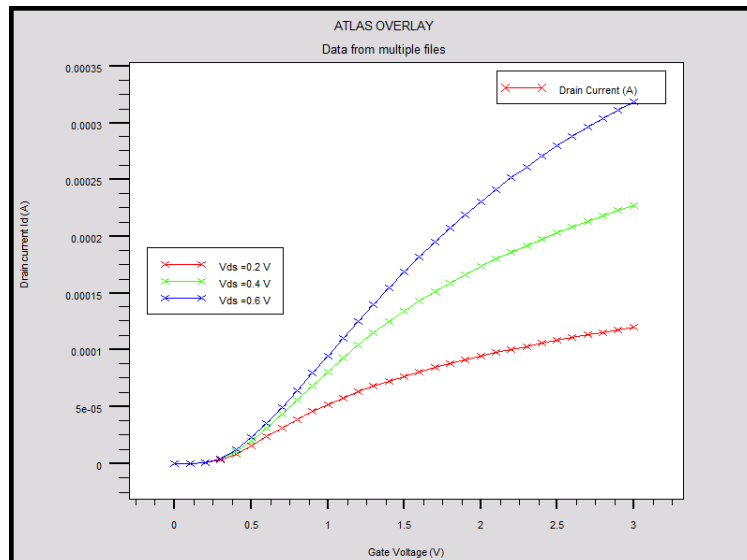


Figure IV.10: Les caractéristiques $I_d - V_{gs}$ pour différentes valeurs de la tension de drain $V_{ds} = (0.2, 0.4 \text{ et } 0.6)\text{ volts}$ et pour la longueur de canal $L=0.5\mu\text{m}$.

Ce graphe montre que lorsque la tension de drain augmente, le courant de drain augmente également, alors la mobilité des électrons est également augmentée à mesure que le courant est proportionnel à la mobilité. L'équation ci-dessous donne la relation entre le courant et la mobilité, quand le transistor fonctionne en mode linéaire.

$$I_d = \frac{\mu W C_{ox}}{L} \left(V_{gs} - V_{th} - \frac{V_{ds}}{2} \right) V_{ds} \quad \text{IV. 3}$$

Où μ est la mobilité, W est la largeur du transistor, L est la longueur canal du transistor, C_{ox} est la capacité d'oxyde[36].

IV.10 Effet de la variation de la longueur de canal sur la caractéristique sous le seuil :

La pente sous le seuil (S) est définie comme étant la variation de polarisation de grille nécessaire pour augmenter le courant d'une décade. Elle s'exprime en mV/décade.

Comme nous avons vu au chapitre II que le courant de drain dans la région sous le seuil est

égal à :

$$I_{ds\ th} = \mu C_{ox} \frac{W}{L} \left(\frac{kT}{q} \right)^2 \left(\frac{q(V_{gs} - V_{th})}{n kT} \right) \quad \text{IV. 4}$$

Avec : $n = 1 + C_D / C_{ox}$

Si nous traçons $\text{Log}(I_d)$ en fonction de polarisation de grille V_{gs} , nous devrions avoir un comportement linéaire dans le régime sous le seuil, comme le montre la figure ci-dessous, La pente de cette ligne(ou plus précisément l'inverse de la pente) est appelée : **la pente sous seuil S**. La valeur typique de cette pente pour le transistor MOSFET se situe dans la gamme de 60 à 100mV/decade [35].

L'expression de S est donnée par :

$$S = \frac{dV_{gs}}{d(\log I_d)} = \ln 10 \frac{dV_{gs}}{d(\ln I_d)} = 2.3 \frac{kT}{q} \left[1 + C_D / C_{ox} \right] \quad \text{IV.5}$$

Les résultats de la simulation donnent :

✚ **Les caractéristiques sous seuil pour différentes valeurs de la tension de drain**

$V_{ds} = (0.2, 0.4, \text{ et } 0.6) \text{ V}$ pour $L=0.5 \mu\text{m}$, sont montrées sur la figure(IV.11):

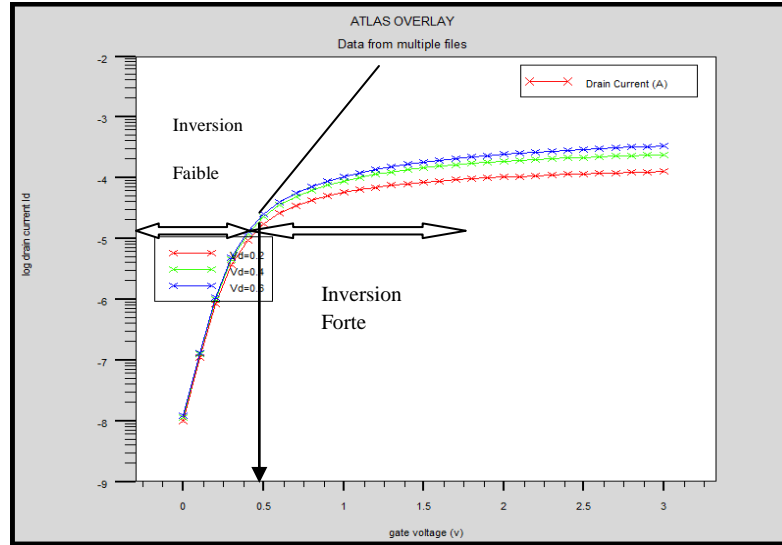


Figure IV.11: les caractéristiques sous le seuil pour différentes polarisations $V_{ds} = (0.2, 0.4, \text{et } 0.6) \text{ V}$.

La simulation de la Figure (IV.11) correspond à un transistor MOS de $0.5 \mu\text{m}$ de longueur de canal. Ce résultat montre quand V_{ds} augmente, La courbe est décalé vers la gauche ce qui implique que la valeur de la pente sous le seuil est réduite. Ceci indique que le NMOS a une meilleure exécution de transition dans l'application de commutation.

- ✚ Les caractéristiques sous seuil pour différentes longueurs de canal $L = (0.025, 0.15 \text{ et } 0.5) \mu\text{m}$ et de la tension de drain $V_{ds} = 0.1 \text{ V}$:

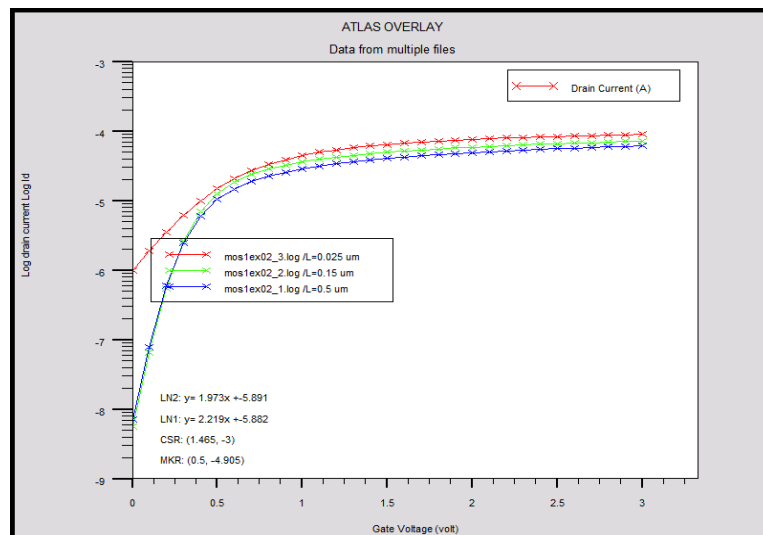


Figure IV.12: Les caractéristiques sous le seuil pour différentes longueurs de canal.

$L = (0.025, 0.15, 0.5) \mu\text{m}$.

Les résultats indiquent que la pente sous le seuil augmente lorsque la longueur de canal est augmentée (la courbe est décalée vers la droite) et reste admissible pour $L = 25\text{nm}$ ($S = 70\text{ mV/dec}$).

Généralement pour les longueurs de canal $L \gg 1\mu\text{m}$, la pente sous le seuil est diminuée et devient presque zéro pour les longueurs de canal $L \gg 2\mu\text{m}$.

Pour telles longueurs de canal, le dispositif se comporte comme dispositif de canal long et l'effet de la tension de drain sur la tension de seuil devient négligeable [40].

IV.11 L'effet de DIBL (L'abaissement de la barrière de potentiel):

L'abaissement de la barrière de potentiel (DIBL) est un autre paramètre à être considéré dans la conception de transistor MOSFET. Pour un dispositif de basse puissance et à grande vitesse, la réduction de DIBL (réduisant le changement de V_{th} provoqué par la variation de V_{ds}) est important pour obtenir un taux ON/OFF élevé, l'abaissement de la barrière de potentiel est également une des limitations fondamentales dans des transistors MOSFET de VLSI qui affecte sur le transistor MOSFET à canal court. Le changement de la tension de seuil due à la variation de la tension drain (ΔV_{th}) ce qui peut donner le calcul de DIBL.

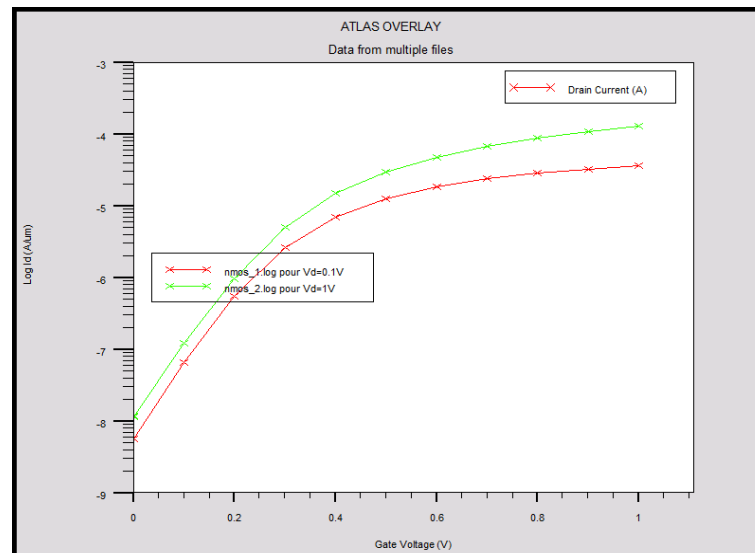


Figure IV.13: Caractéristique $\log I_d(V_{gs})$ pour $L=0.15\mu\text{m}$ d'un transistor NMOS montrant les composantes principales du courant I_{OFF} .

Nous remarquons que la tension de seuil a baissé ; ceci est dû à l'effet DIBL qui abaisse la tension de seuil du transistor mais ne modifie cependant pas la pente sous le seuil.

L'effet DIBL est donc habituellement mesuré par le décalage de la courbe de transfert en régime sous seuil ΔV_{th} divisé par le ΔV_{ds} , entre deux courbes résultant de deux tensions de drain différentes :

$$DIBL = \frac{\Delta V_{th}}{\Delta V_{ds}} \quad (mV/V) \quad IV.6$$

Le DIBL est donc considéré comme la variation du courant I_{ds} pour une variation de la tension V_{ds} , à tension V_{gs} constante [22].

L'effet DIBL est illustré sur Figure (IV.13) : il déplace la courbe vers le haut et à gauche lorsque la tension V_{ds} augmente de 0.1V à 1V.

De cette résultat de simulation, nous avons mis en évidence les composantes principales du courant I_{OFF} à savoir le courant sous le seuil, et le DIBL dans le dispositif de longueur de canal $L=0.15\mu m$.

Nous pouvons proposer d'examiner l'effet de la variation de la longueur de canal du dispositif sur le courant de drain, Les résultats de simulations obtenus pour les longueurs du canal $L=0.025\mu m$ et $L=0.5\mu m$ sont représentés sur la figure qui suit :

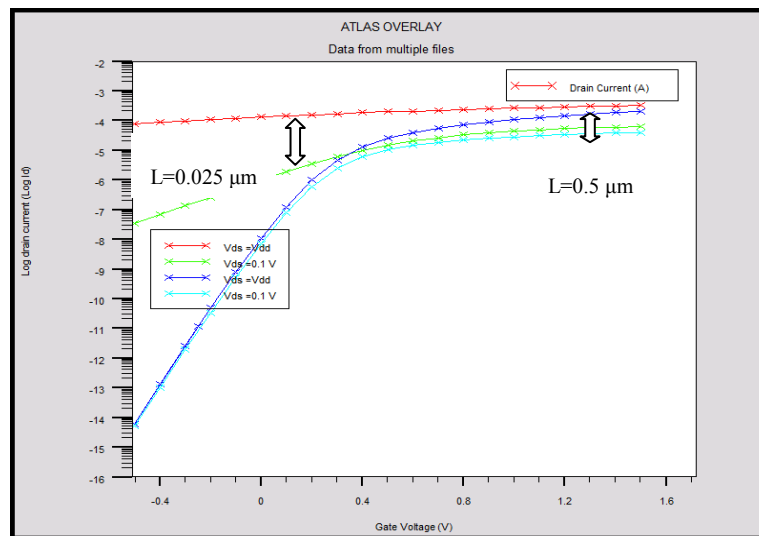


Figure IV.14: Le test de DIBL pour $L=0.025\mu m$ et $L=0.5\mu m$.

-Pour la longueur de canal $L=0.5\mu m$: $V_{ds} = V_{dd}$, $V_{th}=0.45V$.

$V_{ds} = 0.1V$, $V_{th}=0.5V$.

Nous pouvons remarquer que le courant DIBL n'est pas très important quand la longueur de canal est long ($L=0.5\mu m$), alors nous pouvons estimer le DIBL dans cette cas à 55.55 mV/V.

Au-dessous de cette longueur alors et pour un dispositif à canal court ($L=0.025\mu\text{m}$) le DIBL est plus significatif. Ces résultats montrent que notre solution du DIBL prend bien en compte la dépendance des paramètres technologiques.

IV.12 Simulation des courants de fuite d'une structure MOSFET :

Nous nous intéressons dans cette partie du travail à l'identification des courants de fuite du transistor I_{ON} et I_{OFF} . Les courants du drain et du substrat (bulk) sont présentés dans le circuit suivant :

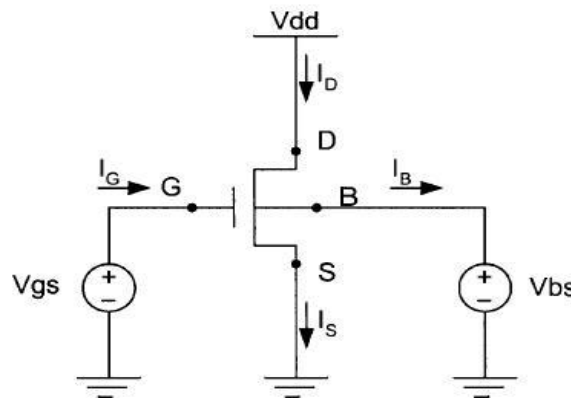


Figure IV.15 : Le circuit permettant la mise en évidence des courants de fuite du MOSFET.

Pour cela nous définirons alors les courants de fuite I_{on} et I_{off} essentiellement dus au courants sous seuil appelée subthreshold current par (comme nous avons vue dans le chapitre II):

$$I_{OFF} = I_d | V_{gs} = 0, V_{ds} = V_{dd}, V_{bs} = 0 \quad \text{IV.7}$$

$$I_{ON} = I_d | V_{gs} = V_{dd}, V_{ds} = V_{dd}, V_{bs} = 0 \quad \text{IV.8}$$

On se propose alors dans ce qui suit de mettre en évidence les courants I_{on} , I_{off} .

Cette simulation a été effectuée pour la longueur de canal $L=0.025 \mu\text{m}$.

Pour se faire nous polarisons le transistor à $V_{dd}=V_{ds}$, et nous faisons la variation de la tension de grille de 0 à V_{dd} , pour $V_{bs}=0\text{V}$. et nous examinons la courbe $\text{Log } I_d = f(V_{gs})$

Les résultats de simulation que nous avons obtenus sont ceux de la Figure IV.16 qui suit :

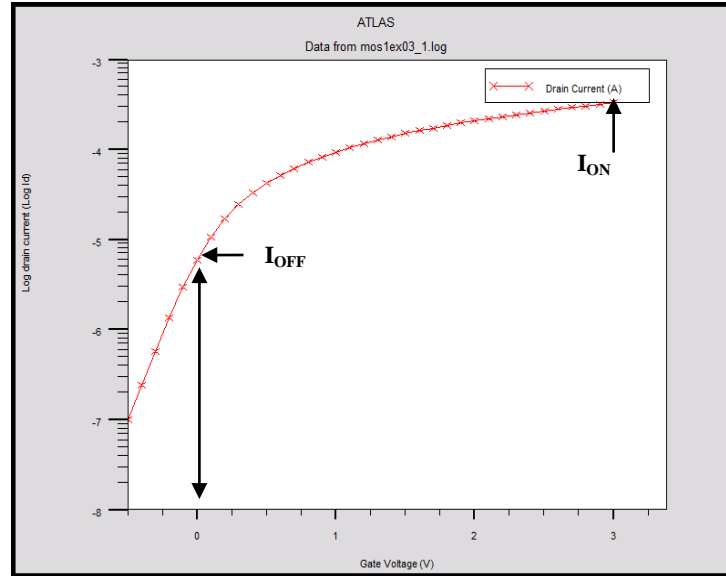


Figure IV.16: Les courants de fuite I_{ON} et I_{OFF}.

Nous pouvons remarquer de la caractéristiques $I_d=f(V_{gs})$ que les courants I_{ON} et I_{OFF} sont très faibles et pratiquement insignifiants. Soit à $V_{gs} = V_{dd}$, $\log(I_d)=-3.5$ ce qui donne un courant I_{ON}=0.03A.

De la même manière on peut déterminer le courant I_{OFF}, soit alors à $V_{gs}=0V$, $\log(I_d)= -5.3$ et I_{OFF}=0.005A.

IV.13L'effet de Body (polarisation du substrat):

Afin de mettre en évidence l'effet de la variation de la tension de polarisation sur le courant de grille du transistor, Le changement de tension de seuil due à polarisation de substrat est :

$$\Delta V_T = \frac{\sqrt{2\epsilon_{si}qN_a}}{C_i} \left[(2\phi_F - V_{bs})^{1/2} - 2\phi_F^{1/2} \right] \text{IV.9}$$

Nous varions alors la tension de polarisation V_{bs} et on trace la caractéristique I_d-V_{gs} pour différentes valeurs de V_{bs} variant de 0V a -1V. Les résultats de simulation obtenus sont données dans la Figure (IV.17).pour une tension de polarisation V_{gs} variant de 0V à 1V et La valeur de $\phi_F(PHI)= 0.6$ V est sélectionnée sur la base du calcul tel que :

$$PHI = 2v_T \left(\frac{NSUB}{n_i} \right) \text{IV.10}$$

$$= 2(0.0259) \ln \left(\frac{4 \times 10^{16}}{1.5 \times 10^{10}} \right) = 0.6V$$

$v_T = \frac{kT}{e}$: C'est la tension thermique.

k : constante de Boltzmann (J/K) = 1.38×10^{-23} J/K = 8.62×10^{-5} eV/k

T : Température = 300K (la température ambiante).

e : Charge d'électron = 1.6×10^{-19} C

$NSUB$: Dopage en surface

n_i : Concentration de porteurs intrinsèque = 1.5×10^{10} atomes/cm⁻³ (Silicon).

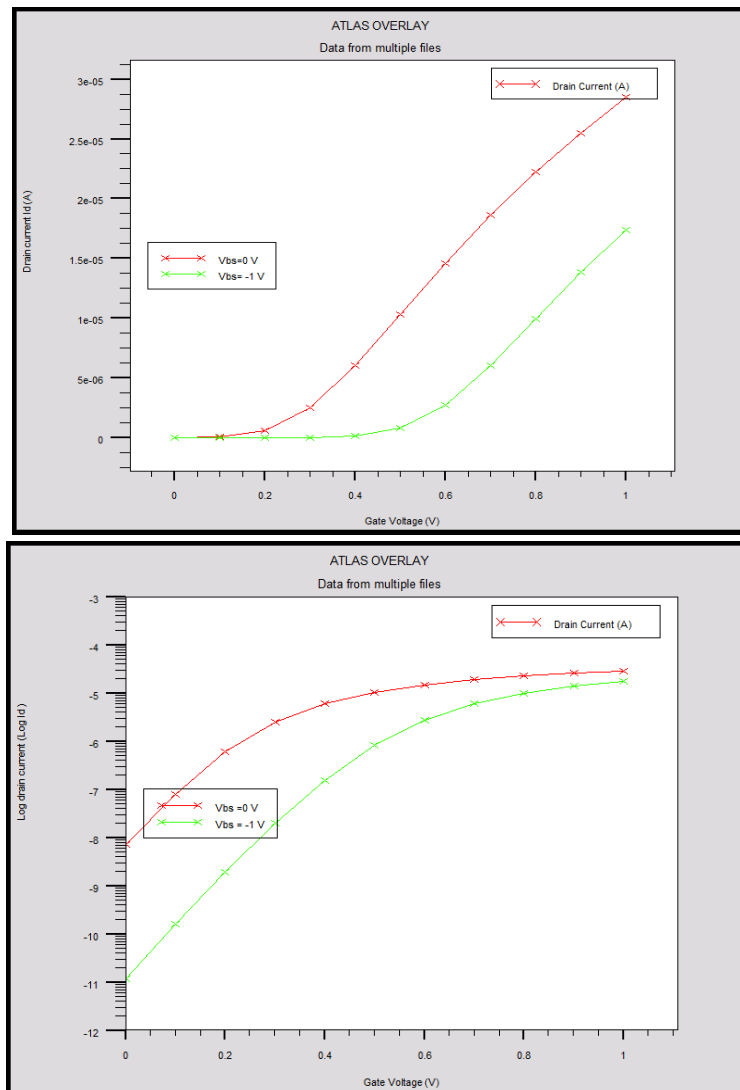


Figure IV.17 : Caractéristiques I_d - V_{gs} , $\text{Log}(I_d)$ - V_{gs} à différentes polarisation de substrat V_{bs} et pour la longueur $L=0.5 \mu\text{m}$ (body effect).

Les résultats de simulation que nous avons obtenus nous ont permis d'examiner l'effet de la variation de la tension de polarisation du substrat V_{bs} sur son courant de drain I_d .

Alors la tension de polarisation du substrat (bulk) V_{bs} a un impact direct sur le courant de sortie du transistor. En effet ce courant diminue quand V_{bs} diminue.

La tension de polarisation V_{gs} influence aussi sur ce courant qui diminue avec la diminution de cette dernière. Sur la courbe linéaire on remarque aussi que la tension de seuil dépend étroitement de la tension de polarisation du substrat. En effet V_{th} dépend non seulement de la tension V_{bs} mais aussi du coefficient de l'effet de substrat obtenue, avec le coefficient représente l'effet substrat γ est donné par:

$$\gamma = \frac{\sqrt{2\epsilon_{si}qN_A}}{c_i} \quad \text{IV.11}$$

IV.14 La variation d'épaisseur d'oxyde de la grille :

Nous nous intéressons dans cette partie du travail sur la variation de l'épaisseur de diélectrique de la grille t_{ox} , Ce qui doit être diminuée aussi comme la longueur de canal pour améliorer la grille de contrôle afin de surmonter les effets à court canal (drain-induced-barrière-abaissement ou DIBL).

La simulation suivante présente la caractéristique I-V pour plusieurs valeurs de t_{ox} et pour $L = 0.5 \mu\text{m}$. Alors nous faisons la variation du temps d'oxydation de la grille pour la température 725°C pendant (10, 25, 60) min pour obtenir des épaisseurs $t_{ox} = (1.8, 2.2 \text{ et } 2.9) \text{ nm}$ respectivement, comme montre la figure IV.18 [9].

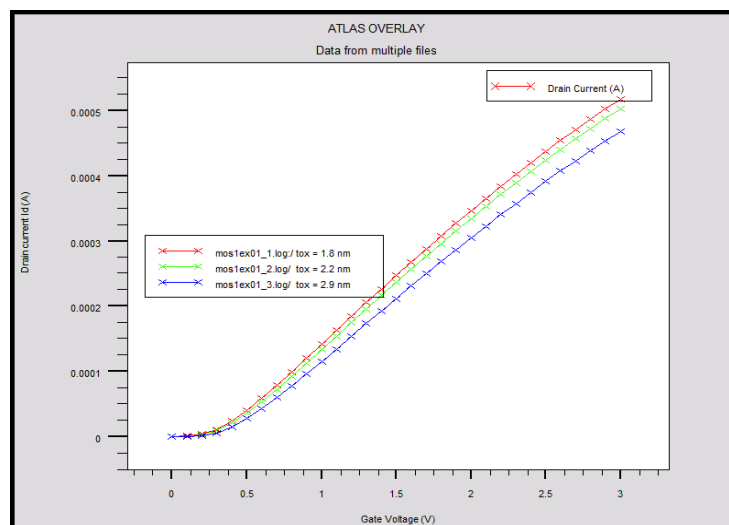


Figure IV.18 : caractéristique I_d - V_{gs} pour différentes valeurs d'épaisseur d'oxyde

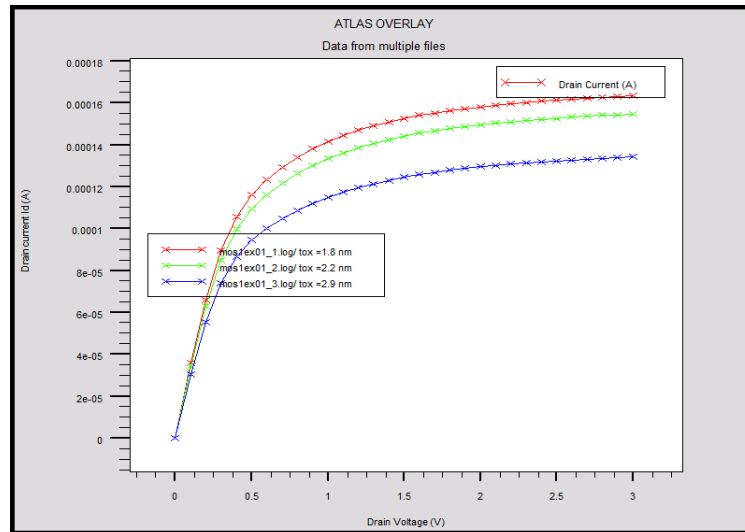


Figure IV.19: caractéristique I_d-V_{ds} pour différentes valeurs de l'épaisseur de l'oxyde.

Les résultats de simulation que nous avons obtenus, nous permettent de mettre en évidence l'effet de la variation de cette grandeur sur les caractéristiques électriques de notre structure. Tout d'abord du réseau de caractéristiques I_d-V_{gs} , nous pouvons observer de la figure (IV.19) que la tension de seuil V_{th} du transistor varie avec la variation de l'épaisseur de l'oxyde t_{ox} . En effet la tension de seuil augmente quand l'épaisseur de l'oxyde augmente.

En observant la caractéristique I_d-V_{ds} , Nous remarquons aisément que le courant I_d augmente lorsque t_{ox} diminue, et vice et versa. Ce qui revient à dire qu'une épaisseur de l'oxyde anormalement importante pour des structures à faibles géométries a pour conséquence l'isolation de la grille qui ne commande plus le canal. De ce fait l'épaisseur de l'oxyde doit être la plus mince possible mais tout en étant comprise dans des normes admissibles et non inférieure à une certaine valeur qui changerait la nature de la structure et ceci afin d'avoir un meilleur courant. Notons qu'une épaisseur de grille importante risquerait d'isoler la grille.

IV.15 Conclusion :

La miniaturisation des transistors MOS et plus particulièrement la diminution de la longueur de canal a permis d'augmenter la densité d'intégration et la vitesse de fonctionnement des circuits. Cette réduction des dimensions a engendré des phénomènes parasites (DIBL, punch-through, modification de la tension de seuil...), qui détériorent les caractéristiques courant-tension.

Alors l'étude effectuée confirme les caractéristiques électriques de transistor n MOSFET par une bonne concordance avec les résultats de simulation numérique. Les valeurs obtenues de l'analyse des effets du canal court restent admissibles. Pour le transistor n MOSFET, la longueur de canal minimale autorisée se situe autour de 25nm, avec un DIBL élevé, et une pente sous le seuil $S = 70\text{mV/decade}$. Cette longueur peut représenter une valeur acceptable de la variation de la tension de seuil pour un transistor n MOSFET, alors et le courant sous le seuil augmente considérablement avec le rétrécissement du canal jusqu'à 25 nm.

Conclusion générale

Notre travail de magister consiste à étudier et de modéliser un transistor à effet de champ N-MOSFET à canal long. Puis à mettre en évidence certains effets parasites des transistors à canaux courts et d'examiner l'effet de la variation des paramètres du transistor sur son comportement électrique afin de voir comment varie ces effets canaux courts avec ces variations. Ces effets qui se manifestent dans les transistors à petites géométries altèrent le fonctionnement de ces transistors conçus pour leurs performances et pour des soucis de miniaturisation. Ces transistors de petites dimensions, polarisés avec de très faibles tensions de polarisation, permettent un fonctionnement à grande vitesse tout en offrant une autonomie non négligeable, et c'est bien le cas des équipements portables conçus actuellement. L'effet non négligeable de ces structures submicronique est l'apparition de courants de fuite qui se manifestent généralement sous le seuil de fonctionnement du transistor.

Dans ce travail ; On à présenter le transistor n MOSFET visé par notre étude ainsi que :

- Leur technologie de fabrication
- Leurs caractéristiques électriques I-V
- L'effet de la Variation de concentration N_A sur leur courant I_d
- L'effet de la Variation de concentration N_D sur leur courant I_d

Nous nous, sommes intéressés sur certains effets parasites inhérents aux transistors de faible géométrie, on citera entre autres :

- Effet de la variation des dimensions du transistor.
- Effet de la variation de la longueur de canal sur la tension de seuil V_{th} .
- Effet de la variation de la longueur du canal sur le courant de drain.
- Effet de la variation de la longueur de canal sur la caractéristique sous le seuil.
- L'effet de DIBL (L'abaissement de la barrière de potentiel).
- Mise en évidence de certains des courants de fuite d'une structure MOSFET.
- L'effet de Body (polarisation du substrat).
- La variation d'épaisseur d'oxyde de la grille.

Pour conclure nous pouvons affirmer que ce travail nous a été très bénéfique, car il nous a permis d'utiliser le logiciel TCAD-SILVACO. Les résultats de simulation que nous avons obtenus permettent de mettre en évidence les effets parasites des transistors MOSFET à canaux courts.

Comme perspectives de ce travail : il serait judicieux de continuer ce travail en étudiant la variation de la largeur de canal de transistor N- MOSFET sur les caractéristiques électriques par des simulations numériques à 3D, et d'étudier les nouvelles architectures qui permettent de minimiser voire carrément éliminer les effets canaux court tel que les SOI MOSFET, ou les dispositifs à grilles multiples qui permettent non seulement un meilleur contrôle du canal mais aussi une diminution considérable de ces effets parasites.

Annexe

Les modèles physiques utilisés:

Pour l'ensemble des simulations TCAD effectués dans cette étude, le logiciel fait appel à différents modèles physiques (cité sous-dessous), qui sont être utilisés à chaque étape technologique considérée :

1. Le modèle de Pearson (pour la simulation technologique):

La méthode utilisée dans ce travail pour la simulation de **l'implantation ionique** par le logiciel ATHENA de TCAD-SILVACO est une méthode analytique. Les modèles analytiques sont : le modèle Gaussien, le modèle de Pearson, et le modèle de Dual Pearson.

D'une façon générale, la distribution gaussienne est inadéquate parce que dans la plupart des cas, les profils réels sont asymétriques, pour cette raison la méthode la plus simple et la plus approuvée pour le calcul des profils asymétriques d'implantation ionique est la distribution de Pearson.

2. Le modèle de Fermi (pour la simulation technologique):

Ce modèle est utilisé par TCAD lors de **l'étape de la diffusion** des dopants (redistribution) durant le recuit thermique. L'avantage principal de ce modèle est sa vitesse de simulation

3. Le modèle de Lombardi (pour la simulation électrique):

La mobilité des porteurs (électrons et trous) dépend du champ électrique qui accélère les électrons et les trous, la température du réseau et la concentration des dopants.

La dégradation de la mobilité se produit à l'intérieur des couches d'inversion. Cet effet est simulé dans ATLAS à l'aide de trois méthodes distinctes :

- Modèle de dégradation surfacique SURFMOB
- Modèle de champ électrique transverse SHIRAHATA
- Modèle spécifique de la mobilité de la couche d'inversion CVT, YAMAGHCHI, TASCH.

Les modèle CVT, YAMAGHCHI, et TASCH sont conçus en tant que modèles autonomes qui incorporent tous les effets requis pour simuler la mobilité des porteurs.

La modélisation de la mobilité la plus complète est basée sur le modèle de Lombardi. C'est un modèle de mobilité qui prend en compte la variation de la mobilité avec le champ électrique, la concentration de dopants et la température. Ce phénomène est introduit par le simulateur en ajoutant CVT dans la commande MODELS.

4. Le modèle Shockley-Read-Hall (recombinaison-génération):

Lorsque le semi-conducteur subit une perturbation par exemple l'impact d'un ion, cette excitation introduit une génération de paires électrons/trous. Ensuite, le système revient à l'état d'équilibre par le processus de recombinaison. La simulation par ATLAS prend en compte les recombinaisons SRH sur des niveaux profonds. Le taux de recombinaison est donné par l'expression suivante :

$$U_{SRH} = \frac{n.p - n_i^2}{\tau_p \left(n + n_i \exp\left[\frac{E_{trap}}{KT_L}\right] \right) + \tau_n \left(p + n_i \exp\left[-\frac{E_{trap}}{KT_L}\right] \right)} \quad *$$

Où E_{trap} : est la différence entre le niveau d'énergie du piège et le niveau de Fermi intrinsèque, T_L est la température du réseau en degrés Kelvin, et τ_n , τ_p les durées de vie respectives des trous et des électrons. Le modèle de résolution numérique de ce phénomène est activé dans le programme de simulation en ajoutant le mot clé SRH à la commande MODELS [34].

Paramètres	Valeur par défaut
E_{trap}	0 eV
τ_n	10^{-7} S
τ_p	10^{-7} S

Tableau A.1: Valeurs des paramètres utilisés dans l'équation *

Bibliographie

- [1]: J-P, Colinge, “Silicon-On-Insulator Technology: Materials to VLSI”, 3 rd edition, (Springer, 2004).
- [2]: Mathieu Moreau “Modélisation et Simulation Numérique des Nano-Transistors Multi-grilles à matériaux Innovants“ Thèse de doctorat en Micro.
- [3]: Toufik Bendib “Modélisation et simulation du transistor DG-MOSFET en utilisant les Algorithmes Génétiques / Thèse de Magister en Microélectronique / Université de Batna 2010.
- [4]: Kahng, Dawon, " Electric field controlled Semiconductor Device U.S.Patent. 3,102,230 (Filed 31 May 31, 1960, issued August 27, 1963).
- [5]: Rachida Talmat: ”Etude des phénomènes de transport de porteurs et du bruit basse fréquence en fonction de la température dans les transistors MOSFETs nanométriques (FinFETs)” Thèse de Doctorat en Microélectronique et Nanoélectronique / Université de CAEN/BASSE-NORMANDIE / 2006.
- [6]: Guedda Hayat : Etude des Effets Indésirables dans les Transistors MOSFETS à Canaux Courts thèse de Magister / Université Abou Bekr Belkaid- Tlemcen -2012.
- [7]: Sheng S. Li, “Semiconductor Physical electronics second edition“, Springer, pp.582- 583, 2006.
- [8]: C.T. Sah, “Mosfet modeling for Vlsi simulation theory and practice“, World Scientific, pp.69-287, 2006.

[9]: Guilhem LARRIEU: Elaboration et Caractérisation de transistors Shottky en régime nanométrique / Thèse de doctorat/ Université des Sciences et Technologies de Lille /2004.

[10]: H. Mathhieu, "Physique des semiconducteurs et des composants électroniques", Masson, pp.363, 1998. Kag 5647

[11]:Yohan JOLY: Étude des fluctuations locales des transistors MOS destinés aux applications analogiques/ Thèse de doctorat/ Université de Provence Aix-Marseille I /2011.

[12] : KAGHOUCHE Bessel : " Etude par TCAD-SILVACO d'une structure MOS pour la réalisation de capteurs ISFET / Mémoire de Magister en microélectronique/ Université Mentouri – Constantine Faculté des Sciences de l'Ingénieur/ 2010.

[13]: T.Skotnicki, "*Transistor MOS et sa technologie de fabrication*". Techniques de l'ingénieur. Article E 2430, p. 37,2000.

[14]: Anouar Essadate AOUF : "Modélisation et simulation du Nano-transistor de puissance" /Magister en microélectronique, Option : Technologie des composants semiconducteurs et dispositifs photovoltaïques/ Université de Batna 2009.

[15]: M. Dorothee " Optimisation de potentialités d'un transistor LDMOS pour l'intégration d'amplificateur de puissance RF sur silicium ". Thèse de Doctorat de l'Université de Limoges 2006.

[16]: B. Razavi, "*Fundamentals of Microelectronics*", Wiley, 2006.

[17]: BELLA Mourad : Influence des effets quantiques sur les caractéristiques de transistors DGMOS nanométrique/ Mémoire de Magister en Microélectronique, Université Mentouri – Constantine / 2009.

[18]: Mingchun Tang : Etude et modélisation compacte du transistor Fin FET/ Thèse de doctorat en Microélectronique, Université de Strasbourg -2009.

[19]: G.Baccarani, M.R. Wordeman, and R. H, Dennard, “Generalized scaling theory and its application to a $\frac{1}{4}$ micrometer MOSFET design”, IEEE Trans. Electron Devices, vol. 31, no. 4, pp. 452-462, 1984.

[20]: R.H. Dennard, F.H. Gaensslen, H-N. Yu et al., “Design of Ion- Implanted MOSFET’s with very small physical Dimensions”, IEEE of solid state Circuits, 9 (5), p 256, 1974.

[21]: A. Asenov, A. R. Brown, J. H. Davies, S. Kaya, and G. Slavcheva :“Simulation of intrinsic parameter fluctuation in decananometer and nanometer-scale MOSFETs”, IEEE Trans. Electron Devices, vol. 50, no. 9, pp. 1837- 1852, 2003

[22]: BENHAMIDA Yahia : “Etude des caractéristiques physiques et électriques d'un MOSFET nanométrique “, Mémoire de Magister en microélectronique /Université de Tlemcen, 2012.

[23]: L. D. Yau, “a simple theory to predict the threshold voltage of short-channel IGFET’s “, Solid State Electronic, vol, 9, no, 3, pp. 256-263, 1974.

[24]: Guo, W., et al., “Impact of strain and source/drain engineering on the low frequency noise behaviour in n-channel tri-gate FinFETs“. Solid-State Electronics, 2008. **52**(12): p.1889-1894.

[25]: Jae Woo LEE “Caractérisation électrique et modélisation des transistors à effet de champ de faible dimensionnalité“ / Thèse de Doctorat, Université de GRENOBLE, Korea /2012.

[26]: Nidhal ABDELMALEK, “Etude et modélisation du transistor VSG MOSFET nanométrique“ /Thèse de Magister en Micro-électronique IC-Design, Université de Batna ,2010.

[27] : J.Saint-Martin. “ Etude par simulation MONTE CARLO d’architectures de MOSFET ultracourts a grille multiple sur SOI “/ thèse de doctorat, université Paris XI Orsay, décembre, 2005.

- [28] : Nathalie CAGNAT “Implantation ionique et jonctions ultrafines : Caractérisation, ingénierie des défauts et application aux technologies 65 et 45 nm“/ Thèse de doctorat de l’Université Louis Pasteur – Strasbourg I, 2008.
- [29]: <http://www.ei.org/CMC>.
- [30]: Y.P.Tsividis”Operating and Modeling of the MOS transistor “,MCGRAWHILL, 1987, ISBN 0-07-065381 X.
- [31]: Birahim Diagne, “Etude et modélisation compacte d'un transistor MOS SOI double-grille dédié à la conception“, Thèse de doctorat, Institut Louis Pasteur Strasbourg, France, 2007.
- [32]: Ferre and J, Figueras . “Leakage in CMOS nanometric technologies in LOW POWER“ electronics design ;C Piguet ;Ed CRC Press 2004;Ch,3,2004.
- [33]: www.silvaco.com.
- [34] : D. Truyen, “Etude par simulation composant 3D des effets singuliers SEU et SET induits par ions lourds sur le noeud technologique CMOS bulk 180 nm“, thèse de doctorat, Université de Montpellier II, 2007.
- [35]: ATHENA user’s manual, SILVACO international, 2007.
- [36]: M. Kotha, “Optically triggered thyristor for capacitor discharge applications“, Mémoire de Master, University of Missouri-Columbia, 2007.
- [37]: V. Barzdėnas, R. Navickas. Microtechnologies: A Laboratory Manual. Vilnius Gediminas Technical University, 2012. 147 p. [6,80 author’s sheets, 2012 06 04].
- [38]: Silvaco International, *TCAD Workshop Using Silvaco TCAD Tools*. Manual.
- [39]: LAUNGEI ONG, “Design and caractérisation of biaxiale strained silicon N-channel MOSFET” University technology Malaysia / 2010.
- [40]: Matthew Hazel : “Semiconductor TCAD Fabrication Development for BCD Technology ” Faculty of the Worcester Polytechnic Institute, in partial fulfillment of the requirements for the Degree of Bachelor of Science, Date March 13, 2006.

[41]: S. S. Mahato¹, P. Chakraborty *et al.* “*DIBL in Short-Channel Strained-Si n MOSFET*“. Physical and Failure Analysis of Integrated Circuits. IEEE: IPFA 2008,1-4.

[42]: Yusnira Husaini, Mohd Hisyamismail, Ahmad Sabirin Zoolfakar, Norhazlin Khairudin “Electrical Characteristics Comparison between Partially-Depleted SOI and n-MOS Devices Investigation using Silvaco” IEEE Symposium on Industrial Electronics and Applications (ISIEA 2010), October 3-5, 2010, penang, Malaysia.

Résumé

Le transistor à effet de champ MOSFET (Métal Oxyde Semiconducteur Field Effect Transistor), en tant que brique de base des circuits intégrés, est le moteur principal de l'industrie du semiconducteur. La réduction de la taille des composants ne suffit plus à garantir de meilleures performances tout en réduisant le coût de fabrication. Afin de poursuivre l'augmentation des performances des dispositifs tout en maintenant l'architecture classique des MOSFETs, plusieurs solutions ont été envisagées au cours de cette évolution.

Nous présenterons les rappels théorique de la structure MIS et des dispositifs MOSFETs et leur technologie de fabrication.

L'objectif de cette étude est de mettre en évidence par simulation les effets des canaux courts dans les transistors MOSFET dus à la réduction de la taille des dispositifs, et d'étudier les paramètres pouvant influencer la variation de ces effets. Pour conclure nous pouvons affirmer que ce travail nous a été très bénéfique, car il nous a permis d'utiliser un des logiciels les plus puissants et les plus utilisés dans la simulation à travers le monde TCAD- SILVACO.

Mots clés : MOSFET, Modélisation, Canal court, TCAD-SILVACO.

Abstract

The field-effect transistor MOSFET (Metal oxide Semiconductor Field Effect Transistor), as a building block of the integrated circuits, is the principal engine of the industry of the semiconductor. The reduction of the size of the components is not enough anymore to guarantee better performances while reducing the manufacturing cost. In order to continue the increase in the performances of the devices all while maintaining the classical architecture of MOSFETs, several solutions were planned during this evolution.

We will present the recalls theoretical of the MIS structure and the MOSFETs devices and their technology of manufacture.

The objective of this study is to highlight by simulation the effects of the short channels in transistors MOSFET due to the reduction of the size of the devices, and to study the parameters being able to influence the variation of these effects. To conclude we can affirm that this work was very beneficial to us, because it enabled us to use one of the most powerful software and most used simulation throughout the world TCAD-SILVACO.

Keys words: MOSFET, Modeling, Short Channel, TCAD-SILVACO.

ملخص

الترانزستور تأثير الحقل MOSFET (تأثير الترانزستور معدن. أكسيد. أشباه الموصلات الميدانية) باعتبارها القاعدة الأساسية للدوائر المتكاملة هي المحرك الرئيسي لصناعة أشباه الموصلات. تقليل حجم المكونات لم يعد كافيا لضمان أداء أفضل مع تخفيض تكلفة التصنيع. لزيادة أداء الأجهزة مع الحفاظ على العمارة الكلاسيكية من الدارات المتكاملة منخفضة المقاومة، واعتبرت العديد من البدائل أثناء هذه العملية.

قدمنا التذكير النظري للبنية MIS نظم المعلومات والأجهزة MOSFET وتكنولوجيا التصنيع. الهدف من هذه الدراسة هو الإثبات عن طريق المحاكاة الآثار الناتجة عن تقصير قناة الترانزستور MOSFET بسبب خفض حجم الأجهزة، ودراسة المعايير التي يمكن أن تؤثر في اختلاف هذه الآثار. و في الأخير يمكننا أن نقول أن هذا العمل كان مفيدا للغاية لأنه يسمح لنا لاستخدام واحد من البرامج الأكثر قوة وأكثر استخداما في جميع أنحاء العالم محاكاة .TCAD – SILVACO

كلمات البحث: MOSFET ، النمذجة، قناة قصير، TCAD-SILVACO