



REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET
POPULAIRE
MINISTRE DE L'ENSEIGNEMENT SUPERIEUR ET DE
LA RECHERCHE SCIENTIFIQUE
UNIVERSITÉ ABD ELHAMID IBN BADIS DE
MOSTAGANEM
FACULTÉ DES SCIENCES EXACTES ET DE
L'INFORMATIQUE
DÉPARTEMENT DE PHYSIQUE



Thèse présentée par:

BOURAHLA Nassima

Pour l'obtention du diplôme de:

DOCTORAT EN SCIENCES

Spécialité : Physique

Intitulée:

**Etude et modélisation de l'effet de canal court
dans le transistor soi-mosfet**

Soutenue le: 04 / 07/ 2021

Devant le jury composé de:

M. Senouci Khaled	Président	Professeur, Université de Mostaganem.
Mme. Hocine Rachida	Examinatrice	Professeur, USTO , Oran.
M. Aibout Abdellah	Examineur	Professeur, Ecole Normale supérieure de Mostaganem.
M. Boudjemai Abdelmadjid	Examineur	Maitre de Recherches. A, CNTS, Oran.
M. Bourahla Ahmed	Directeur de thèse	MCA, Université de Mostaganem.
M. Hadri Baghdad	Co-Directeur de thèse	Professeur, Université de Mostaganem.

Année Universitaire 2020-2021

Résumé :

L'effet de canal court (SCE) est l'un des effets néfastes qui apparaissent en raison de la réduction de la taille des dispositifs SOI-MOSFETs ce qui ouvre la voie aux technologies alternatives, deux types des transistors DG-FinFET et FD-SOI-MOSFET sont en compétition pour la fabrication des technologies CMOS, le DG-FinFET avec le diélectrique (TiO_2) de permittivité élevée ($k = 85$) dans la grille pour la technologie à $L_g=5$ nm c'est le modèle proposé dans le but de supprimer ou de réduire ces effets, des meilleures caractéristiques de dispositif DG-FinFET sont obtenues lors de la comparaison des caractéristiques électriques de celles de SG-FD-SOI-MOSFET, ce qui prouve que ce dispositif est le plus compatible pour réduire les effets de canal court SCE, la variation des paramètres géométriques (L_g , H_{fin} , W_{fin} , T_{ox}) et physiques (N_a , N_d , ϕ_{ms} , T) de dispositif DG-FinFET sur les différentes caractéristiques électriques permet d'améliorer les performances de ce dispositif tel que la puissance plus faible, l'augmentation de la vitesse et la fiabilité, alors ce dispositif est considéré comme un candidat principal pour le futur des circuits CMOS, il fournit également une meilleure compréhension du comportement de contrôle électrique et des dispositifs physiques qui peuvent améliorer l'efficacité et les processus technologiques de fabrication, de plus, les capacités parasites sont considérablement réduites par rapport au SG-FD-SOI-MOSFET. En outre, la fréquence de coupure (f_t) et la fréquence maximale (f_{max}) sont considérablement améliorées, ce qui montre également que le DG-FinFET est un candidat approprié pour les applications RF, et pour l'innovation et l'amélioration du processus de fabrication des dispositifs à l'avenir.

Mots-clés:

Mise à l'échelle, Nano-échelle, SOI-MOSFET, DG-FinFET, TCAD-SILVACO, Ultra-courtes longueur de canal (SCE), Épaisseur d'oxyde, Haute-k, Hauteur des ailettes (H_{fin}), Largeur des ailettes (W_{fin}), Concentration de dopage, Température, Travail de sortie (ϕ_{ms}), RF performance.

Abstract :

The short channel effect (SCE) is one of the adverse effects that appear due to the reduction in the size of SOI-MOSFETs devices which paves the way for alternative technologies, two types of transistors DG -FinFET and FD-SOI-MOSFET are in competition for the manufacturing of the CMOS technologies, the proposed model DG-FinFET with the high permittivity dielectric (TiO_2) ($k = 85$) in the gate at $L_g = 5$ nm technology is investigated in order to eliminate or minimize these effects, best characteristics of DG- FinFET device is obtained when comparing the electrical characteristics of this device with the SG-FD-SOI-MOSFET, which proves that this device is the most compatible to reduce the effects of short channel SCE, the variation of the geometrical parameters (L_g , H_{fin} , W_{fin} , T_{ox}) and the physical parameters (N_a , N_d , ϕ_{ms} , T) of DG-FinFET device on the different electrical characteristics allow to improve the performance of this device such as lower power, higher speed and reliability, so this device is considered as the main candidate for the future of CMOS circuits, also it is provided a better understanding of the behavior of the electric

control and the physical devices which can improve the efficiency and the technological processes of manufacturing in the future. Besides, the parasitic capacitances are significantly reduced compared to the SG-FD-SOI-MOSFET, the cut-off frequency (f_t) and the maximum frequency (f_{max}) are significantly enhanced, which making the proposed structure of DG-FinFET a suitable candidate for the RF applications, for the innovation, and the enhancement of device manufacturing process in the future.

Keywords:

Downscaling, Nanoscale, SOI-MOSFET, DG-FinFET, TCAD-SILVACO, Ultra-short channel length (SCE), Oxide Thickness, High-k, Fin Height (H_{fin}), Fin width (W_{fin}), doping concentration, Temperature, Workfunction (ϕ_{ms}), RF performance.

ملخص :

تأثير القناة القصيرة (SCE) هو أحد الآثار السلبية التي تظهر بسبب تقليل حجم أجهزة SOI-MOSFETs التي تمهد الطريق لتقنيات بديلة ، يتنافس نوعين من الترانزستورات DG-FinFET و FD-SOI-MOSFET على تصنيع تقنيات CMOS ، الترانزستورات DG-FinFET مع عازل عالي السماحية ($k = 85$) (TiO_2) في الشبكة للتكنولوجيا عند $L_g = 5$ نانومتر هو نموذج مقترح لإزالة أو تقليل هذه التأثيرات ، يتم الحصول على خصائص كهربائية أفضل للجهاز DG-FinFET عند مقارنته مع الجهاز SG-FD-SOI-MOSFET ، مما يثبت أن هذا الجهاز هو الأكثر توافقًا لتقليل تأثيرات القناة القصيرة SCE ، وتباين الخصائص الهندسية ($L_g, H_{fin}, W_{fin}, T_{ox}$) والفيزيائية (ϕ_{ms}, T, Na, Nd) لجهاز DG-FinFET على الخصائص الكهربائية المختلفة يسمح بتحسين أداء هذا الجهاز مثل انخفاض الطاقة وزيادة السرعة والموثوقية ، لذلك يعتبر هذا الجهاز مرشحًا رئيسيًا لمستقبل دوائر CMOS ، كما يتم توفير فهم أفضل لسلوك التحكم الكهربائي والأجهزة المادية التي يمكن أن تحسن الكفاءة والعمليات التكنولوجية للتصنيع في المستقبل ، ويتم تقليل السعات الغير مرغوب فيها بشكل كبير مقارنة بـ SG-FD-SOI-MOSFET. بالإضافة إلى ذلك ، تم تحسين تواتر القطع (f_c) والحد الأقصى للتردد (f_{max}) بشكل كبير ، مما يجعل النموذج المقترح DG-FinFET مرشحًا مناسبًا لتطبيقات الترددات الذكية وايضا لابتكار وتحسين عملية تصنيع الجهاز في المستقبل.

الكلمات المفتاحية:

خفض الحجم ، نانو- قياس ، SOI-MOSFET ، DG-FinFET ، TCAD-SILVACO ، طول قصيرة للغاية للقناة ، سمك الأكسيد ، K المرتفع ، ارتفاع الزعانف (H_{fin}) ، عرض الزعانف (W_{fin}) ، تعديل التركيز ، درجة الحرارة ، العمل ، الخصائص RF.

Sommaire

Introduction générale	1
Chapitre I: L'évolution des transistors SOI-MOSFETs, problématique, Scaling, Limitation	
I.1 Introduction	5
I.2 L'architecture du dispositif SOI-MOSFET	6
I.3 Fabrications des plaquettes SOI	7
I.4 Les différents types de transistors SOI-MOSFET	8
▪ Le transistor SOI partiellement déplété (Partially-Depleted SOI ou PD-SOI).....	8
▪ Le transistor SOI complètement déplété (Fully-Depleted SOI ou FD-SOI).....	8
I.4.1 Comparaison de la technologie FD-SOI-MOSFET par rapport à la technologie PD-SOI-MOSFET	8
I.4.2 La technologie UTBB-FDSOI	10
I.5 Différents régimes de structure MOS	11
I.5.1 Régime d'accumulation	12
I.5.2 Régime de déplétion	12
I.5.3 Régime d'inversion	12
I.6 Etude des caractéristiques du transistor SOI-MOSFET	13
I.6.1 Le courant du drain	13
▪ La mobilité μ	14
▪ Le régime linéaire et le régime de saturation.....	14
I.6.2 La tension de seuil (V_{TH})	16
I.6.3 La pente sous seuil (SS)	17
I.6.4 Les courants I_{on} et I_{off}	18
I.6.5 La transconductance (gm)	19
I.6.6 Les résistances séries	19
I.6.7 Capacités parasites du transistor MOS	20
I.6.7.1 Capacité des jonctions source/substrat C_{SB} et drain/substrat C_{DB}	20
I.6.7.2 Les capacités de la grille	21
• La capacité totale de la grille.....	21
• La capacité intrinsèque grille/canal.....	21
• La capacité grille/substrat.....	21

I.7	Les performances principales de transistor SOI-MOSFET.....	22
I.7.1	La densité d'intégration.....	22
I.7.2	Le compromis de l'énergie dissipé.....	22
I.7.3	Le temps de commutation (τ).....	23
I.8	Perte du contrôle électrostatique du canal et réduction des performances: les effets de canal courts.....	24
I.8.1	Les effets liés à la séparation physique ultra-courte entre la source et le drain.....	24
➤	Effets de la modulation de la longueur du canal (effet Early).....	24
➤	Le perçage.....	25
➤	Effet de l'abaissement de la barrière de potentiel induite par drain DIBL	25
➤	Effet de partage de charge.	26
➤	La réduction de la tension de seuil V_{th}	27
➤	Augmentation de la pente sous seuil (SS).	28
I.8.2	Les effets liés du champ électrique longitudinal.....	29
❖	Effet des porteurs chauds.....	29
❖	La saturation de la vitesse des porteurs (Phénomène de survitesse).....	29
❖	L'effet thermique.	29
I.8.3	Les effets liés à la grille	30
❖	La déplétion de grille	30
I.8.4	les effets liés au faible d'épaisseur d'oxyde.....	30
I.9	L'amélioration des performances de SOI-MOSFETs: les nouvelles architectures SOI-MOSFETs.....	31
♣	L'insertion des nouveaux matériaux.....	32
a)	Réduire l'épaisseur d'oxyde par l'utilisation des oxydes de grille à forte permittivité (matériaux à high-k).	32
b)	Empilement de diélectrique haute permittivité-grille métallique	33
c)	Matériaux pour les régions de source et de drain (Siliciurisation).....	34
d)	Introduction de matériau de canal.....	34
I.10	Conclusion.....	36

Chapitre II : États d'art, Objectifs, développement vers les dispositifs ultraminces DG-FinFETs

II.1	Introduction.....	38
-------------	-------------------	----

II.2 Nouvelles architectures SOI-MOSFET: Tendances vers les transistors à grilles multiples.....	38
II.3 États d'art de la comparaison entre les caractéristiques des transistors SOI-MOSFET et les MOSFETs à doubles grilles: développement vers les nanodispositifs DG-FETs.	40
II.4 L'état d'art de la modélisation des transistors nanométriques.....	42
II.5 L'état d'art de la variation de quelques paramètres géométriques sur les différentes caractéristiques des FETs nanométrique.....	45
a) L'état d'art de l'impact de la longueur de la grille (L_g) sur quelques caractéristiques électriques de FETs.....	45
▪ la tension de seuil (V_{th}).....	45
▪ La pente sous seuil (SS).....	46
▪ Le courant de fuite (I_{off}), l'abaissement de barrière de potentiel (DIBL).....	46
▪ Le courant Ion.....	47
b) L'état d'art de l'impact de la variation de la hauteur et de la largeur des ailettes (H_{fin}) et (W_{fin}) sur les caractéristiques électriques des FETs.	48
c) L'état d'art de la variation de l'épaisseur d'oxyde lors de l'impact d'utilisation des matériaux high-k dans la grille dans les transistors FETs nanométriques.....	50
II.3.4 L'état d'art de la variation de quelques paramètres physiques sur différentes caractéristiques des FETs nanométriques.....	51
❖ L'état d'art de l'impact de la variation de travail de sortie de la grille (ϕ_{ms}).....	51
❖ L'état d'art de l'impact de la variation de dopage.....	53
❖ L'état d'art de l'impact de la variation de la température.	54
II.4 Les lacunes de la littérature.....	55
II.5 L'objectif de cette thèse de recherche.....	58
II.6 Aperçus technologiques des transistors à double grilles (Dual-Gate MOSFET) (DG-MOSFET).....	59
II.6.1 Présentation de transistor double grille (DG)-MOSFET.....	59
II.6.2 Les différents types des transistors DG-MOSFET.	61
II.6.2.1 Les transistors MOSFET double grille planaires	62
a) Procédé de fabrication de transistor DG-MOSFET planaires.....	62
b) Les modes de fonctionnement de transistor DG-MOSFET planaires.	63
❖ Le MOSFET double grille en mode de fonctionnement symétrique	64
❖ le MOSFET double grille en mode de fonctionnement asymétrique.....	64
II.6.2.2 Les transistors MOSFET à double grilles verticales.	65
▪ Procédé de fabrication des transistors MOSFET à double grilles verticales.	65

II.6.2.3 Les transistors MOSFET double grille quasi-planaires du type FinFET.	66
a) Les types des transistors quasi-planaires sur DG-SOI FinFET.	67
b) Procédés de fabrication des transistors FinFETs.	68
c) Les avantages des transistors DG-FinFETs.	69
II.7 Conclusion.	70

Chapitre III: Résultats et discussion de la caractérisation géométrique des performances de DG-FinFET par l'utilisation de l'outil TCAD-SILVACO.

III.1 Introduction.....	72
III.2 Le rôle d'utilisation de la simulation.....	72
III.3 présentation de logiciel de simulation	73
III.4 Les équations principales utilisés dans la physique des semi-conducteurs.....	73
III.4.1 L'équation de Poisson... ..	73
III.4.2 Les équations de continuité des porteurs (électrons et trous)... ..	74
III.4.3 Les équations de transport... ..	75
III.5 L'organigramme de simulation.....	76
III.6 programmations dans le module Atlas	77
III.7 Présentation des structures nanométriques SG-FD-SOI-MOSFET et DG-FinFET	78
III.7.1 Les paramètres géométriques des structures SG-FD-SOI-MOSFET et DG-FinFET... ..	78
III.7.2 La comparaison des caractéristiques électriques des transistors DG-FinFET et le SG-FD-SOI-MOSFET	80
III.7.2.1 La tension de seuil (V_{th}).....	80
III.7.2.2 La pente sous le seuil (SS) (mV/dec)	81
III.7.2.3 Les courants de fuite (I_{on} , I_{off})	82
III.7.2.4 Le rapport I_{on}/I_{off}	83
III.7.2.5 Le DIBL (Drain Induced Barrier Lowring)	84
III.7.2.6 La transconductance (gm)	85
III.7.2.7 Le GIDL (Gate-induced drain leakage).....	86
III.7.2.8 La caractéristique I_d-V_d	86
III.7.2.9 Le champ électrique (E)	87
III.8 Impact de la variation de la géométrie de dispositif DG-FinFET.....	88
III.8.1 Impact de la variation de la longueur de grille.....	88
III.8.2 Impact de la variation de la hauteur et la largeur des ailettes (H_{fin}) (W_{fin}).	94
♣ Impact de la variation des hauteurs d'ailettes (H_{fin}).....	94

♣ Impact de variation de largeur de fin (W_{fin})	95
III.8.3 L'impact d'utilisation des matériaux à haute permittivité (High-k).....	98
III.8.3.1 L'impact d'intégration des matériaux à high-k dans la grille sur la tension de seuil	100
III.8.3.2 L'impact d'intégration des matériaux à high-k dans la grille sur la pente sous seuil (SS).	100
III.8.3.3 L'impact d'intégration des matériaux à high-k dans la grille sur le courant Ion, Ioff.....	101
III.8.3.4 L'impact d'intégration des matériaux à high-k de la grille sur le DIBL.	102
III.8.3.5 L'impact d'intégration des matériaux à high-k dans la grille sur la transconductance (g_m).....	103
III.8.3.6 L'impact d'intégration des matériaux high-k dans la grille sur le champ électrique (E).....	103
III.9 Conclusion.....	105

Chapitre IV: Résultats et simulations de la caractérisation physique et de l'analyse des performances RF des transistors nanométriques DG-FinFETs

IV.1 Introduction.....	108
IV.2 Influence de la variation des paramètres physiques de la structure DG-FinFET.....	108
IV.2.1 Impact de la variation du dopage sur les caractéristiques électriques.....	108
♣ Impact de la variation du dopage de canal (N_a).....	108
♣ Impact de la variation du dopage de source/drain (N_d)	111
IV.2.2 Impact de la variation de travail de sortie du métal de la grille (Φ_{ms}).....	112
▪ Le choix de la valeur appropriée du travail de sortie de la grille (Φ_{ms}) pour le DG-FinFET..	115
IV.2.3 Impact de la variation de la température sur les caractéristiques électriques	116
IV.2.3.1 L'influence de la température sur la tension de seuil (V_{th}) et sur la pente sous seuil (SS)	117
IV.2.3.2 L'effet de la température sur la transconductance (g_m).....	120
IV.2.3.3 L'effet de la température sur la saturation du courant de drain (I_d), Ioff, et sur le rapport Ion / Ioff.....	121
IV.2.3.4 L'impact de la température sur l'abaissement de la barrière de potentiel (DIBL)	123
IV.2.3.5 Impact de la température sur la mobilité électronique	124
IV.2.4 Le confinement quantique	125
Le modèle ‘‘Bohm Quantum Potential’’ (BQP).....	125
IV.3 Les performances à haute fréquence RF.....	130

-Les capacités parasites (capacité grille/source et capacité grille/ drain) (Cgs) et (Cgd).....	130
-La fréquence de coupure f_t	131
-La fréquence maximale (f_{max}).....	132
-Le gain de puissance maximale disponible (G_{ma}) et le gain de puissance maximale stable.....	133
IV.4 Conclusion	135
Conclusion générale	137
Perspectives	141
Annexe A	
I. Présentation des modules de TCAD-SILVACO	142
1. Virtual Wafer Fab (VWF) de Silvaco	142
2. Les outils interactifs (VWF interactive tools)	142
a) DevEdit	142
b) MaskViews	143
c) Manager	143
d) Optimiseur	143
e) SPDB	143
f) DeckBuild	143
g) TonyPlot	143
3. Les modules de simulation (VWF core tools)	144
a) SSuprem3	144
b) Athena	144
c) Atlas	145
II. Description technologique de la structure DG-FinFET simulée	145
II.1 Spécification de la structure	145
II.1.1 Le maillage (mesh)	145
II.1.2 Les régions	148
II.1.3 Les électrodes	148
II.1.4 Le Dopage	150
II.2 Spécification des matériaux et des modèles	151
II.2.1 Spécification des matériaux utilisés	151
II.2.2 Spécification des modèles physiques	152
II.2.3 Explication de ces modèles	153
➤ Les modèles de la mobilité utilisés dans ce travail.....	153

a) Le modèle de la mobilité à faible champ en fonction de la température.....	154
b) Le modèle de la mobilité en fonction du champ électrique parallèle.....	154
c) Le modèle de la a mobilité a faible champ électrique en fonction de la concentration.....	155
d) Les modèles de recombinaison-génération utilisés dans ce travail.....	156
o Le modèle Shockley-Read-Hall.....	157
o Recombinaisons Auger.....	157
e) les modèles de statistique des porteurs utilisés dans ce travail.....	158
✓ Le modèle de la densité effective (Bandgap Narrowing).....	158
✓ Les modèles d'ionisation par impact utilisé dans ce travail.....	159
II.3 Les contacts.....	159
II.4 Les interfaces.....	160
II.5 Le choix de la méthode numérique.....	160
♣ Les différentes méthodes utilisées dans Atlas.....	161
II.5.1 La méthode de Gummel.....	161
II.5.2 La méthode de Newton	161
II.5.3 La méthode Block.....	161
II.5.4 La méthode Bicgst (biconjugate gradient squared stabilised), et GMRES: (generalized minimum residual).....	162
II.6 Extraction et visualisation des résultats.....	162
II.6.1 Extract.....	163
II.6.2 Tonyplot.....	163

Références

بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ



Dédicaces

Je dédie ce modeste travail à:

- ♣ Mes très chers parents qui n'ont jamais cessé de m'encourager pour poursuivre mes études, leurs sacrifices dans toute la durée de la thèse.
- ♣ Mon frère Abderrazak et toutes mes sœurs : Nawel, Nabiha, Faiza, et Hakima.
- ♣ Mes beaux frères Rabah et Mohamed.
- ♣ Mon neveu Abdelhadi et ma nièce Safa Nesrine.
- ♣ Tous les membres de la famille « **Bourahla** » et « **Haddad** ».
- ♣ Tous mes amis.



À vous tous, merci.



Remerciement

Avant tout propos, Je remercie **ALLAH** le tout-puissant de m'avoir donné le courage, la volonté et la patience de mener à terme ce présent travail.

Je ne saurais, réellement, trouver les expressions éloquentes que mérite, et J'exprime ma profonde gratitude et remerciement au Directeur de cette thèse M. **Bourahla Ahmed**, ainsi que le Co-Directeur M. **Hadri Baghdad** qui ont veillaient à la continuité de cette recherche, leur disponibilité, leur patience, les qualités scientifiques de leurs conseils, leur aide tout au long de la préparation de ce travail.

Je tiens ensuite à remercier tous les membres du jury d'avoir accepté d'évaluer cette thèse, en particulier le président de jury de ce travail le professeur **Senouci Khaled** pour m'avoir offert l'opportunité de présider ce jury, accepter monsieur mon profond respect.

Je tiens à remercier Mme **Hocine Rachida** d'avoir accepté d'évaluer cette thèse. J'exprime également toute ma reconnaissance aux Mrs **Aibout Abdellah** et **Boudjmai Abdelmadjid** pour l'intérêt qu'ils ont accordé à ce travail, et d'avoir accepté d'être de faire partie des membres du jury.

Enfin mes remerciements s'adressent à tous ceux qui ont participé de près ou de loin à la réalisation de ce travail.



Liste des figures

Chapitre I:

- Figure I.1:** à gauche : Image de l'architecture d'un processeur Intel Core I7, au milieu: Nokia 3310, 2000 avec un demi-million de transistors, et L'iPhone X, 2017, avec plus de 4,3 milliards de transistors, à droite: la miniaturisation des transistors de 45 nm à 7 nm
- Figure I.2:** a). Évolution de la longueur de grille des transistors MOS en termes des performances : prévisions ITRS 2011 b). les applications technologiques: HP (High Performance), LP (Low Power).
- Figure I.3:** a) présentation de la structure d'un transistor SOI-MOSFET a) à trois dimension, b) à deux dimension.
- Figure I.4:** Principales étapes de fabrication d'une plaque SOI Smart-cut.
- Figure I.5:** Illustration schématique d'un transistor SOI: (a) « complètement déplété » FDSOI, (b) « partiellement déplété » PDSOI.
- Figure I.6:** a) Coupe transversale de la structure Ultra Thin Body Buried-oxide Fully Depleted Silicon on Insulator (UTBB-FDSOI).
- Figure I.7:** Vue en coupe d'un (a) transistor sur silicium massif, (b) transistor partiellement déserté, (d) avec une mince BOX.
- Figure I.8:** a). Définition du travail de sortie d'un métal, b) définition de l'affinité électronique d'un semi-conducteur.
- Figure I.9:** Structure de bandes pour la capacité a) NMOS et b) PMOS à l'équilibre.
- Figure I.10:** Diagramme schématique des différents états de fonctionnement des transistors nMOS. La première ligne est représentée schématiquement la structure MOS. La seconde représente une coupe longitudinale de l'énergie le long du canal, et la dernière représente une coupe transversale de l'énergie du canal le long des régions Métal/Oxyde/Semi-conducteur.
- Figure I.11:** a) Description schématique de la capacité par unité de longueur, b). le calcul du courant de drain dans un transistor MOS.
- Figure I.12:** a) Caractéristique parabolique $I_{ds}-V_{ds}$, b) caractéristiques typiques $I_{ds}-V_{ds}$ pour différents V_{GS} d'un MOSFET.
- Figure I.13:** Illustration des trois régimes de conduction en fonction de la polarisation de drain a) régime linéaire b) régime de pincement c) régime de saturation.
- Figure I.14:** la tension de seuil V_{th} pour un transistor n-MOSFET.
- Figure I.15:** la relation entre la caractéristique typique du courant de drain en fonction de la tension de grille (I_D-V_G) dans le transistor MOS.
- Figure I.16:** La caractéristique de sortie $I_D(V_G)$ en échelle logarithmique d'un transistor MOSFET: idéale (en gris), réelle (en rouge).
- Figure I.17:** présentation graphique de la méthode d'extraction de la tension de seuil et de la transconductance (g_m).
- Figure I.18:** a) Illustration des résistances participant à la résistance d'accès du MOSFET, b) l'évolution de la résistance en fonction de la longueur de la grille.

Figure I.19 : capacités intrinsèques du transistor MOS : **a)** capacités de jonctions du transistor MOS (résistive), **b)** en régime linéaire (ohmique), **c)** en régime saturé, **d)** capacité grille/substrat d'un dispositif MOS bloqué.

Figure I.20 : Le nombre des transistors dans les puces de microprocesseur d'Intel.

Figure I.21 : Les courants de fuite augmentent avec la réduction des longueurs de grille (données de l'ITRS).

Figure I.22 : Déplacement du point de pincement du canal.

Figure I.23: Effet du perçage volumique.

Figure I.24: a) Abaissement de la barrière induite par le drain dans un dispositif à canal court. **b)** Courbes de transfert pour des tensions de drain de 0.1V (régime linéaire) et 1.5V (régime de saturation).

Figure I.25: a) illustration de l'effet de partage de charge (CSE), **b)** les caractéristiques courant-tension (I_{ds} - V_{gs}) indiquent l'impact de l'effet du partage de charge dans le transistor MOS pour $V_{DS} = 1$ V.

Figure I.26: L'impact de la variation de la longueur de canal sur la tension de seuil pour $V_{DS} = 1$ V [(Résultats obtenus par le simulateur ISE-TCAD-Sentaurus)].

Figure I.27: (a) illustration de DIBL et SCE pour deux transistors l'un à canal long et l'autre à canal court.

Figure I.28: a) Influence des effets canaux courts SCE et DIBL sur les caractéristiques V_{th} -L, **b)** caractéristique (I_D - V_G).

Figure I.29: le courant Ion en fonction de la longueur de grille pour un transistor bulk.

Figure I.30 : **a)** les principales solutions technologiques: diélectriques de grille "High K", **b)** matériaux innovants de silicium contraint et de forte mobilité, **c)** les architectures multigrilles.

Figure I.31: a) les matériaux high-k et le métal de la grille remplacent SiO₂ et le polysilicium de la grille respectivement **b)** des images microscopie à transmission électronique (TEM) illustrant la permittivité diélectrique high-k et la constante diélectrique du métal de la grille, **c)** Travaux de sortie ϕ_{ms} sur silicium de différents métaux et alliages.

Figure I.32: a) image TEM (microscope électronique en transmission) pour un transistor n-MOS Si: C ultracourt, **b)** zoom en haute résolution sur le canal du transistor.

Chapitre II:

Figure II.1: Évolution des technologies SOI (Silicon On Insulator) d'un point de vue du contrôle électrostatique.

Figure II.2: a) l'évolution de la technologie FET d'une structure à une seule grille à multigrilles (double grille, triple grille (Fin-FET, triple grille, π -grille, Ω -grille), quadruple grille ou grille enrobée (GAA) **b)** Feuille de route ITRS pour les moins de 22 m.

Figure II.3: a) les valeurs de DIBL obtenue par MASTAR pour les transistors bulk, FDSOI et DG-MOSFET, **b)** le DIBL et la pente sous seuil (SS) en fonction de la longueur de canal effectif des transistors à double grille DG-FET et à une seule grille SG-MOSFET à silicium massif (bulk).

Figure II.4: Schéma d'une DG-MOSFET.

Figure II.5: Représentation 3D de Finfet.

Figure II. 6: Illustration de la structure 3D-DG-FinFET.

Figure II.7 : L'état d'art de la tension de seuil (V_{th}) en fonction de la longueur de grille (L_g).

Figure II.8 : L'état d'art de la pente sous seuil (SS) en fonction de la longueur de grille (L_g).

Figure II.9 : L'état d'art de la variation de DIBL pour différentes longueurs (L_g).

Figure II.10: L'état d'art de courant de fuite (I_{off}) en fonction de la longueur de grille (L_g).

Figure II.11: L'état d'art du courant Ion en fonction de la longueur de grille (L_g).

Figure II.12: Illustration des lignes de champ électrique pour différentes structures MOSFETs (bulk, SOI, et DG-FET) (V_g a moins de contrôle sur le canal que V_d).

Figure II.13: a) La structure générale du transistor MOSFET à double grille **b)** Symbole du transistor MOSFET double grille.

Figure II.14 : Épaisseur de Si et largeur de dispositif maximal autorisé en fonction de la longueur de grille pour éviter les effets de canal court dans les transistors SOI-MOSFET à simple et à double grille.

Figure II.15 : a) La structure à trois dimensions d'un transistor DG-MOSFET Planaire (Le flèche jaune indique l'orientation du transport), b) un transistor à double grille planaire sur SOI.

Figure II.16: Procédés de fabrication d'un transistor double grille planaire.

Figure II.17: structures du DG MOSFET : **a)** symétrique, **b)** Image au MEB (microscope électronique à balayage) d'un transistor auto alignée de $L_g=50$ nm avec un film d'épaisseur de 10 nm et d'un empilement de grille TiN/PolySi.

Figure II.18: structures du DG MOSFET: a) asymétrique, **b)** Image au MEB (microscope électronique à balayage) d'un transistor non auto-alignée.

Figure II.19: La structure à trois dimensions d'un transistor DG-MOSFET vertical (Le flèche indique l'orientation du transport).

Figure II.20: procédés de fabrication utilisée par Schulz et al. des transistors double grille verticale.

Figure II.21: a) La structure à trois dimensions de transistor double grille (DG-MOSFET) quasi-planaires (latérale) (la flèche indique l'orientation du transport), **b)** La structure de FinFET quasi-planaire.

Figure II.22 : Le processeur (10-nm) et le circuit de conception (7-nm) de la société IBM.

Figure II.23: a) Image TEM d'un transistor à double grille SOI-DG-FinFET à trois dimensions, **b)** La structure à deux dimensions de transistor symétrique à double grille DG-FinFET.

Figure II.24: La structure à trois dimensions de transistor à double grille indépendant FinFET sur SOI (ID-DG-FinFET on SOI).

Figure II.25: Les procédés de fabrication pour la réalisation d'un transistor FinFET.

Chapitre III:

Figure III.1 : Le rôle de la simulation.

Figure III.2: Organigramme de la simulation technologique et numérique utilisé par Atlas-Silvaco.

Figure III.3 : la structure de transistor à simple grille (SG-FD-SOI-MOSFET).

Figure III.4 : La structure du transistor à double grille DG-FinFET en utilisant le diélectrique de grille TiO₂, **a)** la structure à trois dimensions (3D), **b)** vue en coupe de la structure à deux dimensions.

Figure III.5 : **a)** La caractéristique courant- tension (I_d - V_g) dans l'échelle linéaire (linear scale) pour le DG-FinFET pour une tension de polarisation ($V_d = 0,1$ V), **b)** la comparaison des caractéristiques (I_d - V_g) dans l'échelle linéaire des dispositifs SG-FD-SOI-MOSFET et DG-FinFET.

Figure III.6: **a)** les caractéristiques I_d - V_g en échelle logarithmique (Log scale) de dispositif (DG-FinFET) pour une polarisation de drain $V_d=0,1$ V. **b)** Les caractéristiques (I_d - V_g) en échelle logarithmique (log-scale) des dispositifs SG-FD-SOI-MOSFET et DG-FinFET.

Figure III.7: **a)** La caractéristique de transfert I_d - V_g dans l'échelle logarithmique pour $V_d = 0,05$ V et $V_d = 0,1$ V, **b)** la comparaison du DIBL entre les structures SG-FD-SOI-MOSFET et DG-FinFET pour différentes polarisations de drain $V_d = 0,05$ et $V_d=0,1$ V.

Figure III.8: **a)** la variation de la transconductance en fonction de la tension de grille (g_m - V_g) pour $V_d=0,1$ V, **b)** La comparaison de la transconductance (g_m) entre les structures SG-FD-SOI-MOSFET et DG-FinFET.

Figure III.9: la comparaison de GIDL entre le SG-FD-SOI-MOSFET et le DG-FinFET.

Figure III.10 : les caractéristiques I_d - V_d pour différentes tensions de grille V_g .

Figure III.11 : Le champ électrique (E) en fonction de la position le long du canal (nm) pour $V_d = 0,1$ V et pour une coupe de plan de dispositif DG-FinFET à $x = 0,027$ μ m.

Figure III.12: **a)** la caractéristique I_d - V_g en échelle linéaire pour différentes longueurs de grille $L_g = (5, 6, 8, 10, 12)$ nm avec $V_g = 0-0,8$ V, $v_{step} = 0,025$ V et $V_d = 0,1$ V, **b)** la variation de la tension de seuil (V_{th}) pour différentes longueurs de grille $L_g = (5, 6, 8, 10, 12)$ nm et pour une polarisation de drain $V_d=0,1$ V.

Figure III.13: La variation de la pente sous seuil à l'échelle logarithmique dans la caractéristique (I_d - V_g) pour différentes longueurs de grille $L_g = (5, 6, 8, 10, 12)$ nm et pour des polarisations $V_g = 0$ à $0,8$ V, $V_{step} = 0,025$ V et $V_d = 0,1$ V.

Figure III.14: la variation du courant I_{off} pour différentes longueurs de grille $L_g = (5, 6, 8, 10, 12)$ nm pour $V_d = 0,1$ V.

Figure III.15: l'impact de la variation du DIBL sur différentes longueurs de grilles $L_g = (5, 6, 8, 10, 12)$ nm.

Figure III.16: la transconductance g_m en fonction de la tension V_g pour différentes longueurs de grilles $L_g = (5, 6, 8, 10, 12)$ nm et pour $V_d = 0,1$ V.

Figure III.17: Le champ électrique en fonction de la position le long du canal (nm) pour différentes longueurs de grille $L_g = (5, 6, 8, 10, 12)$ nm et pour $V_d = 0,1$ V.

Figure III.18 : la caractéristique courant-tension en échelle linéaire (I_d - V_g) et la variation de la transconductance (g_m) pour différentes valeurs de la hauteur des ailettes (H_{fin}) du dispositif DG-FinFET.

Figure III.19 : l'effet de la variation de la hauteur des ailettes (H_{fin}) sur la pente du sous seuil (SS) dans le dispositif DG-FinFET.

Figure III.20: l'effet de la variation de la hauteur des ailettes (H_{fin}) sur le DIBL.

Figure III.21 : l'effet de la variation de la hauteur des ailettes (H_{fin}) sur le courant (I_{on}) le courant de fuite (I_{off}), et sur le rapport I_{on}/I_{off} pour le dispositif DG-FinFET.

Figure III.22: a) l'effet de la variation de la largeur des ailettes (W_{fin}) sur les caractéristiques linéaires (I_d - V_g) du dispositif DG-FinFET, b) La variation de la tension de seuil en fonction de la largeur des ailettes (W_{fin}).

Figure III.23: la variation du rapport (g_m/I_{ds}) sur différentes largeurs des ailettes (W_{fin}) pour le dispositif DG-FinFET.

Figure III.24: Impact de la largeur des ailettes (W_{fin}) sur la variation du DIBL et de la pente sous seuil (SS) pour le dispositif DG-FinFET.

Figure III. 25 : Impact de la largeur des ailettes (W_{fin}) sur le courant de fuite (I_{off}) du dispositif DG-FinFET.

Figure III.26 : La variation du rapport I_{on}/I_{off} sur différentes largeurs d'ailettes (W_{fin}) pour le dispositif DG-FinFET.

Figure III.27: Les structures à 3D de dispositif DG-FinFET à différents matériaux diélectriques de grille (SiO_2 , SnO_2 , ZrO_2 , Ta_2O_5 et TiO_2).

Figure III.28: L'impact de la variation des matériaux à permittivité élevée sur la tension de seuil (V_{th}).

Figure III.29 : La variation de la pente sous seuil (SS) pour différents matériaux de grille (SiO_2 , SnO_2 , ZrO_2 et Ta_2O_5 et TiO_2).

Figure III.30 : L'impact d'utilisation des différents diélectriques à high-k dans la grille sur les courants I_{on} et I_{off} pour $V_d = 0.1$ V.

Figure III.31: Le rapport I_{on}/I_{off} pour différents matériaux high-k de la grille.

Figure III.32: Le DIBL en fonction de différents matériaux diélectriques de grille (SiO_2 , SnO_2 , ZrO_2 , Ta_2O_5 et TiO_2) utilisé dans le dispositif DG-FinFET pour les différentes tensions de drain $V_d=0,05$ V et $V_d= 0,1$ V.

Figure III.33: La variation de la transconductance (g_m) en fonction de la tension de grille (V_g) pour plusieurs matériaux (High-k) de la grille.

Figure III.34 : Le champ électrique (E) en fonction de la position dans le canal (nm) pour $V_d = 0.1$ V et $x = 0.027$ μm dans le coupe de plan de dispositif à 2D et pour différents matériaux de grille.

Chapitre IV:

Figure IV.1: les caractéristiques linéaires courant- tension (I_d - V_g) et la transconductance pour plusieurs concentrations de dopage du canal (N_a) dans le dispositif DG-FinFET.

Figure IV.2 : Impact de la concentration de dopage de canal (N_a) sur la caractéristique sous-seuil (SS) du dispositif DG-FinFET.

Figure IV.3 : L'impact de la concentration de dopage du canal sur le courant de fuite (I_{off}) pour le dispositif DG-FinFET.

Figure IV.4 : l'impact de la concentration de dopage du canal sur le rapport I_{on}/I_{off} du dispositif DG-FinFET.

Figure IV.5 : Impact de la variation de la concentration de dopage source/drain (concentration des donneurs (N_d)) sur les caractéristiques courant-tension (I_d-V_g).

Figure IV.6: la caractéristique de transfert (I_d-V_g) pour différentes valeurs de travail de sortie (ϕ_{ms}) pour $V_d=0.1$ V.

Figure IV.7: L'effet de la variation de travail de sortie de la grille (ϕ_{ms}) sur la transconductance (g_m) de dispositif DG-FinFET.

Figure IV.8: l'effet de la variation de travail de sortie de la grille (ϕ_{ms}) sur la pente sous seuil (SS).

Figure IV.9: l'influence de la variation de travail de sortie (ϕ_{ms}) sur les courants I_{on} , I_{off} , et sur le rapport I_{on}/I_{off} .

Figure IV.10: l'effet de la variation de travail de sortie de la grille (ϕ_{ms}) sur le DIBL de dispositif DG-FinFET.

Figure IV.11: la valeur appropriée du travail de sortie (ϕ_{ms}) (l'intersection des courbes de la tension de seuil (V_{th}) et de courant de fuite (I_{off})) de DG-FinFET.

Figure IV. 12: la valeur appropriée du travail de sortie de la grille (ϕ_{ms}) (les courbes d'intersection entre la pente sous seuil (SS) et le DIBL) de DG-FinFET.

Figure IV.13: L'impact de la variation de la température T (K) sur la tension de seuil V_{th} .

Figure IV.14: La caractéristique (I_d-V_g) à l'échelle logarithmique pour différentes valeurs de la température T (K).

Figure IV.15: Impact de la variation de la température T (K) sur la pente sous seuil (SS).

Figure IV.16: La transconductance (g_m) en fonction du voltage de la grille (V_g) pour différentes valeurs de la température T (K).

Figure IV.17: Impact de la variation de la température T (K) sur la saturation du courant de drain.

Figure IV. 18 : Impact de la variation de la température T (K) sur le courant I_{off} .

Figure IV. 19 : Impact de la variation de la température T (K) sur le rapport I_{on}/I_{off} .

Figure IV. 20: La variation de courant de drain en fonction du voltage de drain pour différentes valeurs de la température (K).

Figure IV. 21: L'impact de la variation de la température (T) sur le DIBL.

Figure IV.22 : La dépendance entre la température et la mobilité électronique.

Figure IV. 23: La caractéristique linéaire (I_d-V_g) pour différentes longueurs de grilles $L_g=5$ nm et $L_g=8$ nm et $V_d=0.1$ V par l'utilisation de modèle BQP.

Figure IV.24 : La caractéristique logarithmique (I_d-V_g) pour différentes longueurs de grilles $L_g=5$ nm et $L_g=8$ nm et $V_d=0.1$ V par l'utilisation de modèle BQP.

Figure IV. 25 : La comparaison de DIBL pour le modèle classique et le modèle quantique de transistor DG-FinFET de différentes longueurs de grille et pour $V_d=0.05$ V et 0.1 V.

Figure IV.26 : La comparaison de la transconductance de modèle classique et de modèle quantique de transistor DG-FinFET pour différentes longueurs de grille $L_g=5\text{nm}$ et $L_g=8\text{nm}$ et $V_d=0.1\text{ V}$.

Figure IV.27: La variation de la capacité grille/source (C_{gs}) pour les transistors DG-FinFET et SG-FD-SOI-MOSFET.

Figure IV.28: La variation de la capacité grille/drain (C_{gd}) pour les transistors DG-FinFET et SG-FD-SOI-MOSFET.

Figure IV.29 : Le gain en courant pour les transistors DG-FinFET et SG-FD-SOI-MOSFET.

Figure IV.30 : Le gain de puissance maximale de la transconductance pour les transistors DG-FinFET et SG-FD-SOI-MOSFET.

Figure IV.31 : Le gain de puissance unilatéral en fonction de la fréquence pour les transistors DG-FinFET et SG-FD-SOI-MOSFET.

Figure IV.32 : Le gain en puissance maximale disponible (G_{ma}) en fonction de la fréquence pour les transistors DG-FinFET et SG-FD-SOI-MOSFET.

Figure IV.33 : Le gain de puissance maximale stable (G_{ms}) en fonction de la fréquence pour les transistors DG-FinFET et SG-FD-SOI-MOSFET.

Annexe A:

Figure 1 : L'environnement Virtual Wafer Fabrication (VWF) de Silvaco.

Figure 2 : Outil interactif DeckBuild.

Figure 3: Environnement Tonyplot (2D).

Figure 4 : Fenêtre de TonyPlot 3D.

Figure 5 : Les modules utilisés par le simulateur TCAD-SILVACO.

Figure 6 : Présentation de maillage de la structure SG-FD-SOI-MOSFET.

Figure 7 : Présentation de maillage de la structure DG-FinFET simulée dans ce travail.

Figure 8 : Présentation des régions et des électrodes de la structure SG-FD-SOI-FinFET simulée dans ce travail.

Figure 9: Présentation des régions et des électrodes de la structure simulée dans ce travail.

Figure 10 : Présentation des dopages de la structure SG-FD-SOI-FinFET simulée dans ce travail.

Figure 11: Présentation des dopages de la structure 3D-DG-FinFET simulée dans ce travail.

Figure 12 : Présentation des matériaux de la structure 2D-SG-FD-SOI-FinFET simulée dans ce travail.

Figure 13: Présentation des dopages de la structure 3D-DG-FinFET simulée dans ce travail.

Figure 14: Le processus de recombinaison.

Figure 15: La recombinaison Auger.

Liste des Tableaux

Introduction générale:

Tableau 1: principaux nœuds technologiques au cours des 15 dernières années.

Chapitre I:

Tableau I.1: l'avantage des transistors FD-SOI grâce à la comparaison de ses caractéristiques avec celles des transistors PD-SOI et MOSFET bulk.

Tableau I.2 : Les avantages et les inconvénients de la technologie FD-SOI-MOSFET et PD-SOI-MOSFET par rapport au MOSFET bulk.

Tableau I.3: mise en échelle de transistor UTBB-FDSOI à un nœud de 10 nm.

Tableau I.4: Les expressions de différentes capacités de la grille ainsi que sa capacité totale pour les différentes zones de fonctionnement.

Tableau I.5 : l'intégrité électrostatique pour les technologies BULK et FD-SOI.

Tableau I.6: Classification des matériaux à high-k (les caractères gras indiquent les matériaux à étudier dans ce travail).

Tableau I.7: Propriétés des matériaux high- κ .

Tableau I.8: Propriétés physiques des principaux matériaux semiconducteurs grands gaps comparés aux semiconducteurs classiques Si et GaAs.

Chapitre II:

Tableau II.1: Comparaison entre les technologies SOI-MOSFET et DG-MOSFET.

Tableau II.2: résumé des caractéristiques des différents modèles proposés des transistors FinFETs.

Tableau II.3: Bilan de l'état d'art de la variation de la hauteur et de la largeur des ailettes (H_{fin}) et (W_{fin}) sur les caractéristiques électriques de différentes structures des transistors FETs.

Tableau II.4 : Un bilan de l'état d'art de quelques travaux lors de l'utilisation des différents matériaux à haute permittivité (High-K).

Tableau II.5 : Bilan de l'état d'art de la variation de travail de sortie de la grille (ϕ_{ms}) sur les caractéristiques électriques de différentes structures de transistor MOSFET.

Tableau II.6 : Bilan de l'état d'art l'impact de la variation de dopage sur les caractéristiques des différentes structures proposées dans la littérature.

Tableau II.7 : Bilan de l'état d'art de l'effet de la variation de la température sur les caractéristiques électriques pour différentes structures de transistors MOSFETs.

Tableau II.8 : Les lacunes de la recherche des transistors FETS.

Tableau II.9 : La longueur naturelle (λ) dans les transistors FET à simple grille et à double grille).

Tableau II.10 : Représentation schématique d'un transistor à double grille (DG-FET).

Tableau II.11: Architectures à double grilles non conventionnelles de transistor MOSFET (ITRS).

Tableau II.12 : Les principaux avantages des transistors DG-FinFETs.

Chapitre III:

Tableau III.1 : les commandes fondamentales dans le programme Atlas.

Tableau III.2 : Les paramètres physiques de transistor à simple grille (FD-SOI-MOSFET) utilisé dans la simulation ATLAS à deux dimensions.

Tableau III.3 : Les paramètres physiques du transistor DG-FinFET utilisé dans la simulation ATLAS à trois dimensions.

Tableau III.4 : les résultats de la comparaison des caractéristiques électriques des dispositifs SG-FD-SOI-MOSFET et DG-FinFET de diélectrique de grille TiO₂ dans la technologie de longueur L_g=5 nm.

Tableau III.5: les résultats de simulation des divers paramètres électriques pour différentes longueurs de grille dans le dispositif DG-FinFET à l'aide de Atlas-TCAD.

Tableau III.6 : les résultats de simulation des paramètres électriques pour différentes hauteurs d'ailettes (Fins) du dispositif DG-FinFET obtenu par TCAD-SILVACO.

Tableau III.7: les valeurs des permittivités (k) des différents diélectriques utilisées dans notre simulation.

Tableau III.8 : les résultats de simulation de différents paramètres avec atlas-TCAD pour différents diélectriques de grille dans le dispositif DG-FinFET.

Chapitre IV:

Tableau IV.1 : Résumé de l'impact de la température sur les différentes caractéristiques électriques de la structure DG-FinFET de longueur de grille 5nm.

Tableau IV. 2: la comparaison des caractéristiques électriques classiques et quantiques de transistor DG-FinFET de longueurs de grilles L_g=5nm et L_g=8nm.

Annexe A :

Tableau 1 : Les valeurs des paramètres des équations (1) et (2).

Tableau 2: les mobilités des électrons et des trous dans le silicium à la température (T=300K).

Tableau 3 : Les mesures des paramètres de la mobilité.

Tableau 4 : Les paramètres par défaut utilisé pour le modèle SRH dans Atlas-Silvaco.

Tableau 6 : Les valeurs par défaut des paramètres de l'équation (13).

Liste des abréviations et des symboles

Abréviations	Significations
TSMC	Taiwan Semiconductor Manufacturing Company
IBM	International Business Machines
CMOS	Complementary Metal Oxide Semiconductor
ITRS	International Technology Roadmap for Semiconductors : la feuille de route de la technologie des semi-conducteurs ITRS
MOS	Metal Oxide Semiconductor
FinFET	Fin Field-Effect Transistor
MOSFET	Metal–Oxide–Semiconductor Field-Effect Transistor
SOI-MOSFET	Silicon On isolator Metal–Oxide–Semiconductor Field-Effect Transistor
DG-FinFET	Dual Gate Fin Field-Effect Transistor
FD-SOI-MOSFET	Fully Depleted Silicon On Isolator Metal–Oxide–Semiconductor Field-Effect Transistor
PD-SOI-MOSFET	Partially Depleted Silicon On Isolator–Metal–Oxide–Semiconductor Field-Effect Transistor
SG-FD-SOI-MOSFET	Single Gate –Partially Depleted Silicon On Isolator Metal–Oxide–Semiconductor Field-Effect Transistor
GSM	Global System for Mobile communications
GPU	Graphics Processing Unit
HP	High Performance
Opetron AMD 64 bits	Advanced Micro Devices 64 bits
Power PC (PPC)	Power Personal Computer
LOP	Low Operating Power
LSTP	Low Standby Power
Oki	Oki Electric Industry
MPC-Motorola	MicroProcessor-Motorola
SOS	Silicon-On-Sapphire
SON	Silicon-On-Nothing
BOX	Buried Oxide
BESOI	Bond-and-Etch-back SOI
UNIBOND	Processus utilisé la méthode smart cut pour la fabrication des plaquettes Wafers
SOITEC	Silicon On Isolator TEChnology : Entreprise industrielle internationale utilisé la technologie smart cut
SIMOX	Méthode de Séparation par IMplantation d’Oxygen
DIVSB	Drain-Induced Virtual Substrate Biasing

DRAM	Dynamic Random Access Memory : est un type de mémoire vive
STM	System Technology Micoelectronics : une société internationale d'origine française et italienne
CEA-LETI	Atomic Energy and Alternative Energies Commission Électronique Laboratory and Information Technologies
UTBB	Ultra-Thin-Body Buried-Oxide
DIBL	Drain Induced Barrier Lowering : l'abaissement de la barrière de potentiel induite par drain
SCE	Short Channel Effect : Effet de canal court
CSE	Charge Sharing Effects ou Roll-Off : Effet de partage de charge
RSCE	Reverse Short Channel Effect : Effet de canal court inverse
HCE	Hot Carrier Effect : l'effet des porteurs chauds
LDD	Lightly Doped Drain : le drain légèrement dopé
GIDL	Gate-Induced Drain Leakage : Le courant de fuite du drain induit par la grille
QM	Quantum Mechanical Effect : Effet mécanique quantique
EOT	Electrical Oxide Thickness : l'épaisseur d'oxyde équivalent
TEM	Microscopie Electronique à Transmission
MEB	Microscope Electronique à Balayage
VLSI	Very-Large-Scale Integration
MASTAR	Modèle de Simulation Analogique et numérique de MOS TrAnsistoRs
TG-FinFET	Triple Grilles-FinFET
GAA	Gate-All-Around : transistor à quadruple grille enrobante
BSIM3	Berkeley Short-channel IGFET Model
DCTMOSFET	Dual-Channel Trench (DCT) MOSFET
ID-DG-FinFET	Independently Driven Dual Gate Fin Field Effect Transistor
DG-FD-MOSFET	Dual Gate-Fully Depleted Fin Field Effect Transistor
Si-FinFET	Silicium-FinFETs
SOI DG-MOSFETs	Silicon On Isolator– Dual Gate –Metal Oxide Semiconductor Field-Effect Transistor
DG-MOSFET	Dual Gate –Metal Oxide Semiconductor Field-Effect Transistor
SOI-FinFET	Silicon On Isolator– Fin Field-Effect Transistor
InGaas/Inas/Ingaas-MOSFET	INdium GAllium ArSenide/ INdium ArSenide/ INdium GAllium ArSenide channel -MOSFET
WMDMG-FinFET	Workfunction Modulated Dual Material Gate-FinFET
DGJLT	Double Gate JunctionLess Transistor
TMDG-SON-MOSFET	Silicon On Nothing Triple Metal Double-Gate-MOSFET
TMDG-SOI MOSFET	Silicon On Isolator Triple Metal Double Gate -MOSFET

JLFETs	JunctionLess Field-Effect Transistors
FinFET traped	Traped-Fin Field Effect Transistor
SiNW-FET	Silicium NanoWire Transistor -FET
Ingaas-MOSFET	INdium GAllium ArSenide channel -MOSFET
EDA	Electronic Design Automation
SILVACO	SILicon VALley COrporation
TCAD	Technology Computer Aided Design
TCAD-SILVACO	Technology Computer Aided Design-SILICon VALley COrporation
ISE-TCAD-Sentaurus	Integrated Systems Engineering (ISE)- le module Sentaurus a intégré à TCAD pour les processus multidimensionnels
SSuprem3	SemiconDUctor Process Simulator of Stanford Univ
MuGFET	nanoscale MultiGate-FET structures (finFET and nanowire)
MuGFET PROPHEP	PADRE : est un simulateur orienté pour les dispositifs 2D / 3D. Il fournit de nombreux graphiques utiles aux ingénieurs et une compréhension approfondie des méthodes numériques et de la physique des dispositifs PROPHEP : est un solveur PDE (équation différentielle partielle) pour 1, 2 ou 3 dimensions. Dans PROPHEP, les équations sont extensibles et flexibles en géométrie. Il est donc utilisé dans des simulations physiques plus générales.
MuGFET Minimos-NT	- Minimos-NT : Classical Semiconductor Device and Circuit : Simulator Simulateur des dispositifs et des circuits
NEXTNANO	NEXT generation 3D NANO device simulator : logiciel de simulation des nanodispositifs semi-conducteurs électroniques et optoélectroniques
3-D-TCAD-COGENDA GENIUS	Three Dimensional-TCAD- COGENDA-GenEral Numerical Integrated circUit Simulator : Simulateur des dispositifs Semiconductor, Genius est un produit commercial de Cogenda, Singapour
NanoTCAD ViDES	Integrated Development Environment for the ViDES scripts code
RIE	Reactive Ion Etching : une gravure ionique sélective et anisotropique
LTO	Low Temperature Oxide
CMP	Chemical Mechanical Polishing : polissage mécano-chimique
MCU	MicroContrôleUr
FPGA	Field-Programmable Gate Array : c'est un réseau de portes programmables in situ)
SOC	System On Chip
NPU	Network Processing Unit (processeur réseau)
DELTA	fully DEpleted Lean- channel TrAnsistor
LPCVD	Low Pressure Chemical Vapor Deposition : Le dépôt
VWF	Virtual Wafer Fab
GUI	Graphical User Interface : une interface graphique d'utilisateur
1D, 2D, 3D	UniDimensional, Two Dimensional, Three Dimensional

PDE	Partially Differential Equations : les équations aux différentielles partielles
HEMT	High-Electron-Mobility Transistor
MESFET	Metal-Semiconductor Field-Effect Transistor
MEMS	Micro ElectroMechanical Systems
SRH	Shockley Read Hall
Bgn	Band gap Narrowing model
Fldmob	Le modèle de mobilité dépend de champ électrique parallèle
temp	Temperature : la température globale de la structure.
Impact selb	SELBerherr Impact model : modèle des effets d'ionisation par impact.
Print	permet la visualisation de l'état de simulation du modèle dans la fenêtre de sortie de DECKBUILD (sortie d'exécution).
ZCE	Espace Charge Zone : la zone de charge d'espace déserté
Bicgst	BIConjugate Gradient Squared sTabilised : c'est la méthode de résolution des équations numériques à trois dimensions.
GMRES	Generalized Minimum RESidual
DC	Direct Current : courant continu
ZTC	Zero Température Coefficient : le coefficient de température zéro
ZTCId	Drain Current Zero Température Coefficient : le point de coefficient de température zéro pour le courant de drain
ZTCgm	Transconductance Zero Température Coefficient : le point de coefficient de température zéro pour la transconductance
BQP	Bohm Quantum Potential
SP	Schrödinger-Poisson equation

Symboles	Significations
High-K	la permittivité élevée (K)
Lg	la longueur de la grille
Lc	la longueur de canal
L_S, L_D	la longueur de Source/drain (nm)
L_{eff}	la longueur effective
ΔL	le décalage de la longueur
H_{fin}	la hauteur d'ailette
W_{fin}, T_{fin}	La largeur d'ailette (épaisseur de Fin) (nm)
N_d	la densité des dopants donneurs de dopage de canal
N_a	la densité des dopants accepteurs de source/drain
n_i	la concentration des porteurs intrinsèque
n, p	les concentrations des électrons et des trous
Φ_{ms}, Φ_M (ou Φ)	le travail de sortie du métal-semiconducteur de la grille
Φ_M et φ_{Si}	les travaux de sortie du métal de grille et du silicium
T	la température en degrés Kelvin, T ₀ = 300 K
T_L	la température du réseau en degrés Kelvin.
W	largeur latérale de transistor, la profondeur de la région de déplétion
e_{ox}, T_{ox}, t_{ox}	l'épaisseur d'oxyde de grille

T_{Dep}	l'épaisseur de déplétion
T_{Si}, t_{si} (nm)	l'épaisseur fine du film de silicium
T_{BOX} (nm)	l'épaisseur de la barrière d'oxyde
χ	l'affinité électronique
E_I	l'énergie de Fermi du matériau intrinsèque
E_V	l'énergie de la bande de valence
E_C	l'énergie de la bande de conduction
E_F	l'énergie du niveau de Fermi
E_G	l'énergie du gap
Φ_F	la différence entre les potentiels de Fermi intrinsèque et extrinsèque du substrat
Φ_S	le potentiel de surface
Φ_d	la hauteur de barrière du canal
V_{GS}	la tension source-grille
V_{th}	la tension de seuil
V_{DS}	la tension source-drain
V_{dd}	la tension d'alimentation
V_{dsat}	la vitesse de saturation
V_{th} channel court	la tension de seuil d'un transistor à canal court
V_{th} channel long	la tension de seuil d'un transistor à canal long
ΔV_{th}	le décalage de la tension de seuil
V_{sat}^n, V_{sat}^p	la vitesse de saturation des porteurs
$V_{(theff, Tamb)}$	la tension de seuil effective
$V_{(sat eff, Tamb)}$	la vitesse de saturation effective à la température ambiante T_{amb}
$\mu_{(eff, Tamb)}$	la mobilité effective respectivement
$V_{th, QM}$	la tension de seuil quantique
V_{FB}	la tension de bande plate
ΔV	la différence de potentiel
v (m/s)	la vitesse
I	le courant
I_D	le courant de drain
I_{on}	le courant à l'état passant on
I_{off}	le courant à l'état bloqué off
I_{on} / I_{off}	le rapport entre le courant à l'état on et le courant à l'état off
I_{Dmax}	le courant de drain maximal
E	le champ électrique
$E_{ }$	le champ électrique parallèle
Φ_F	le potentiel correspond au l'écart du niveau d'énergie de Fermi entre le canal
Q	la densité charge uniforme
Q_{dep}, Q_D	la charge de déplétion de la grille,
Q_b	la charge en silicium (bulk)
SS	la pente sous seuil
ϵ_{ox}	la permittivité diélectrique de l'oxyde de grille
g_m	la transconductance
g_{ds}	le gain de tension où la conductance du canal

R_{on}	la résistance équivalente
R_{totale}	la résistance totale
R_{S/D}	la résistance de source et de drain
R_c	la résistance de contact entre les pads et la région S ou D.
R_{sheet}	la résistance de la région S ou D
R_{interface}	la résistance entre la zone S ou D et le canal du transistor
R_{canal}	la résistance du canal
C_{ox}	la capacité de la grille par unité de surface exprimé en F/m ²
C_{SB} et C_{DB}	les capacités de transition des jonctions PN source/substrat et drain/substrat.
C_j	la capacité de jonction par unité de surface
C_{GS}, C_{GD}	la capacité grille / source et la capacité grille / drain
F	la fréquence de travail
P_{dyn}	la puissance consommée en régime dynamique
P_{stat}	la puissance consommée en régime dynamique et en régime statique
k	la permittivité de diélectrique
t_{high-k}	l'épaisseur de l'oxyde à haute permittivité
ε_{SiO2}	la permittivité de l'oxyde de silicium
ε_(high-k)	la permittivité de l'oxyde à haute permittivité
ε_S	la permittivité de semi-conducteur
ε	la permittivité ($\epsilon = \epsilon_r \epsilon_0$)
ε₀	la constante diélectrique du vide
ε_r	la constante diélectrique relative du matériau, $\epsilon_r = 1$
τ	le temps de commutation intrinsèque
ρ	la charge d'espace, la densité de charge volumique des charges libres
VDT	le modèle de transformation de tension de dopage : Voltage Doping Transformation
EI	l'intégrité électrostatique
X_j	la profondeur de jonction
λ	un paramètre traduisant le couplage du champ dans l'oxyde enterré, la longueur naturelle
k	le coefficient de miniaturisation : Scaling factor
ΔE_g	le décalage de niveau d'énergie E _g
FWT	la largeur de l'ailette supérieure (top fin-width)
FWB	la largeur de l'ailette inférieure (Bottom fin-width)
ΔI	la gamme de variation de courant
CVT	it contains doping and parallel field dependence
Conmob	le modèle de la mobilité dépendant de la concentration.
Auger	le modèle de recombinaison
FLDMOB	le modèle de la mobilité dépendant du champ électrique
J_n, J_p	les densités de courant des électrons et des trous
J_(n,p)	les densités de courant des porteurs (électrons ou trous)
G_n, G_p	les taux de génération des électrons et des trous
R_n, R_p	les taux de recombinaison des électrons et des trous
J_{n cond}, J_{p cond}	les densités de conduction des électrons et des trous

μ_n, μ_p	les mobilités des porteurs (électrons, trous) respectivement qui sont exprimés en : $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$,
μ_{n0}, μ_{p0}	les mobilités à faible champ des électrons et les trous respectivement.
$\mu_{n\text{min}}$ et $\mu_{n\text{max}}$, $\mu_{p\text{min}}$ et $\mu_{p\text{max}}$	les valeurs extrêmes des mobilités des électrons et des trous
σ_n, σ_p	les conductivités des électrons et des trous
F	le flux des particules
$\vec{\nabla}C$	le gradient de concentration
D	le coefficient de diffusion
$\vec{J}_p \text{ diff}, \vec{J}_n \text{ diff}$	les densités de courant de diffusion pour les électrons et les trous
Dn, Dp	les coefficients de diffusion des porteurs (électrons, trous) respectivement, son unité est : $\text{m}^2 \cdot \text{s}^{-1}$
N_{total}	la concentration totale des dopants $N_{\text{total}} = N_d + N_a$
$N_{\text{refn}}, N_{\text{refp}}$	les concentrations de référence des électrons et des trous
α_n, α_p	les constantes de dégradation de la mobilité électronique.
U	le taux de recombinaison
E_{trap}	la différence entre le niveau d'énergie du piège et le niveau de Fermi intrinsèque.
τ_n, τ_p	les durées de vie des porteurs (électrons et trous)
R_{Auger}	Recombinaison Auger
Cn et Cp	les coefficients Auger pour les électrons et les trous
G_{imp}	le taux de génération des paires électrons-trous.
α_n, α_p	le coefficient d'ionisation pour des électrons et des trous
trap	une instruction permet de résoudre les problèmes avec estimation initiale pour assurer la convergence.
maxtrap	le maximum autorisé de nombre d'essais
Φ_f	le potentiel de Fermi
Qss	la charge dans le diélectrique de grille
m_x/m_0	le rapport de la masse efficace des porteurs dans la direction de la masse d'électrons libres.

Les matériaux

matériaux	Significations
SiO2	le dioxyde de silicium
TiO2	le dioxyde de titane
Si3N4	le nitrure de silicium
SnO2	le dioxyde d'étain
Al2O3	l'oxyde d'aluminium
HfO2	Le dioxyde d'hafnium
ZrO2	le dioxyde de zirconium
ZrSiO4	le zirconium silicate
HfSiO4	L'hafnium silicate
Y2O3	l'oxyde d'yttrium
La2O3	lanthanum oxide
Gd2O3	l'oxyde de gadolinium
Ta2O5	le tantalum pentoxide

CoSi2	le cobalt disilicide
TiN	le nitrure de titane
Co	le monoxyde de carbone
Ru	le ruthénium
Cu	le cuivre
Mo	molybdène
W	le tungstène
Cr	le chrome
Fe	le fer
TaN	le tantalum nitride
HfN	Hafnium nitride
Sb	L'antimoine
NiSi	le siliciure de nickel
SiC	le carbure de silicium
AlN	le nitrure d'aluminium
GaN	le gallium nitride
GaAs.	l'arséniure de gallium
SiGe	le silicium-germanium
InAs	l'arséniure d'indium
Ta	le tantale
Al	l'aluminium
Ag	l'argent
Ti	le titane
TaSiN	Le nitrure de silicium tantale
Zn	le zinc
pt	le platine
KOH	l'hydroxyde de potassium
H3PO4	le nitrure est gravé par gravure chimique
HF	l'acide fluorhydrique
TEOS	l'oxyde tetraethoxysilane

Les constants:

Symboles	Significations	Valeurs
K, K_B	la constante de Boltzmann	$1.38 \times 10^{-23} \text{ J.K}^{-1}$
h	la constante de Planck	$1.63 \times 10^{-34} \text{ J.S}$
ϵ_{Si}	la constante diélectrique du silicium	$1.03 \times 10^{-12} \text{ F/cm}$,
ϵ_0	la permittivité de vide	$8.85 \times 10^{-14} \text{ F. cm}^{-1}$
E_g	la bande interdite de silicium	1.12 e.V
q, e	la charge d'électrons	$1.60 \times 10^{-19} \text{ C}$
χ_{Si}	l'affinité électronique de Si	4.05 e.V
m₀	la masse d'électrons au repos	$9.11 \times 10^{-28} \text{ g}$

Introduction générale

Récemment, les compagnies Samsung, Intel, TSMC, IBM, Global Foundries, et de nombreux autres centres de recherche ont publié des détails sur l'innovation de processus de la technologie CMOS 7 nm [1], la fin de la miniaturisation des transistors MOS conventionnels était prévu par l'ITRS en 2017 [2]. La technologie 7nm comparée au nœud technologie 14nm offre: (Figure.I.2) une caractéristique: de faible consommation d'énergie de 50% qui elle importante dans l'industrie des téléphones mobiles, et les caractéristiques de commutation des transistors sont passées de 20% à 50%, ceci est très important dans les applications serveur et les smart phones qui utilisent des processeurs plus rapides et des écrans à haute résolution [3]. Et par rapport à la technologie à 10nm, la technologie à 7 nm offre une densité 4 fois plus élevée. Il s'agit d'un avantage clé pour produire des smartphones plus légers et plus minces. Alors l'amélioration des performances telle que la fiabilité, la vitesse, la consommation d'énergie, et le coût de fabrication élevé est considérée comme l'une des clés de processus pour poursuivre la mise en échelle vers 4-nm jusqu'à 2025 pour les transistors MOS [3]. Le tableau 1 présente les principaux nœuds technologiques jusqu'à 7 nm.

Technology node	Year of introduction	Key Innovations	Application note
180nm	2000	Cu interconnect, MOS options, 6 metal layers	
130nm	2002	Low-k dielectric, 8 metal layers	
90nm	2003	SOI substrate	[Sicard2005]
65nm	2004	Strain silicon	[Sicard2006]
45nm	2008	2nd generation strain, 10 metal layers	[Sicard2008]
32nm	2010	High-K metal gate	[Sicard2010]
20nm	2013	Replacement metal gate, Double patterning, 12 metal layers	[Sicard2014]
14nm	2015	FinFET	[Sicard2017]
10nm	2017	FinFET, double patterning	[Sicard2017]
7nm	2019	FinFET, quadruple patterning	

Tableau 1: les principaux nœuds technologiques au cours des 15 dernières années [1].

La technologie silicium sur isolant SOI a été inventée dans les années 1960-1970. Elle offre, grâce à un oxyde enterré, une parfaite isolation diélectrique entre la couche active des circuits et le substrat de silicium massif. Par comparaison au substrat en silicium massif, Le (SOI) offre l'avantage de réduire la consommation, ce qui permet d'améliorer les performances, cette réduction présente un facteur clé pour des équipements portables fonctionnant sur batterie. Le SOI a un fort potentiel pour repousser les frontières de la micro nanoélectronique, par la miniaturisation des

transistors MOS conventionnels ou bien par les architectures innovantes qu'il peut accueillir.

La miniaturisation de ces dispositifs à atteint ses limites ce qui ouvre la voie aux technologies alternatives, les composants du type PD (Partially Depleted), où la couche de SOI est mince (de 500 à 800Å) dont les zones dépeuplées autour du drain et de la source touchent donc la couche d'oxyde enterrée mais il subsiste toujours une région quasi neutre quel que soit le régime de fonctionnement. Par contre les composants du type FD (Fully Depleted), où la couche SOI est Si mince (de 150 à 500 Å) qu'elle est entièrement dépeuplée pour créer le canal. Il n'existe alors plus de région quasi neutre. Ces deux types de transistors participant à l'effort pour un gain en vitesse et en puissance consommée.

Les deux dispositifs FD-SOI-MOSFET et DG-FinFET sont en compétition dans la fabrication des technologies CMOS pour les applications récemment utilisées, ces deux types de transistors partagent des effets similaires appelés les effets de canal court. Dans le but d'obtenir un effet optimal contre les effets de canal court et d'améliorer les performances de ces dispositifs, un nouveau modèle de transistor nanométrique à double grille (DG-FinFET) est proposé dans ce travail. Ce modèle utilise de nouveaux matériaux dans la grille, dans le canal, et dans la siliciuration de source et de drain, et il permet d'étudier les caractéristiques courant-tension (I_d - V_g) par la variation de plusieurs paramètres géométriques et physiques du dispositif proposé à l'aide de l'outil de simulation TCAD-SILVACO.

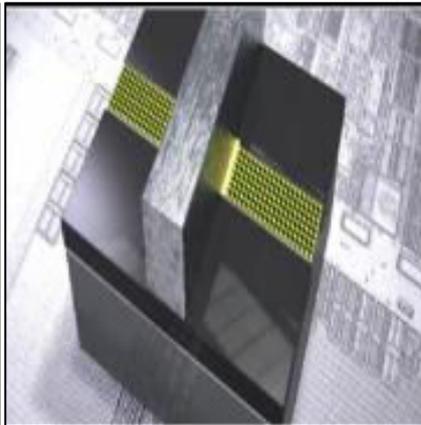
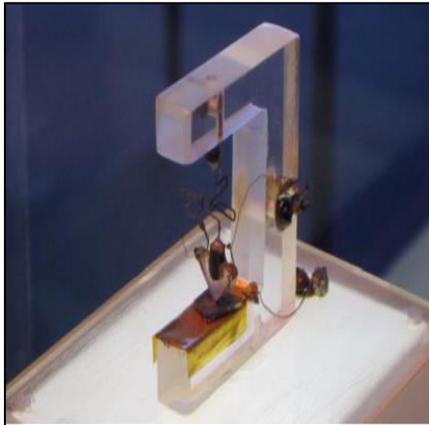
Ce mémoire de thèse comporte cinq chapitres:

- ♣ Le chapitre **I** décrit d'une façon détaillée la structure de transistor SOI-MOSFET, les différents types, les avantages, les inconvénients, et les compétences d'application de ce dispositif au niveau commercial, les différents régimes de la structure MOS sont également présentés. Les équations de base liées à l'extraction des plusieurs paramètres caractéristiques de ce composant ont été bien détaillées. Ce chapitre présente aussi les nouvelles techniques qui sont utilisées comme des solutions technologiques pour réduire les effets de canal court parmi lesquelles on y trouve l'intégration de matériaux innovants (dans la grille, dans le canal et dans la métallisation de la source et de drain), et le développement d'architectures multigrilles pour améliorer les performances du dispositif.
- ♣ Dans le chapitre **II** nous proposons l'état d'art de la variation des différents paramètres géométriques et physiques sur les caractéristiques des différentes architectures, ainsi que les lacunes des divers travaux de la littérature. Des dispositifs multigrilles sont également

considérés comme l'une des solutions qui peuvent résoudre les effets indésirables, par conséquent, l'étude de l'état d'art montre que l'innovation de la technologie à double grille DG-FinFET est considérée comme un meilleur candidat pour remplacer le SOI-MOSFET dans la mise en échelle "scaling" (vers les nœuds technologiques 5 nm), pour réduire les effets de canal court, et pour améliorer les performances et le contrôle électrostatique de la grille.

- ♣ Le chapitre **III** présente les différentes équations principales de la physique des semi-conducteurs qui sont considérés comme la base des processus technologiques des transistors FETs dans Atlas-Silvaco. Ces dispositifs utilisent des modèles physiques et des méthodes numériques pour la résolution de ces équations, les deux structures SG-FD-SOI-MOSFET et DG-FinFET ont été simulées par le logiciel TCAD Silvaco (Atlas) après l'affichage de ces structures dans Tonyplot. Nous présentons une petite comparaison des caractéristiques des deux structures SG-FD-SOI-MOSFET et DG-FinFET dans l'objectif de montrer l'importance d'utilisation de DG-FinFET que le SOI-MOSFET dans le futur de mise en échelle des dispositifs. Ainsi à cette fin, la modélisation géométrique de la longueur de grille (L_g), la hauteur H_{fin} , la largeur W_{fin} , et l'épaisseur d'oxyde (la variation du diélectrique de la grille (high- k) ont été introduite dans la simulation pour approcher schématiquement les dimensions idéales du transistor DG-FinFET dans le but d'améliorer les performances et d'analyser les caractéristiques statique de ce dispositif.
- ♣ L'objectif de chapitre **IV** est d'examiner la variation de quelques paramètres physiques tels que: le dopage de canal (N_a) et le dopage de source/drain (N_d), le travail de sortie du métal de grille (Φ_{ms}), la température (T), et le confinement quantique sur les caractéristiques électriques de la structure proposée du dispositif DG-FinFET 5 nm par l'utilisation d'un matériau à haute permittivité TiO_2 à l'aide de simulateur Atlas-TCAD-SILVACO. De plus, les différentes capacités parasites: grille/drain (C_{gd}), grille/source (C_{gs}), la fréquence de coupure (f_t), la fréquence maximale (f_{max}), le gain de puissance maximale disponible (G_{ma}), et le gain de puissance maximale stable (G_{ms}) sont des paramètres très importants dans les performances à haute fréquence (RF). Afin d'examiner la fiabilité liée à la miniaturisation de la taille de ces dispositifs, l'effet de la variation de ces paramètres sur les performances RF de dispositif proposé a été analysé, il sera par la suite comparé avec celles de SG-FD-SOI-MOSFET.
- ♣ Nous terminons ce mémoire de thèse par une conclusion générale et des perspectives

Chapitre I: L'évolution des transistors SOI-MOSFETs, problématique, Scaling, Limitation



I.1 Introduction:

La conception théorique de microprocesseur Core i7 980x a été développée en 2010 par la société Intel, ce dispositif possède 1,17 milliard de transistors conçus avec une technologie 32 nm et a une superficie d'environ 248 mm² (figure I.1 à gauche) [4]. La figure I.1 à droite présente la miniaturisation des transistors jusqu'à une technologie 5nm.

Dans les années 2000, le Nokia 3310 était le téléphone mobile le plus populaire (figure I.1 au milieu), il utilisait un processeur d'une taille minimale de transistors d'environ 1 µm, il contenait environ 1 million de transistors, la taille de la matrice est de 68,51 mm², ce téléphone est très simple utilisant la technologie mobile GSM, fournit un affichage monochrome pur de 84 x 84 pixels.

17 ans plus tard, l'iPhone X est lancé [5], Il utilise la puce Apple A11 Bionic, la taille minimale des transistors dans ce téléphone atteinte à 10 nm, contient plus de 4,3 milliards de transistors, et la taille de la matrice est de 87,66 mm², ce qui est beaucoup plus complexe que le Nokia 3310.



Figure I.1: à gauche : Image de l'architecture d'un processeur Intel Core i7 [4], au milieu: Nokia 3310, 2000 avec un demi-million de transistors, et L'iPhone X, 2017, avec plus de 4,3 milliards de transistors [6], à droite: la miniaturisation des transistors de 45 nm à 7 nm [1].

L'alternative de l'extension de la mise en échelle de la limite du dispositif MOSFET-bulk est basée sur la technologie silicium-sûr-isolant (SOI), plusieurs applications importantes des transistors SOI-MOSFET sont distinguées au niveau commercial depuis 1997 jusqu'à maintenant, grâce à leur utilisation dans les applications numériques, il existe deux catégories d'applications importantes:

- ♣ Les applications à haute performance HP «High Performance» : tels que les microprocesseurs pour les ordinateurs de bureau (processeur Opteron AMD 64 bits, Power PC (IBM)...))
- ♣ Les applications à faible consommation d'énergie: celui-ci affectera la fréquence de commutation du transistor :
 - Les dispositifs à faible puissance active LOP « Low Operating Power » : tels que les ordinateurs portables (CELL (Sony, Toshiba), Contrôleur de surveillance (Oki), Réseau de grilles (Mitsubishi)...))
 - Les dispositifs à faible puissance statique LSTP « Low Standby Power» : tels que les téléphones mobiles (MPC (Motorola)...) [7, 8].

Selon les feuilles de route technologique des semi-conducteurs l'ITRS publiés récemment, la longueur physique de la grille des transistors MOS (en terme de HP) est d'environ 22 nm (Intel 2011), cette longueur continuera d'évoluer et peut atteinte jusqu'à 4nm en 2025 [9, 3]. La figure I.2 décrit l'évolution de la longueur physique de grille en termes de HP, LOP et LSTP par les prédictions d'ITRS [10].

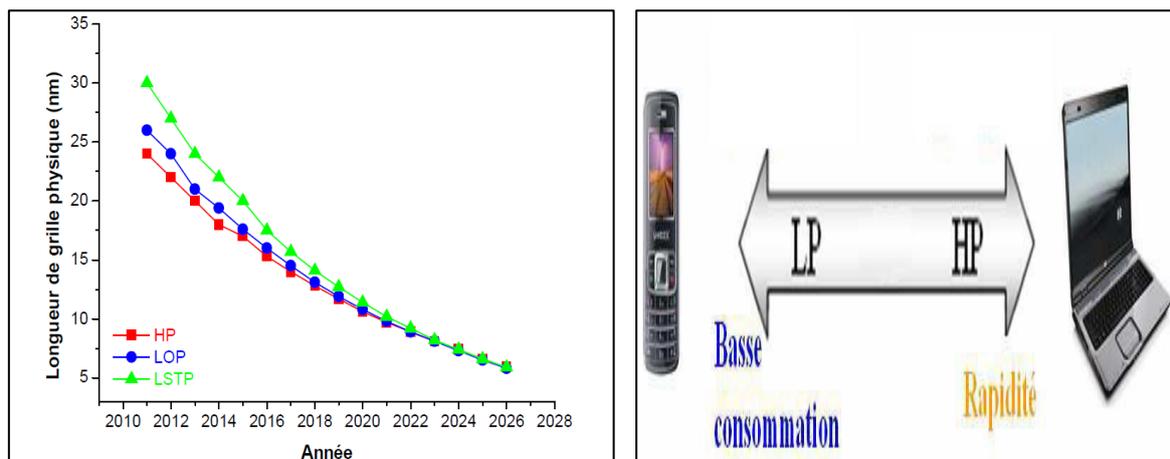


Figure I.2: a). Évolution de la longueur de grille des transistors MOS en termes de performances : prévisions ITRS 2011 **b).** les applications technologiques: HP (High Performance), LP (Low Power) [10,11].

I.2 L'architecture du dispositif SOI-MOSFET:

La technologie silicium sur isolant « Silicon On Insulator » a été inventée dans les années 1960-1970 pour satisfaire les demandes des circuits, cet isolant peut être du saphir (Silicon-On-Sapphire) (le premier matériau (SOS)), de l'air (Silicon-On-Nothing) (SON) [12], ou du dioxyde de silicium (SiO₂), grâce à l'oxyde enterré, il peut assurer une parfaite isolation diélectrique entre la couche active du circuit et le substrat en silicium massif, le transistor SOI MOSFET est réalisé d'une partie active du film de silicium mince sur un oxyde enterré BOX

«Buried Oxide », ce type de transistor a remplacé le MOSFET sur silicium massif "bulk" dans la fabrication des circuits CMOS, la différence est qu'il n'y a plus de courant de substrat dans cette nouvelle technologie (Figure I.3) [13]. Depuis le début des années 1990, la mise au point des nouveaux matériaux SOI, ainsi que l'invention des appareils électroniques portables, ont promu le SOI comme une alternative prometteuse pour la fabrication des composants à basse consommation et à haute fréquence [14]. Généralement les principaux paramètres géométriques des transistors MOS sont: L_G (longueur de grille), L_s et L_d (longueur source/drain), W (largeur latérale de la structure), et e_{ox} ou T_{ox} (épaisseur d'oxyde) comme montre dans la figure I.3.a [15, 16].

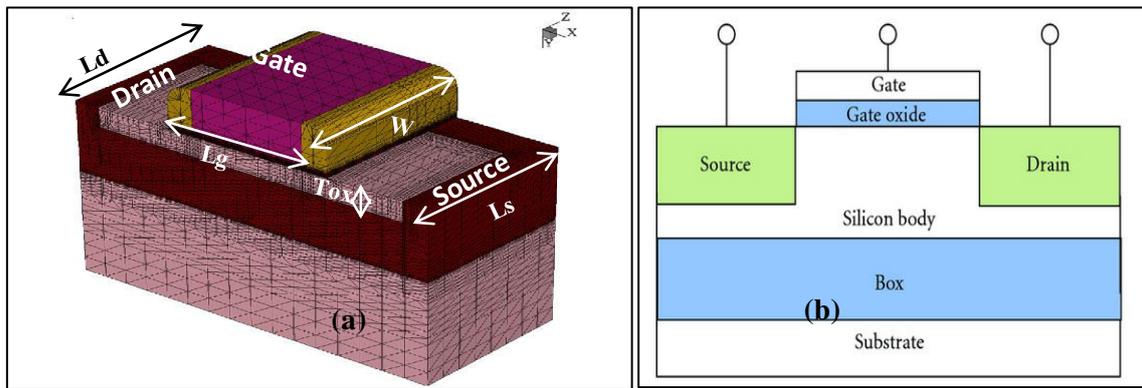


Figure I.3: Présentation de la structure d'un transistor SOI-MOSFET **a)** à trois dimension, **b)** à deux dimension [17,18].

I.3 Fabrications des plaquettes SOI:

Actuellement, il existe plusieurs méthodes de procédé de fabrication des plaques SOI (BSOI, SIMOX,...) une méthode appelée : la technologie Smart Cut est utilisée pour réaliser les substrats UNIBOND à la base du développement de la société SOITEC [19, 13].

Les étapes de procédés de fabrication des plaquettes à base des matériaux SOI sont:

- dépôt d'une couche de silicium monocristallin sur un isolant.
- création d'un oxyde par implantation profonde d'oxygène dans un substrat de silicium (matériau SIMOX).
- la formation et la croissance de cavités issues de défauts spécifiques créés lors de l'implantation d'hydrogène.
- Le collage des plaques de silicium d'oxyde (matériau BESOI), Elle met en jeu l'adhérence moléculaire (wafer-bonding) c'est-à-dire créé des liaisons entre elles de telle manière qu'il faut appliquer une force pour les séparer.
- Le transfert de couche mince par détachement suite à une implantation ionique.

- lors d'un recuit, les liaisons pourront être remplacées par des liaisons de forte énergie [20].

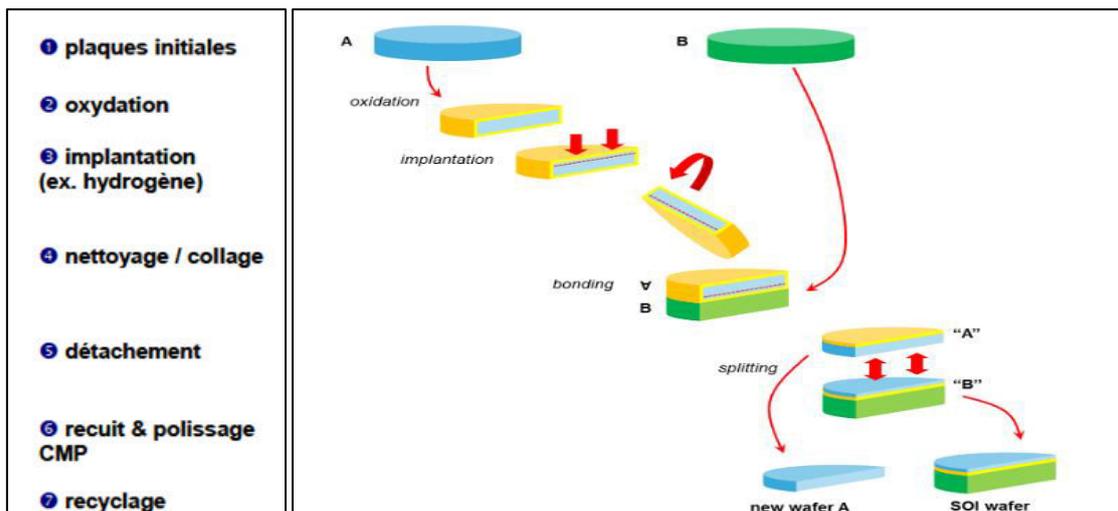


Figure I.4: Les étapes principales de fabrication d'une plaque SOI Smart-cut [21].

I.4 Les différents types de transistors SOI-MOSFET:

En fonction du niveau de dopage et de l'épaisseur du film de silicium, la zone de déplétion s'étend plus ou moins loin dans la partie active. On distingue deux types de transistors SOI:

- **Le transistor SOI partiellement déplété (Partially-Depleted SOI ou PD-SOI):** lorsque la zone de déplétion ne recouvre pas complètement la partie active.
- **Le transistor SOI complètement déplété (Fully-Depleted SOI ou FD-SOI) :** lorsque la zone de déplétion englobe tout le film de silicium [22].

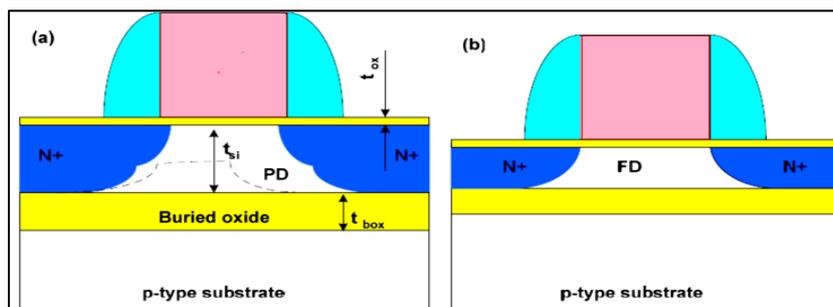


Figure I.5: Illustration schématique d'un transistor SOI: (a) « complètement déplété » FDSOI, (b) « partiellement déplété » PDSOI [23].

I.4.1 Comparaison de la technologie FD-SOI-MOSFET par rapport à la technologie PD-SOI-MOSFET:

Le tableau suivant montre l'avantage de la technologie FD-SOI à partir de la comparaison de ses caractéristiques électriques et physiques avec celles des transistors PD-SOI (+: meilleur, -: plus mauvais, N: neutre).

Paramètres électrique et physique	partiellement déplété (PD-SOI)	complètement déplété (FD-SOI)
Sensibilité V_{th}	N	-
Pente sous seuil	N	+
Effets canal court	N	+
transconductance	N	+
Mobilité	N	+
Capacité source/drain	+	+

Tableau I.1: l'avantage des transistors FD-SOI grâce à la comparaison de ses caractéristiques avec celles des transistors.

On peut alors résumer les avantages et les inconvénients de la technologie FD-SOI-MOSFET et PD-SOI-MOSFET par rapport au MOSFET bulk dans le tableau suivant:

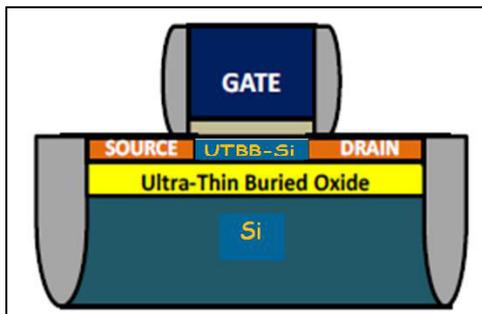
-	Avantages	Inconvénients	Potentiel pour les nœuds ≤ 30 nm
MOSFET-bulk (conventionnel) 	<ul style="list-style-type: none"> ✓ Procédés de fabrication bien maîtrisés ✓ utilisent des dopages de canal plus en plus forts ceci a pour conséquence d'augmenter les capacités de jonctions S/D 	<ul style="list-style-type: none"> ✓ Présence des effets canaux courts. 	Non
PD-SOI-MOSFET partiellement déplété à simple grille. 	<ul style="list-style-type: none"> ✓ Procédés de fabrication bien maîtrisés ✓ Développement / Production 	<ul style="list-style-type: none"> ✓ Présence des effets canaux courts. 	Peut- être
FD-SOI-MOSFET totalement déplété à simple grille. 	<ul style="list-style-type: none"> ✓ Complètement déplété ✓ Développement ✓ Absence de courant de substrat. ✓ Résistance aux radiations. ✓ Réduction considérable des effets parasites des capacités de jonction parce que les jonctions reposent sur un diélectrique. ✓ Amélioration considérable de contrôle électrostatique grâce à la plus faible profondeur des jonctions source/drain et à une plus faible profondeur de déplétion T_{Dep}. ✓ Suppression des fuites des jonctions, ce qui est un avantage majeur pour les dispositifs mémoires (type DRAM). ✓ La présence de l'oxyde enterré isole le caisson des zones de source et de drain et le film fin de silicium réduit le courant de 	<ul style="list-style-type: none"> ✓ Uniformité de l'épaisseur du silicium. ✓ Champ dans l'oxyde enterré (effet du BOX appelé aussi DIVSB (Drain-Induced Virtual Substrate Biasing)). ✓ Le coût élevé des plaquettes (wafer) qui est d'environ deux à trois fois plus cher que les plaquettes bulk. ✓ l'auto-échauffement des composants: 	Oui

	fuite ✓ La présence de l'oxyde enterré, qui possède un constant diélectrique plus faible que le silicium et offre une diminution de ces capacités ceci participe à l'amélioration de la vitesse de commutation des transistors CMOS sur SOI	lorsque la résistance thermique de l'isolation est très importante, le phénomène d'auto-échauffement des composants apparaît et la chaleur ne peut pas être rapidement dissipée.	
--	--	--	--

Tableau I.2 : Les avantages et les inconvénients de la technologie FD-SOI-MOSFET et PD-SOI-MOSFET par rapport au MOSFET bulk.

I.4.2 La technologie UTBB-FDSOI:

Le développement de la technologie FD-SOI est le fruit d'un travail collaboratif entre STMicroelectronics et le CEA-LETI, depuis plus de 20 ans, ces deux entités travaillent sur l'élaboration d'une solution SOI répondant aux contraintes du marché actuel. Avec la réduction de l'épaisseur de BOX faiblement dopé de la valeur typique 145-300 nm jusqu'à 25-8 nm, le dispositif est appelé Ultra-Thin-Body Buried-oxide (UTBB) FDSOI MOSFET [24]. L'épaisseur du film de silicium peut varier d'environ de 7 à 14 nm [25]. Il s'agit d'une technologie MOS planaire et la principale innovation réside sur l'introduction d'une couche de silicium très mince faiblement dopé pour permettre la déplétion complète de silicium, une couche mince isolante (BOX) a réalisé par implantation d'oxygène au-dessus de silicium Si (figure I.6) [26].



Neoud technologique	28 nm	14 nm	10 nm
T_{Si} (nm)	7.5	6	5.5
T_{BOX} (nm)	25	15	10

Figure I.6: a) Coupe transversale de la structure Ultra Thin Body Buried-oxide Fully Depleted Silicon on Insulator (UTBB-FDSOI), **Tableau I.3:** mis en échelle de transistor UTBB-FDSOI à un nœud de 10 nm [26].

Le transistor complètement déplété UTBB-FD-SOI MOSFET est un dispositif multigrille qui est considéré comme étant le premier successeur du MOSFET "bulk" et cela pour les applications VLSI [24].

Ce transistor présente plusieurs avantages tels que: la faible géométrie de silicium, tout en conservant un processus de fabrication simple, des performances de commutation et des fuites améliorées, meilleur contrôle sur son body, par conséquent, prend en charge la polarisation de dispositif plus facilement que les dispositifs MOSFETs (bulk) [26].

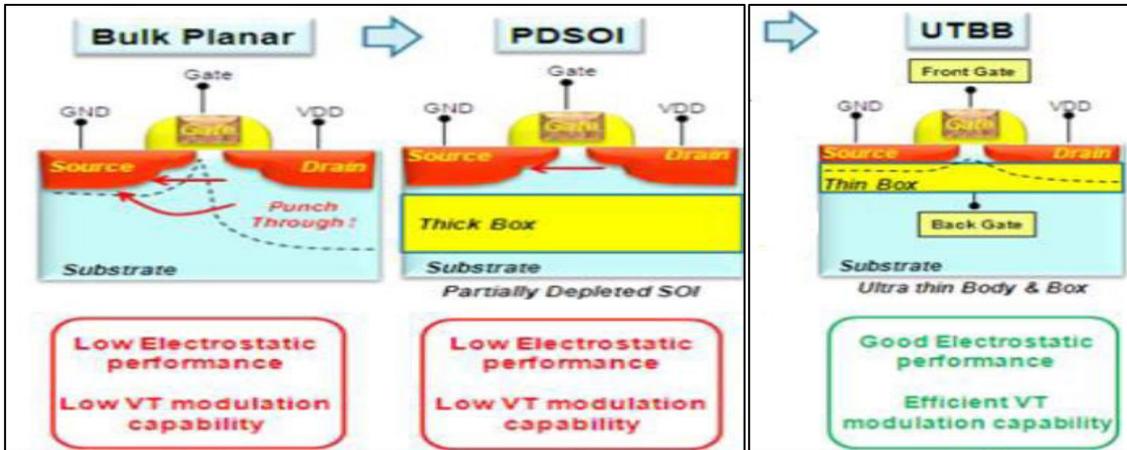


Figure I. 7: Vue en coupe d'un (a) transistor sur silicium massif, (b) transistor partiellement déserté, (d) avec une mince BOX [24].

I.5 Différents régimes de structure MOS:

La structure MOS (Metal Oxide Semiconductor) est la base des circuits intégrés numériques. Comme la capacité MOS, la plus simple des structures MOS consiste d'un empilement substrat- diélectrique-grille. La figure I.8 présente la définition du travail de sortie d'un métal et de l'affinité électronique dans le diagramme de bande d'énergie d'un semi-conducteur.

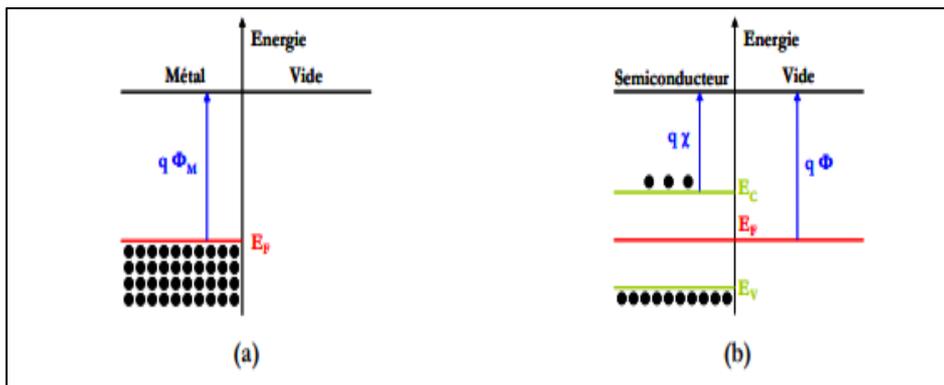


Figure I.8: a) Définition du travail de sortie d'un métal, b) définition de l'affinité électronique d'un semi-conducteur [27].

Où : Φ_M (ou Φ ou Φ_{ms}): le travail de sortie qui est défini par l'énergie fournie par l'extraction d'électrons du matériau (Figure I.8.a), χ : l'affinité électronique du semi-

conducteur qui est définie comme l'énergie fournie pour passer de la bande de conduction au niveau du vide (Figure I.8.b). Alors nous pouvons présenter la structure de la bande d'énergie d'une capacité MOS à l'équilibre par l'utilisation des autres grandeurs dans la figure I.9 [27].

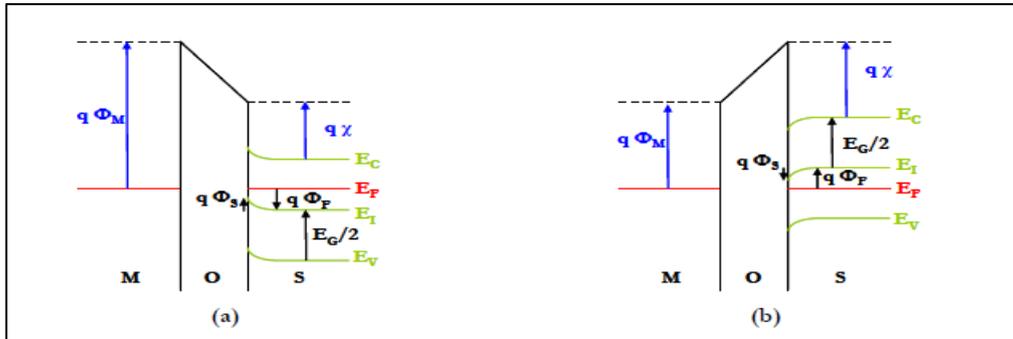


Figure I.9: Structure de bandes pour la capacité a) NMOS et b) PMOS à l'équilibre. E_I : énergie de Fermi du matériau intrinsèque; E_V : énergie de la bande de valence; E_C : énergie de la bande de conduction; E_F : énergie du niveau de Fermi; E_G : énergie du gap; Φ_F : différence entre les potentiels de Fermi intrinsèque et extrinsèque du substrat; Φ_M : travail de sortie du métal; Φ_S : le potentiel de surface [27].

I.5.1 Régime d'accumulation :

Pour une tension $V_{GS} < 0$ V, il y a une courbure à l'interface oxyde/semiconducteur. La plupart des porteurs majoritaires (trous) sont attirés vers la surface du semi-conducteur, aucune conduction n'est formée et le transistor est bloqué, c'est le « régime d'accumulation » (figure 1.10.a).

I.5.2 Régime de déplétion :

Lorsqu'une tension légèrement positive est appliquée ($0 < V_{GS} < V_{TH}$) (où V_{TH} est la tension seuil), la bande d'énergie est courbée vers le bas. Les trous sont repoussés de la surface pour former une région dépourvue des porteurs appelée zone de charge d'espace composée uniquement de charges ionisées, le transistor est toujours bloqué (figure 1.10.b), ce régime est appelé « le régime de déplétion » [28].

I.5.3 Régime d'inversion :

À une tension $V_{GS} > V_{TH}$ les bandes d'énergie se courbent plus, les porteurs minoritaires (électrons) sont attirés vers la surface de semi-conducteur, la densité d'électrons devient supérieure que celle des trous sur la surface, un canal de conduction est formé, c'est le régime d'inversion. L'application d'une polarisation positive de tension de drain $V_{DS} > 0$ V, entraîne le passage du courant de la source au drain, alors le transistor est passant (figure I.10.c) [28]. Dans ce régime, on distingue deux régions: le régime d'inversion faible (weak inversion) qui a une faible concentration en électrons, et le régime d'inversion forte (strong inversion) qui a une concentration d'électrons élevée [17].

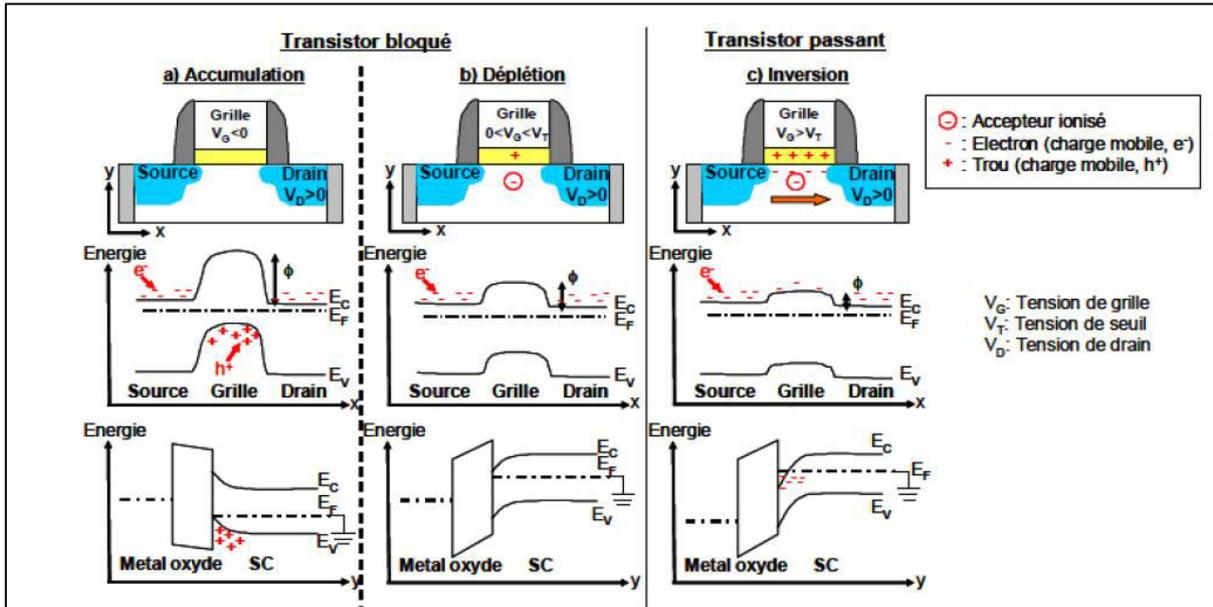


Figure I.10: Diagramme schématique des différents états de fonctionnement des transistors nMOS. La première ligne est représentée schématiquement la structure MOS. La seconde représente une coupe longitudinale de l'énergie le long du canal, et la dernière représente une coupe transversale de l'énergie du canal le long des régions Métal/Oxyde/Semi-conducteur [29].

I.6 Etude des caractéristiques du transistor SOI-MOSFET:

I.6.1 Le courant du drain:

Considérons un courant (I) et une densité de charge uniforme (Q) transversant une section d'une barre semi-conductrice de longueur (L) dans une seconde, les porteurs se déplacent avec une vitesse de v (m/s), le courant I est donné par :

$$I = Q \cdot v \quad (\text{I. 1})$$

Q : est la densité de charge des électrons donnée par: $Q = C \cdot V$, tel que : C : est la capacité de la grille par unité de longueur: $C = W \cdot C_{ox}$, C_{ox} : c'est la capacité de la grille par unité de surface exprimée en F/m^2 , V : la différence de potentiel appliquée entre la grille et le canal dans la largeur du transistor (W) (figure I.11. a),

Pour ($V_{GS} < V_{TH}$) on a $V = V_{GS} - V_{TH}$, car il n'y a pas de charges mobiles, on compare les deux tensions de la grille et du drain avec la tension de la source, on obtient:

$$Q = W \cdot C_{ox}(V_{GS} - V_{TH}) \quad (\text{I. 2})$$

L'écart de tension entre le canal et la densité de charge diminue de la source au drain le long du transistor. Par conséquent, l'équation (I.2) n'est valable qu'à proximité de la source, où le potentiel de canal de la source reste proche de zéro. Comme il est indiqué dans la figure (I.11.b), nous utilisons $V(x)$ pour représenter le potentiel du canal en x .

$$Q(x) = W \cdot C_{ox} \cdot [V_{GS} - V(x) - V_{TH}] \quad (I. 3)$$

Notons que $V(x)$ passe de zéro à V_D si le canal n'est pas pincé.

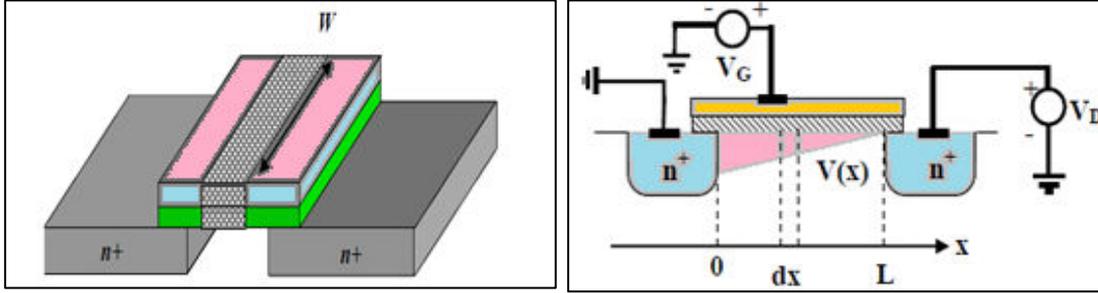


Figure I.11: a) Description schématique de la capacité par unité de longueur, b) le calcul du courant de drain dans un transistor MOS [30].

- **La mobilité μ** : décrit la facilité des porteurs à se déplacer dans une couche d'un matériau sous l'application d'un champ électrique longitudinal E entre la source et le drain, avec une vitesse de dérive v définie par [31, 32]:

$$v = -\mu \cdot E = +\mu \cdot \frac{dV}{dx} \quad (I. 4)$$

Où $E = dV/dx$ représente le champ électrique dérivant d'un potentiel, la mobilité des électrons dans le canal μ_n .

La combinaison des équations (I.1), (I.2), et (I.4) donne :

$$I_D = WC_{ox}[V_{GS} - V(x) - V_{TH}] \mu_n \cdot \frac{dV(x)}{dx} \quad (I. 5)$$

Étant donné que le courant I_D doit être maintenu constant sur le canal, $V(x)$ est varié en fonction de x , et l'expression $(V_{GS} - V(x) - V_{TH}) dV/dx$ doit être indépendante de x . Mais il est possible de résoudre l'équation ci-dessus pour obtenir $V(x)$ en fonction de I_D , pour cela il faut trouver l'expression de I_D en fonction de la tension aux bornes (V_{ds} de 0 à V_{ds} d'une distance x de 0 à L) qui peut s'écrire [30]:

$$\int I_D dx = \int \mu_n \cdot C_{ox} W [V_{GS} - V(x) - V_{TH}] dV \quad (I. 6)$$

$$I_D = \mu_n \cdot C_{ox} \frac{W}{L} [(V_{GS} - V_{TH}) V_{DS} - \frac{V_{DS}^2}{2}] \quad (I. 7)$$

- **Le régime linéaire et le régime de saturation:**

Selon l'importance de la polarisation du drain. On peut distinguer deux régimes de fonctionnement du transistor MOSFET: le régime linéaire (ohmique) et le régime de saturation:

- ✚ Si $V_d \ll V_{dsat} = V_{GS} - V_{TH}$: la tension de drain est faible, le courant de drain varie proportionnellement avec la tension drain-source, le transistor fonctionne en **régime linéaire (ohmique)**, la caractéristique $I_D = f(V_{DS})$ présente un comportement linéaire pour une tension V_{GS} donnée (figure I.12. a), et l'équation (I. 8) est simplifiée comme suit:

$$I_D = \mu_n \cdot C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) V_{DS} \quad (I. 8)$$

En fait, à partir de l'équation (I.8) on peut observer que la résistance équivalente R_{on} est donnée par:

$$R_{on} = \frac{1}{\mu_n \cdot C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad (I.9)$$

- ✚ Si $V_d = V_{dsat}$: la capacité MOS n'est plus inversée du côté de drain, la conductivité du canal aux bornes de drain est fortement réduite, c'est la **zone de pincement** (figure I.12.b), la tension source-drain correspond est appelée la tension de saturation.
- ✚ Si $V_d > V_{dsat}$: la tension drain-source augmente, la tension de polarisation de la capacité MOS le long du canal change et devient très importante, la densité d'électrons dans la couche d'inversion diminue et la conductance du canal diminue. Il montre un changement sous linéaire du courant de drain, celui-ci commence à saturer progressivement (figure I.12 .c) [33, 34], dans ce cas, la charge au niveau du drain est annulée, le point de pincement s'éloigne du drain d'un décalage ΔL , la tension de seuil est abaissée et l'effet d'avalanche se déclenche pour la longueur critique $L - \Delta L$ [31]. Pour une tension V_{GS} constante, le courant I_D change paraboliquement avec V_{DS} comme indiqué dans la figure (I.12. a) puis atteint un courant constant maximal $I_{D,max}$ tel que [30]:

$$I_{D,max} = \frac{1}{2} \mu_n \cdot C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (I. 10)$$

Lorsque V_{GS} augmente, le courant I_D atteint la saturation, comme indiqué dans la figure (I.12. b)

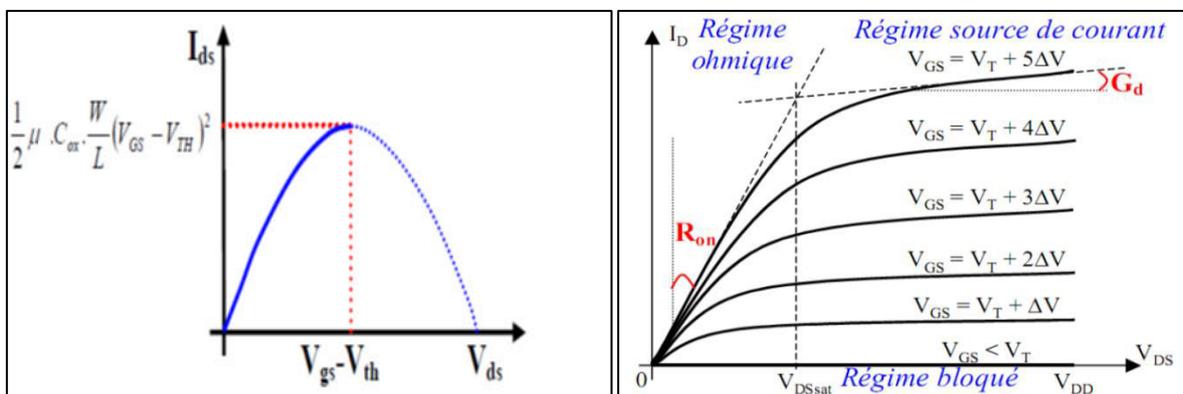


Figure I.12: a) Caractéristique parabolique I_{ds} - V_{ds} , b) caractéristiques typiques I_{ds} - V_{ds} pour différents V_{GS} d'un MOSFET [33, 35].

La figure (I.13) résume l'illustration des équations de courant qui caractérisent chaque régime de fonctionnement.

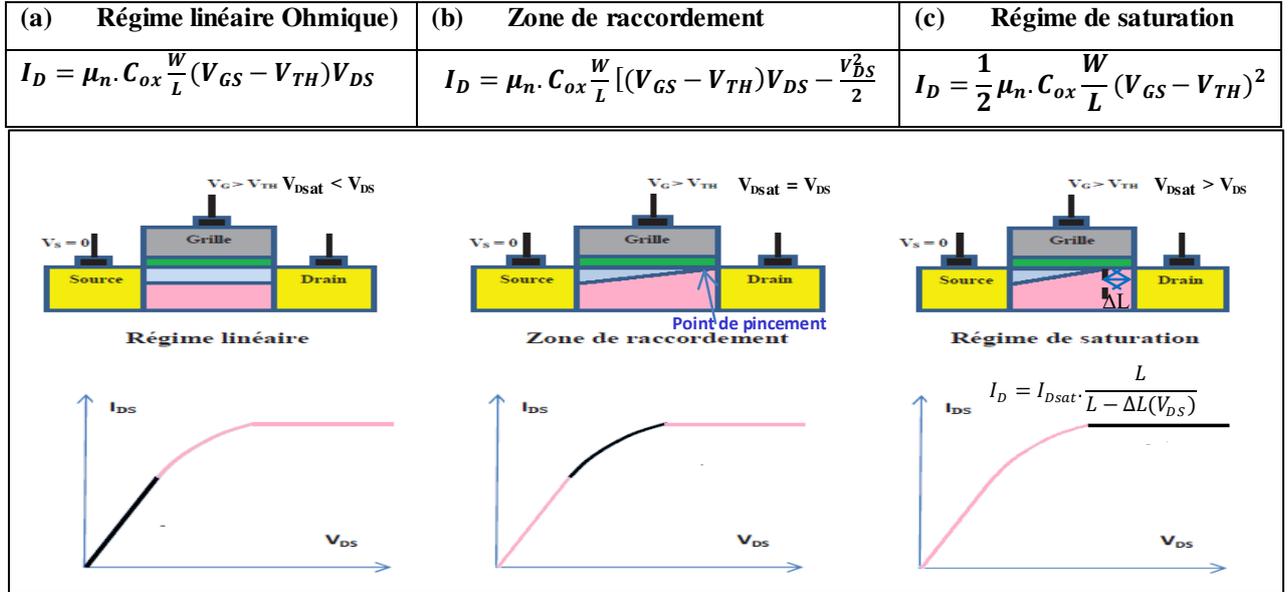


Figure I.13: Illustration des trois régimes de conduction en fonction de la polarisation de drain **a).** régime linéaire **b).** régime de pincement **c).** régime de saturation [34] [18].

I.6.2 La tension de seuil (V_{TH}):

La tension de seuil la plus élevée est un paramètre clé nécessaire dans l'étude de transistor MOS pour les applications logiques à faible puissance (LSTP), elle est définie comme étant la tension à appliquer sur la grille pour obtenir la forte inversion, c'est-à-dire [36]:

$$\phi_F = \frac{E_F - E_i}{q} = \frac{KT}{q} \ln \frac{N_A}{n_i} \quad (I.11)$$

ϕ_F : le potentiel correspond à l'écart du niveau d'énergie de Fermi (E_F) entre le canal et le niveau intrinsèque (E_i), q : la charge d'électron (1.60×10^{-19} C), K : la constante de Boltzmann, T : la température, N_A : la densité des dopants accepteurs, n_i : la densité intrinsèque des électrons.

Une différence de la tension de seuil est apparue par une quantité égale à la tension de bande plate V_{FB} lorsque l'effet de charge est apporté dans l'oxyde et pour un différence des travaux de sortie (du métal et du semi-conducteur), donc la tension de seuil pour un transistor MOSFET planaire est définie par [37, 38, 32]:

$$V_{TH} = V_{FB} + 2 \cdot \phi_F + V_{OX} = V_{FB} + 2 \cdot \phi_F + \frac{Q_{dep}}{C_{ox}} \quad (I.12)$$

$$Q_{dep} = \sqrt{4 \cdot q \cdot N_A \cdot \epsilon_{Si} \cdot \phi_F} \quad (I.13)$$

Où V_{FB} : est la tension de bande plate soit : $V_{FB} = \phi_M - \phi_{Si}$ avec ϕ_M et ϕ_{Si} : représentent les travaux de sortie du métal de grille et du silicium respectivement.

Q_{dep} : représente la charge de déplétion de la grille, ϵ_{Si} : la constante diélectrique du silicium (1.03×10^{-12} F/cm), C_{ox} : La capacité de l'oxyde :

$$C_{ox} = (\epsilon_{ox}/t_{ox}) \quad (I.14)$$

L'expression (I.12) est valable pour un transistor à canal long [36], la valeur typique de la tension de seuil d'un nano-MOSFET est comprise entre 0.2 et 0.4V (figure I.14) [39].

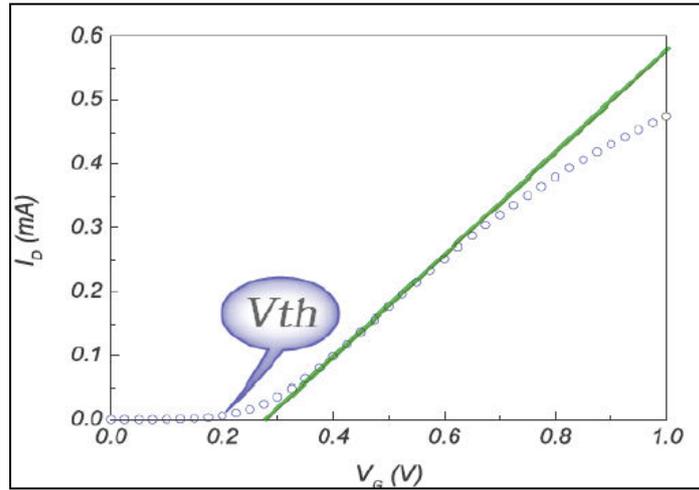


Figure I.14: la tension de seuil (V_{th}) pour un transistor n-MOSFET [40].

I.6.3 La pente sous seuil (SS):

C'est un paramètre important correspond au passage de transistor de l'état bloqué à l'état passant, ce paramètre signifie également l'augmentation du courant d'une décade pour une variation nécessaire de la tension de grille, elle est exprimée en : (mV/déc), plus sa valeur est faible, plus la commutation du transistor et la vitesse du circuit deviennent meilleures, l'inverse de la pente sous le seuil est donné par l'expression suivante [38]:

$$SS = \frac{1}{\frac{\partial(\log_{10} I_D)}{\partial V_G}} = n \frac{kT}{q} \ln(10) \quad (I.15)$$

Où n : appelé le facteur de substrat tel que : $n=1+ (C_{dep} / C_{ox})$ [38].,

$C_{dep} = \frac{\epsilon_{Si}}{W}$ et C_{ox} : sont les capacités de déplétion et de l'oxyde de grille, ϵ_{Si} et ϵ_{ox} : les permittivités diélectriques du silicium et de l'oxyde de grille, W : est la profondeur de la région de déplétion, t_{ox} : est l'épaisseur d'oxyde de la grille [27].

Théoriquement, la limite de la pente sous seuil dépend du phénomène de diffusion à 300 K, et sa valeur fixe est égale à : $2,3 (kT / q) \approx 60 \text{ mV / dec}$ [41].

l'expression de la pente sous seuil graphiquement est donné par l'expression suivante: (figure I.15) [41, 42]:

$$SS = \frac{V_{TH}}{\log(I_{OFF}) - \log(I_{th})} \quad (I.16)$$

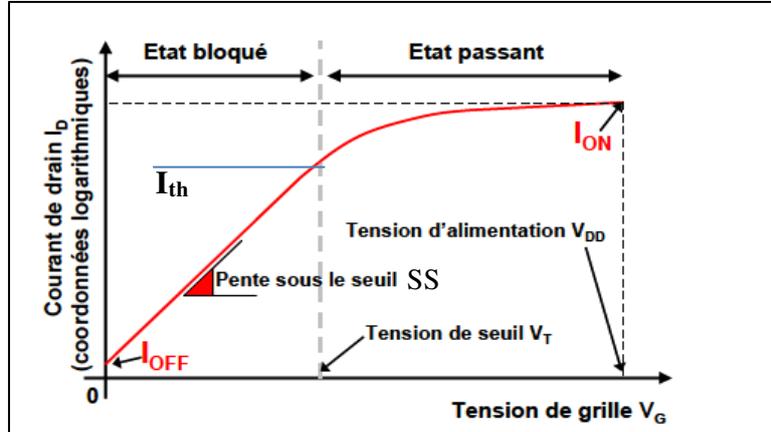


Figure I.15: la relation entre la caractéristique typique du courant de drain en fonction de la tension de grille (I_D - V_G) dans le transistor MOS [27].

I.6.4 Les courants I_{on} et I_{off} :

Ces paramètres présentent des signes de performances des transistors SOI-MOSFET dans les applications logiques. Par conséquent, il est nécessaire d'augmenter le rapport I_{on}/I_{off} pour améliorer le fonctionnement de ce dispositif, où I_{on} présente le courant de drain pour une polarisation $V_{GS} = V_{ds} = V_{dd}$, et I_{off} présente le courant de drain pour une polarisation $V_{GS} = 0$ et $V_{ds} = V_{dd}$, ce courant dépend de la pente sous seuil par l'expression suivante [43, 44]:

$$\log(I_{off}) = \log(I_{th}) - \frac{V_{TH}}{SS} \quad (I.17)$$

Avec I_{th} : le courant de drain lorsque $V_{GS} = V_{TH}$ [7], ces deux courants sont illustrés dans la figure (I.16)

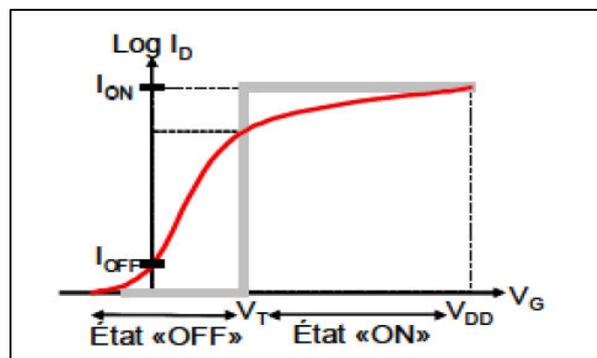


Figure I.16: La caractéristique de sortie $I_D(V_G)$ en échelle logarithmique d'un transistor MOSFET: idéale (en gris), réelle (en rouge) [29].

I.6.5 La transconductance (gm):

La transconductance est une clé importante pour augmenter le fonctionnement de la vitesse des circuits, plus la transconductance augmente plus le dispositif devient plus rapide, alors ce paramètre permet de quantifier la variation de courant de drain avec une variation de la tension source-grille (V_{GS}) tout en maintenant la tension source-drain (V_{ds}) constante, la capacité de la grille à contrôler le passage du courant de drain est caractérisée par la transconductance ou le gain (g_m) qui doit être la plus élevée possible, ce paramètre est défini par:

$$g_m = \left(\frac{dI_d}{dV_{gs}} \right)_{V_{ds}=cte} \quad (I.18)$$

Idéalement, en régime sous seuil g_m est nulle, et lorsque la tension de grille est supérieure à la tension de seuil, g_m est constante [45, 39]. La valeur la plus élevée de la transconductance (g_m) fournit un gain de tension (g_{ds}) plus élevé, lorsque la longueur de canal $L_c < 100$ nm, la transconductance augmente très rapidement et doit être la plus grande possible. La conductance (g_{ds}) du canal est exprimée par [39]:

$$g_{ds} = \left(\frac{dI_d}{dV_{gs}} \right)_{V_{gs}=cte} \quad (I.19)$$

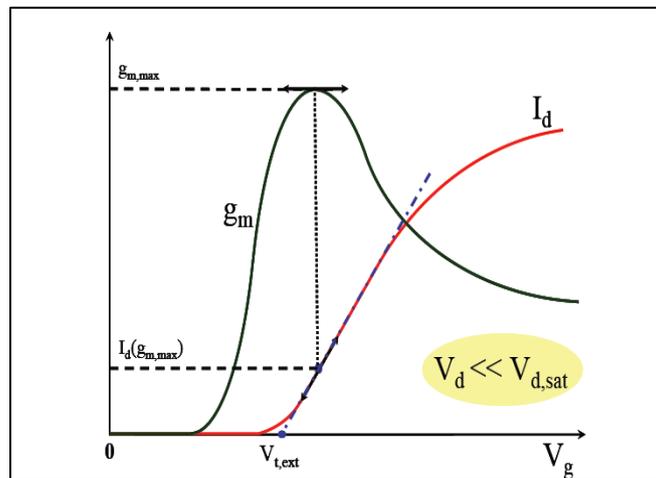


Figure I.17: présentation graphique de la méthode d'extraction de la tension de seuil et de la transconductance (g_m) [41].

I.6.6 Les résistances séries :

La contribution des résistances d'accès de source et de drain (R_{SD}) sur la résistance totale du transistor devient un problème majeur avec la mise en échelle (Loi de Moore) (figure I.18.a), en effet, les résistances source et drain pourraient limiter les performances du transistor SOI-

MOSFET [46], la résistance totale (R_{totale}) se divise en différentes résistances en série pour ce dispositif, elle donnée par la relation suivante:

$$R_{\text{totale}} = R_{S/D} + R_{\text{canal}} \quad (\text{I.20})$$

$$R_{S/D} = 2 \times (R_c + R_{\text{sheet}} + R_{\text{interface}}) \quad (\text{I.21})$$

Où : $R_{S/D}$: la résistance de source et de drain, R_c : la résistance de contact entre les pads et la région S ou D, R_{sheet} : la résistance de la région S ou D, $R_{\text{interface}}$: la résistance entre la zone S ou D et le canal du transistor, R_{canal} : la résistance du canal [47].

La décomposition de $R_{S/D}$ montre que la valeur de la résistance R_{sheet} est négligeable à cause de la faible distance des technologies auto-alignées entre la région source ou drain et le canal. Cependant, pour les structures massives (bulk (3D)), la valeur de $R_{\text{interface}}$ devient plus difficile à distinguer de la résistance d'accès car la densité de charge devient plus importante.

La figure (I.18.b) présente l'évolution relative de la résistance $R_{S/D}$ par rapport à la résistance totale du MOSFET (R_{totale}) en fonction de la longueur de la grille (L_g). Cette figure montre que la réduction des longueurs (L_g) provoque l'augmentation des résistances $R_{S/D}$ [47].

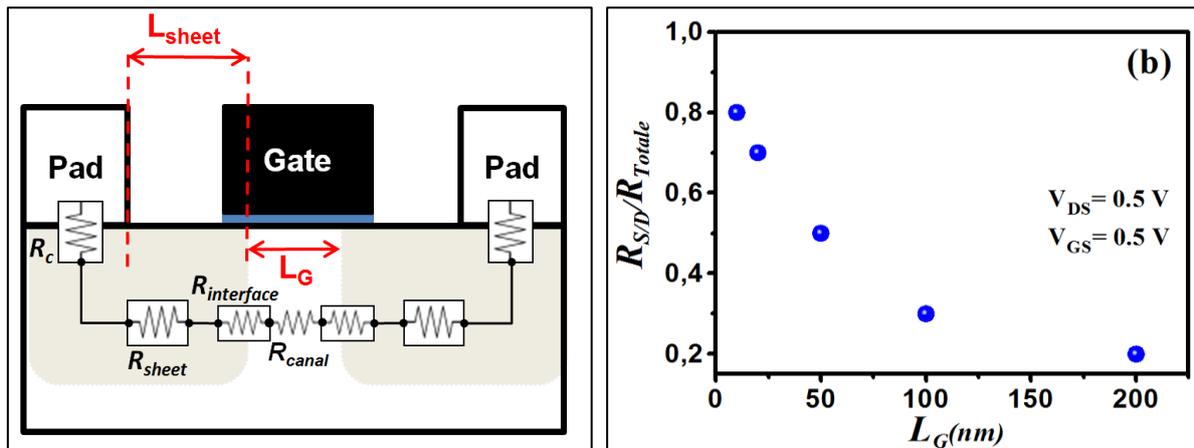


Figure I.18. a) Illustration des résistances participant à la résistance d'accès du MOSFET, b) l'évolution de la résistance en fonction de la longueur de la grille [46].

I.6.7 Les capacités parasites du transistor MOS :

I.6.7.1 Capacité des jonctions source/substrat C_{SB} et drain/substrat C_{DB} :

Ces capacités sont proportionnelles à la surface des jonctions, c'est-à-dire proportionnelles à des zones de diffusion. Généralement, les surfaces de diffusion du drain et de la source sont identiques, donc les capacités C_{SB} et C_{DB} peuvent donc s'écrire: $C_{SB} = C_{DB} = W \cdot L_j \cdot C_j$, Où C_j : est la capacité de jonction par unité de surface. Ces capacités sont illustrées dans les figures (I.19.a) et (I.19. b).

I.6.7.2 Les capacités de la grille :

- **La capacité totale de la grille :** la capacité totale de la grille est de l'ordre de grandeur de $W.L.C_{ox}$, quel que soit le régime de fonctionnement du transistor.

- **La capacité intrinsèque grille/canal :** lorsque le transistor est dans l'état passant, cette capacité est due aux charges distribuées le long du canal, elle est donnée par la somme des deux capacités: capacité grille / source (C_{GS}), et la capacité grille / drain (C_{GD}) (capacité totale) comme il est montré dans les figures (I.19.b), (I.19.c).

En régime linéaire (ohmique): la capacité grille / canal est égale à: WLC_{ox} , alors les charges du canal sont divisées en deux [48]. En régime saturé: le canal est pincé du côté de drain, alors la capacité est due entièrement de la source.

- **La capacité grille/substrat:** cette capacité ne se produit que lorsque le transistor est dans l'état bloqué (figure I.19.d), sinon, le canal conducteur se comporte comme un écran électrique [48].

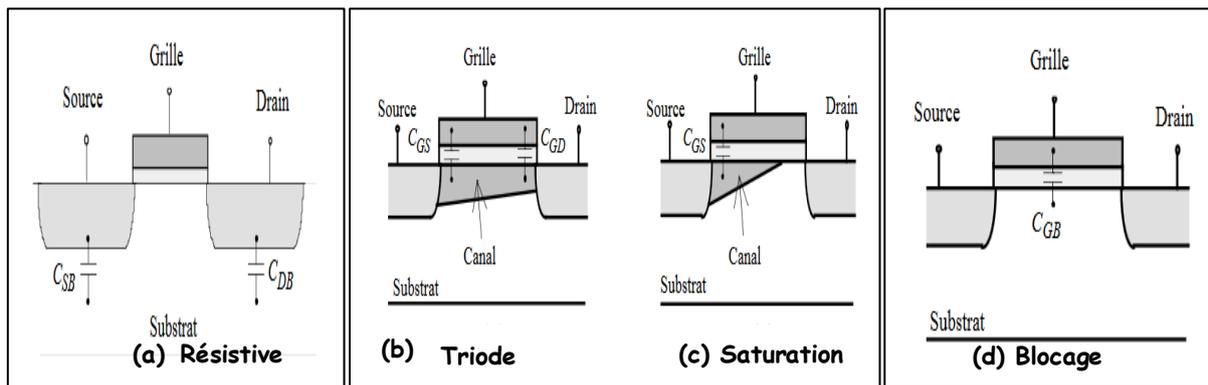


Figure I.19 : capacités intrinsèques du transistor MOS : **a)** capacités de jonctions du transistor MOS (résistive), **b)** en régime linéaire (ohmique), **c)** en régime saturé, **d)** capacité grille/substrat d'un dispositif MOS bloqué [48].

Les équations globales de ces capacités pour les différents modes de fonctionnement sont résumées dans le tableau suivant :

Zone d'opération	Triode	saturation	blocage
C_{GS}	$C_{ox} W \cdot L / 2$	$(2/3) C_{ox} W \cdot L$	0
C_{GD}	$C_{ox} W \cdot L / 2$	0	0
C_G (total)	$C_{ox} W \cdot L$	$(2/3) C_{ox} W \cdot L$	$C_{ox} W \cdot L$
C_{GB}	0	0	$C_{ox} W \cdot L$

Tableau I.4: Les expressions de différentes capacités de la grille ainsi que sa capacité totale pour les différentes zones de fonctionnement.

I.7 Les performances principales de transistor SOI-MOSFET:

I.7.1 La densité d'intégration:

La densité d'intégration présente le nombre des dispositifs SOI-MOSFETs réalisés sur la même puce (figure I.20), au cours des quatre dernières décennies, ce nombre a augmenté en raison de la réduction d'échelle de ces dispositifs, elle est déterminée par la longueur entre source/drain et la largeur de la grille, cette zone est limitée par la taille de la technologie de processus utilisée (par exemple, la longueur des électrodes S/D, l'espace entre le contact et le polysilicium de la grille). En ce qui concerne la densité d'intégration, la principale considération est de savoir comment obtenir un niveau de courant élevé avec une courte longueur où largeur de grille à mesure que la taille du dispositif est fixée [49].

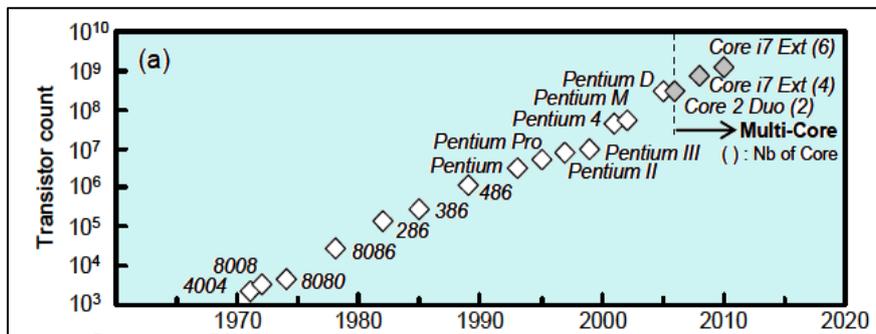


Figure I.20 : Le nombre des transistors dans les puces de microprocesseur d'Intel [50, 51].

I.7.2 Le compromis de l'énergie dissipé:

Les courants I_{on} et I_{off} sont des paramètres reflétant les performances des dispositifs SOI-MOSFETs, Ils peuvent déterminer la puissance consommée, la tension d'alimentation et la vitesse de commutation du transistor. Pour cela les performances d'un circuit CMOS peuvent être définies par sa fréquence de travail F , et la puissance consommée en régime dynamique et en régime statique, noté respectivement P_{dyn} et P_{stat} [49]:

$$P_{dyn} = n \cdot I_{on} \cdot V_{dd} \quad (I.22)$$

où n : le nombre des transistors à l'état passant par unité de temps

$$P_{stat} = m \cdot I_{off} \cdot V_{dd} \quad (I.23)$$

où m : le nombre des transistors à l'état bloqué par unité de temps

$$F = \frac{I_{on}}{C_{ox}W.L.V_{dd}} \quad (I.24)$$

Pour réduire la puissance statique dissipée, le courant I_{off} doit être le plus faible possible, alors il est nécessaire d'obtenir un courant I_{on} élevé afin d'avoir un faible temps de commutation

pour assurer le bon compromis de rapport I_{on} / I_{off} , et donc la fréquence de commutation la plus élevée possible. Le courant I_{on} peut être optimisé par plusieurs méthodes:

- soit par l'augmentation de la capacité d'oxyde C_{OX} , c'est-à-dire en réduisant l'épaisseur d'oxyde t_{ox} (équation I.14).
- soit par l'augmentation de la tension d'alimentation V_{DD} .
- soit par la réduction des dimensions telle que la longueur de grille L_g [27].

La figure I.21 présente la consommation d'énergie pour les circuits CMOS en fonction de la réduction de la longueur de grille des MOSFETs et avec des nouveaux processus technologiques, pour lesquelles la consommation de puissance statique augmente par rapport à la consommation en puissance dynamique. Alors l'atténuation de la consommation d'énergie statique est un enjeu majeur pour les circuits CMOS submicronique dans l'avenir proche [49].

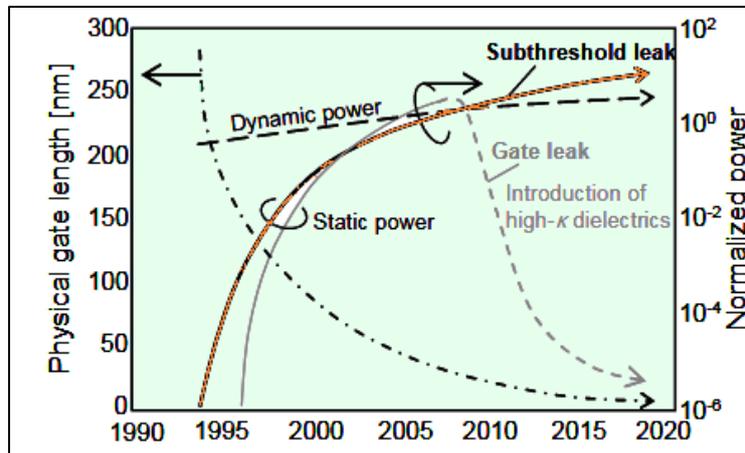


Figure I.21 : Les courants de fuite augmentent avec la réduction des longueurs de grille (données de l'ITRS) [52].

I.7.3 Le temps de commutation (τ):

Plusieurs paramètres caractérisent les transistors MOS, parmi eux le temps de commutation intrinsèque τ qui indique le temps nécessaire au transistor pour passer de l'état bloqué à l'état passant et il est donné par la relation:

$$\tau = \frac{C_{ox} V_{dd}}{I_{on}} \quad (I.25)$$

Avec : V_{dd} : la tension d'alimentation, C_{ox} : la capacité d'oxyde : $C_{ox} = C_{ox1} \cdot W \cdot L$, où C_{ox1} : est la capacité de la grille.

Évidemment, le temps de commutation doit être réduit au maximum, et on peut noter que la réduction de temps est obtenue par l'augmentation de courant I_{on} (I_d) de transistor, et par

l'optimisation de C_{ox} [34]. Historiquement, cette expression a été largement utilisée comme référence pour la vitesse du SOI-MOSFET (figure I.21). En effet, on peut facilement quantifier les performances relatives sans fabriquer les circuits [49].

I.8 Perte du contrôle électrostatique du canal et réduction des performances: les effets de canal courts:

La réduction de la longueur de canal du transistor nanométrique SOI-MOSFET provoque de nombreux effets néfastes, ces problèmes de propriétés physiques et quantiques perturbent le bon fonctionnement et réduisent ainsi le contrôle électrostatique du canal de ce dispositif, alors la question qui se pose est la suivante: Quels sont les effets indésirables qui limitent la réduction des dimensions des technologies SOI-MOSFET? Et limitant ainsi le fonctionnement des circuits CMOS ? Ces effets sont classés comme suit:

I.8.1 Les effets liés à la séparation physique ultra-courte entre la source et le drain:

➤ Effets de la modulation de la longueur du canal (effet Early) :

La longueur du canal (L) est l'une des dimensions les plus critiques dans la technologie CMOS. Lorsque la tension drain-source atteinte la tension de saturation, le pincement s'effectue au niveau du contact du drain pour des tensions supérieures à la tension V_{dsat} , le point de pincement se déplace d'une distance ΔL vers la source (figure I.22). Le courant de drain augmente et il est donné par [53]:

$$I_D = I_{dsat} \left(\frac{L}{L-\Delta L} \right) \quad (I.26)$$

La longueur (ΔL) de la zone de déplétion soumise à une différence de potentiel $\Delta V = V_D - V_{Dsat}$ qui, peut être déterminée en utilisant l'équation de Poisson suivante:

$$\frac{d^2V}{dx^2} = \frac{\rho}{\epsilon_s} = \frac{eN_A}{\epsilon_s} \quad (I.27)$$

Avec ρ : la charge d'espace, ϵ_s : la constante diélectrique du semi-conducteur, e : la charge d'électron, et N_A : la densité d'accepteurs.

Une double intégration de l'équation de poisson permet de déterminer $V_D - V_{Dsat}$:

$$(V_D - V_{Dsat}) = \frac{eN_A}{2\epsilon_s} \Delta L^2 \quad (I.28)$$

$$\Delta L = \sqrt{\frac{2\epsilon_s}{eN_A} (V_D - V_{Dsat})} \quad (I.29)$$

Pour les transistors à canaux courts, ΔL est proche de la longueur de grille L_g , ceci entraîne la croissance du courant de drain en régime de saturation.

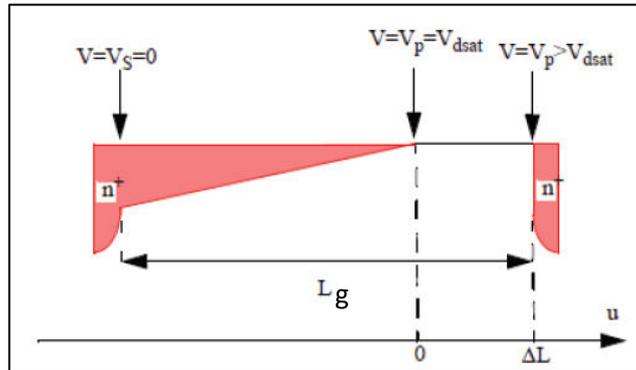


Figure I.22 : Déplacement du point de pincement du canal [54].

➤ **Le perçage:**

L'effet de perçage (punch-through) se traduit par l'élargissement de la zone de déplétion du canal dans les deux côtés pour des tensions de drain (V_{DS}) élevées *figure (I.23)*, ce phénomène dépend de la hauteur de la barrière de potentiel entre la source et le drain à travers le volume du substrat. Il est fortement lié à l'extension des zones de déplétion sous le canal. Un dopage optimisé peu utilisé pour réduire le perçage, cet effet signifie également que la pente sous le seuil diminuera légèrement et qu'il y aura un courant de fuite plus élevé à l'état bloqué (I_{off}) contrôlé par la tension V_{DS} [55].

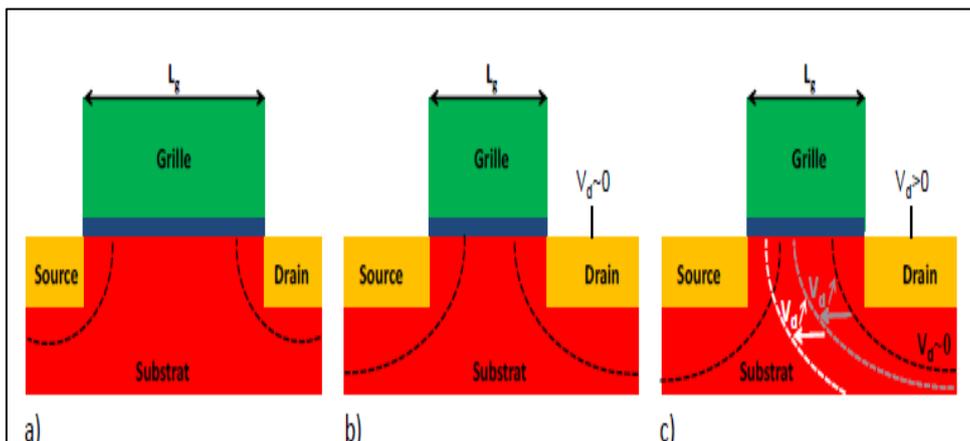


Figure I.23: Effet du perçage volumique [56].

➤ **Effet de l'abaissement de la barrière de potentiel induite par le drain (DIBL) :**

Le DIBL (Drain Induced Barrier Lowering) : est un effet indésirable dû à la réduction de la longueur du canal L , il abaisse la barrière de potentiel qui constitue le canal entre les zones de source et de drain (*figure I.24.a*), cet effet se caractérise par une chute de la tension de seuil

V_{TH} pour les nanodispositifs qui est dû à l'influence croissante du champ électrique latéral sur le potentiel du canal, autrement dit de la polarisation du drain V_d , et un décalage de la courbe I_d-V_g vers les tensions de seuil les plus basses lorsqu'on diminue la taille de la grille (figure I.24.b) [57].

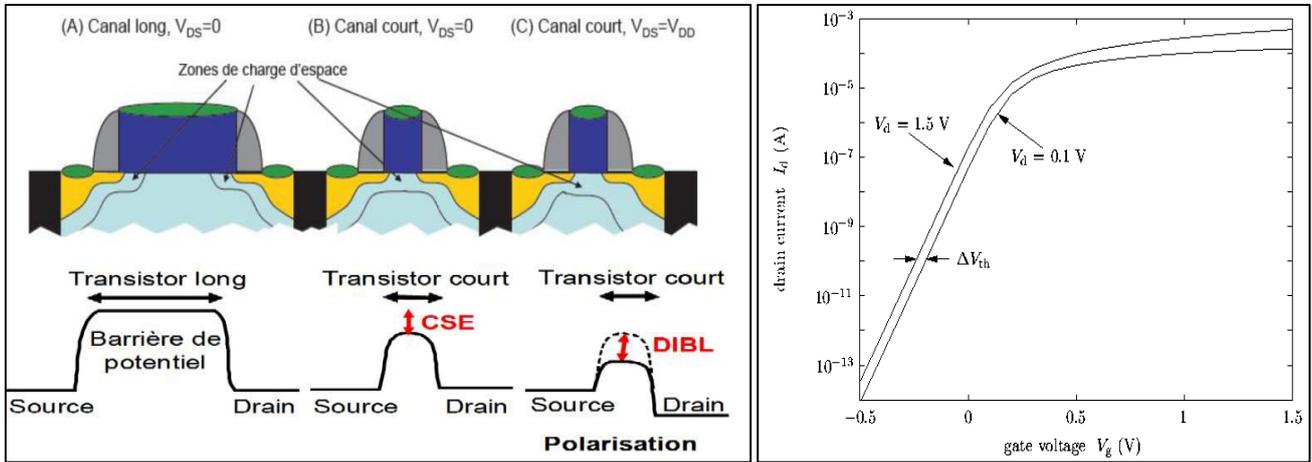


Figure I.24: a) Abaissement de la barrière induite par le drain dans un dispositif à canal court [24], b) Courbes de transfert pour des tensions de drain de 0.1V (régime linéaire) et 1.5V (régime de saturation) [58].

Si la tension de drain continue à augmenter et la longueur de canal continue à diminuer, l'effet DIBL deviendra plus significatif [59]. Dans la caractéristique I_d-V_{gs} , le DIBL est exprimé par la variation de la tension de seuil (V_{TH}) par rapport à la variation de la tension de drain (figure I.24.b). Ce paramètre est alors donné par l'expression suivante :

$$DIBL = \frac{\Delta V_{TH}}{\Delta V_d} \quad (\text{mV/V}) \quad (\text{I.30})$$

➤ Effet de partage de charge :

L'effet du partage de charge (Charge Sharing Effects) (CSE) : est un effet parasite résultant de la miniaturisation de la longueur de grille et donc du canal, cet effet provoque une perte de contrôle électrostatique de la grille, par conséquent, pour les transistors longs, le potentiel le long du canal est presque plat (constant) sur toute la longueur de grille. Donc plus la longueur de la grille (ou bien de canal) diminue, plus le chevauchement des extensions de la zone de charge d'espace des régions source et drain augmente, ainsi la quantité de charge contrôlée par la grille dans la zone de désertion diminue (figure I.25). Ce qui permet de modifier le potentiel au centre du canal et donc abaisser la barrière de potentiel source/canal/drain [29].

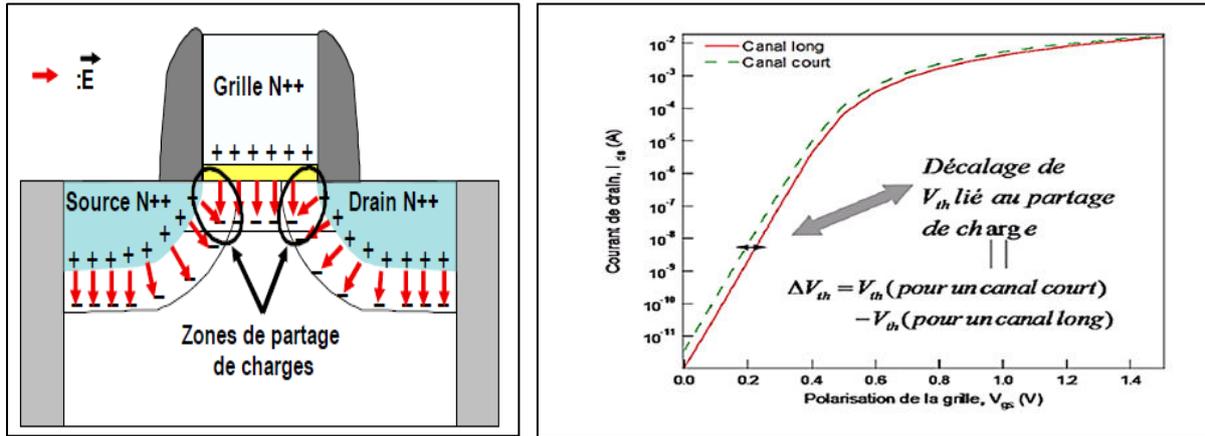


Figure I.25: a) illustration de l'effet de partage de charge (CSE), b) les caractéristiques courant-tension (I_{ds} - V_{gs}) indiquent l'impact de l'effet du partage de charge dans le transistor MOS pour $V_{DS} = 1$ V [29, 42].

➤ La réduction de la tension de seuil V_{TH} :

La perte de contrôle électrostatique de la grille dans le cas d'un transistor à canal court se traduit par l'effet de partage de charge qui correspond à un abaissement de la tension de seuil V_{TH} , ce résultat s'observe sur la courbe de la tension de seuil en fonction de la longueur du canal (figure I.26) [56, 60].

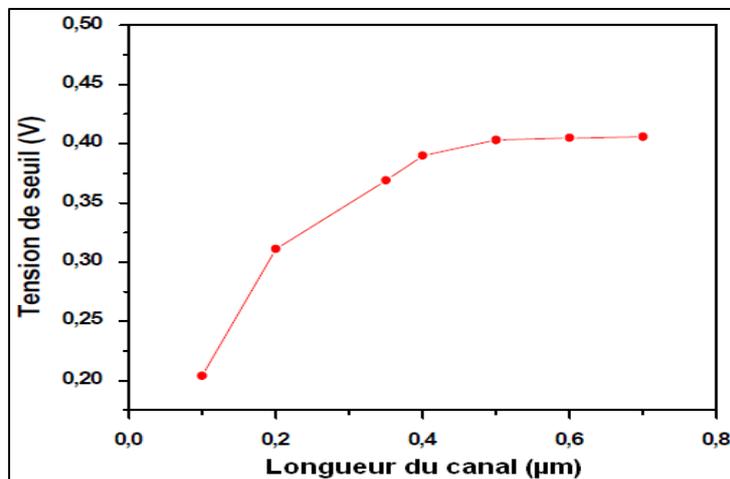


Figure I.26: L'impact de la variation de la longueur de canal sur la tension de seuil pour $V_{DS} = 1$ V [(Résultats obtenus par le simulateur ISE-TCAD-Sentaurus)][61].

Par rapport au cas idéal du transistor long, Il existe un outil simple, appelé la transformation de la tension de dopage, modèle VDT «voltage doping transformation», proposé par T. Skotnicki [62] qui peut être utilisé pour estimer l'impact des effets de réduction des dimensions telle que la longueur de la grille ou la tension de drain sur les paramètres

électriques, l'expression ci-dessous présente le modèle VDT lié à la réduction de la tension de seuil associé aux SCE et DIBL pour un transistor de longueur L réduite [63]:

$$V_{th \text{ canal court}} = V_{th \text{ canal long}} - \Delta V_{th} \quad (I.31)$$

$$V_{th \text{ canal court}} = V_{th \text{ canal long}} - \text{SCE} - \text{DIBL} \quad (I.32)$$

Avec $V_{th \text{ canal court}}$, $V_{th \text{ canal long}}$, et ΔV_{th} : sont la tension de seuil d'un transistor à canal court et la tension de seuil d'un transistor à canal long (l'équation (I.12)), et le décalage de la tension lié au DIBL respectivement [64] (figure I.27).

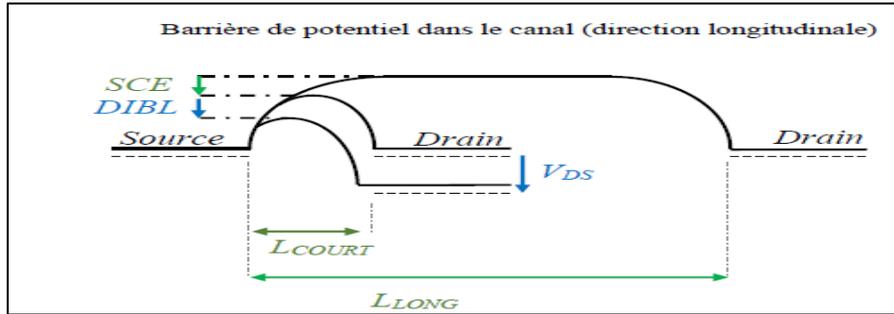


Figure I.27: (a) illustration de DIBL et SCE pour deux transistors l'un à canal long et l'autre à canal court [63].

Donc les effets de canaux courts se résument par une perte de contrôle électrostatique de la grille sur le canal exprimé à l'aide de l'intégrité électrostatique (EI) donnée par:

$$\text{SCE} = 0.64 \times \frac{\epsilon_s}{\epsilon_{ox}} \times \text{EI} \times \Phi_d \quad (I.33)$$

$$\text{DIBL} = 0.8 \times \frac{\epsilon_s}{\epsilon_{ox}} \times \text{EI} \times V_d \quad (I.34)$$

Où : ϵ_s : la permittivité de semi-conducteur, ϵ_{ox} : la permittivité de l'oxyde, Φ_d : La hauteur de barrière du canal, **EI**: l'intégrité électrostatique dont la modélisation varie en fonction de l'architecture géométrique du dispositif, il permet de mesurer l'influence du potentiel électrique de drain dans le canal qui est dépend aux effets de canaux court (SCE et DIBL) [65].

➤ **Augmentation de la pente sous seuil (SS):**

Une pente sous seuil plus faible peut améliorer considérablement le compromis haute performance / basse consommation d'énergie, car elle peut augmenter I_{ON} (en réduisant V_{th}) sans augmenter I_{Off} [66], lors de la taille de transistor, l'effet de partage de charge permet l'augmentation du courant et de la pente sous seuil. La figure suivante illustre un résumé des effets de canal court dans la caractéristique I_D - V_G .

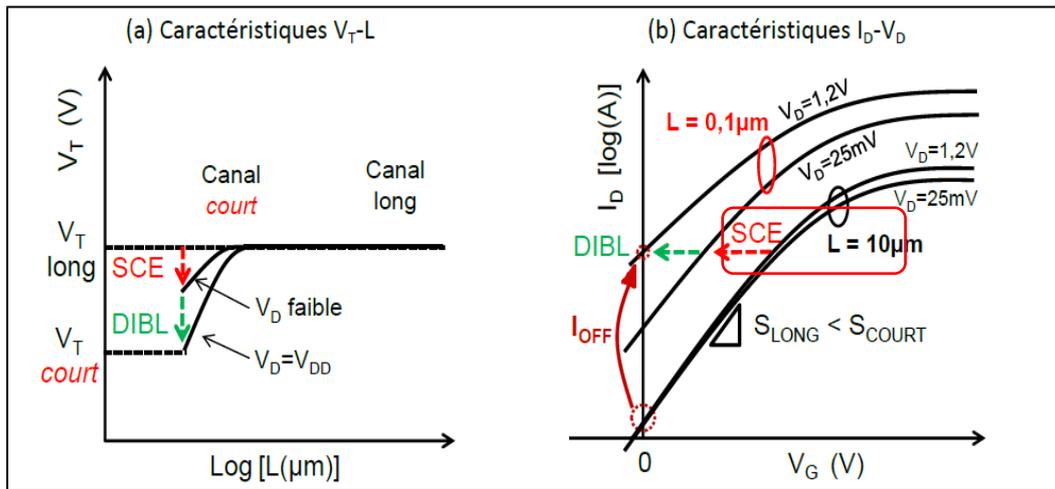


Figure 1.28: a) Influence des effets canaux courts SCE et DIBL sur les caractéristiques (V_T -L), b) caractéristique (I_D - V_G) [35].

I.8.2 Les effets liés au champ électrique longitudinal:

❖ Effet des porteurs chauds :

Le champ électrique longitudinal peut atteindre des valeurs significatives lorsqu'on augmente la tension de drain et diminue la longueur du canal, ce champ génère des porteurs dits porteurs chauds ceux-ci accueillent une énergie élevée qui ne peut pas être complètement dissipés lorsqu'ils atteignent leur destination. Ils peuvent provoquer des dommages lorsqu'un excès d'énergie est transféré au réseau de matériaux [28].

❖ La saturation de la vitesse des porteurs (Phénomène de survitesse):

Lors de la réduction des tailles du dispositif SOI-MOSFET vers l'échelle nanométrique, des variations rapides du champ électrique et de la concentration des porteurs apparaissent, ce qui produit le phénomène de survitesse, dans lequel la vitesse des porteurs dépasse la vitesse de saturation [67], cependant, lorsque le champ électrique (E) atteint une valeur de 10^4 V / cm (dans le cas du silicium), la vitesse des porteurs tend à augmenter plus lentement jusqu'à atteindre la saturation à une vitesse de 10^7 cm /s pour une valeur du champ électrique (E) autour de 10^5 V / cm, ce phénomène permet d'augmenter la capacité du SOI-MOSFET par rapport au courant de conduction [28, 67].

❖ L'effet thermique:

Lors de fonctionnement d'un MOSFET, la puissance électrique génère une certaine quantité de chaleur par effet joule. De plus, la puissance sera élevée plus la température du canal augmentera, cependant, les paramètres physiques tels que la mobilité, la tension de seuil et la

vitesse de saturation sont dépendantes de la température [14], lorsque la température ou la puissance dissipée augmente, la mobilité diminue, ce qui conduit à une diminution du courant I_{ds} , par conséquent, la puissance dissipée sera diminuée avec la température, il s'agit du phénomène d'auto-échauffement [68, 69].

I.8.3 Les effets liés à la grille :

❖ La déplétion de grille :

L'utilisation de polysilicium de grille entraîne la déplétion des porteurs en régime d'inversion ce qui est appelé : la déplétion du polysilicium de grille, ce phénomène se traduit par une diminution du courant de saturation I_{on} et une augmentation effective de l'épaisseur d'oxyde, ce qui conduit la réduction du contrôle de la grille [42] . Les longueurs courtes de la grille correspondent à la détérioration du courant (I_{on}) comme il est présenté dans la figure (I.29).

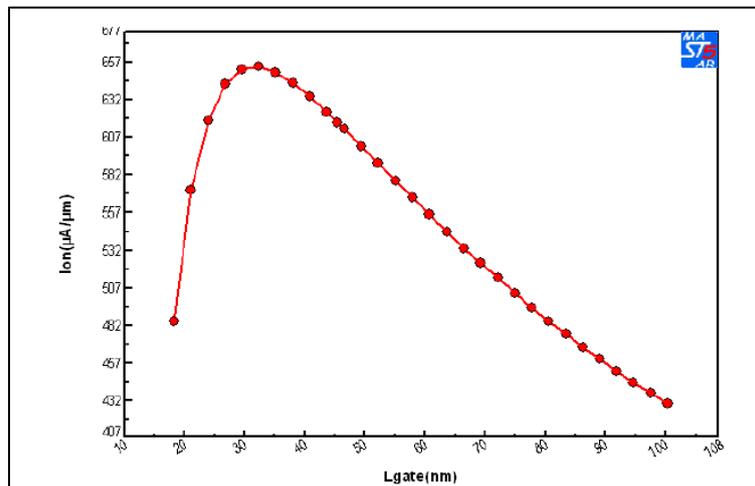


Figure I.29: le courant I_{on} en fonction de la longueur de grille pour un transistor bulk [31].

I.8.4 Les effets liés au faible d'épaisseur d'oxyde:

Tout en réduisant la longueur du canal L , l'épaisseur d'oxyde de la grille doit être réduite pour surmonter l'effet de canal court et améliorer le contrôle du canal de conduction [42], pour les épaisseurs inférieures à 2 nm, la couche d'oxyde devient suffisamment mince pour permettre aux porteurs de passer par l'effet tunnel direct, pour des faibles épaisseurs d'oxyde le courant de grille est plus significatif dans le canal, l'apparition de ce courant entraînera une augmentation du courant à l'état bloqué, et donc une augmentation de la consommation d'énergie, ce qui perturbe également le bon fonctionnement du transistor à l'état passant, car les électrons du canal peuvent s'échapper vers la grille à travers la grille d'oxyde. [70].

I.9 L'amélioration des performances des SOI-MOSFETs: les nouvelles architectures SOI-MOSFETs:

Afin d'examiner le contrôle électrostatique et d'améliorer les performances des transistors SOI-MOSFETs, les chercheurs ont proposé quelques solutions technologiques (figure I.30) [9, 10]:

- La première solution: est l'utilisation des nouveaux matériaux diélectriques dans la grille, notamment les matériaux diélectriques à haute permittivité (high-k) (figure I.30. a).
- La deuxième solution: implique l'utilisation des matériaux contraints et à forte mobilité dans le canal (figure I.30. b).
- La dernière solution: est liée à des nouvelles architectures de transistors, comme le développement des architectures des dispositifs multigrilles TMOS (figure I.30. c).

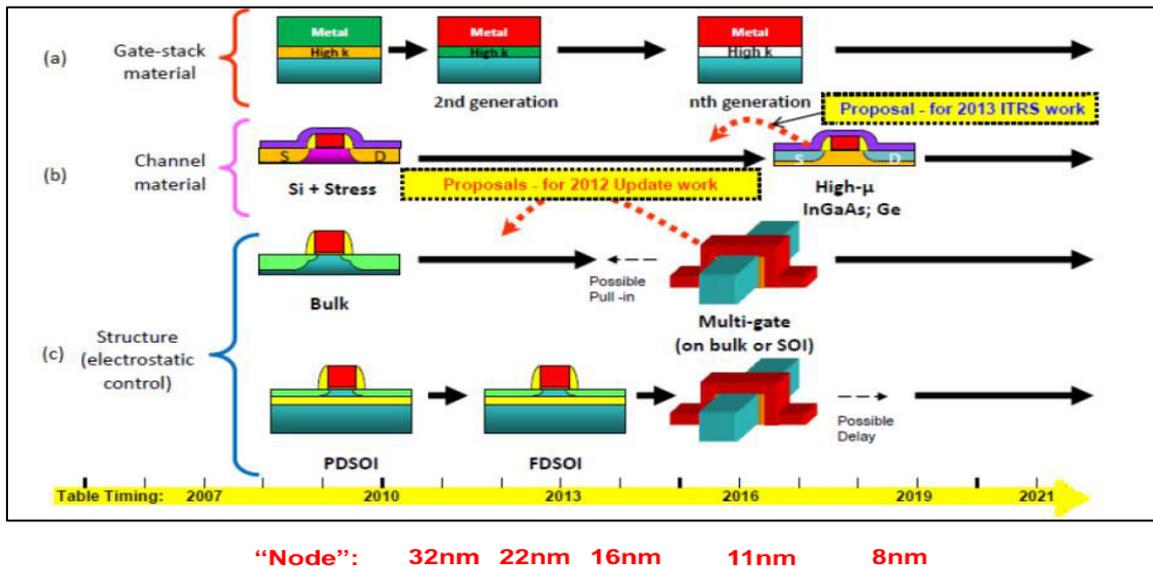


Figure I.30: (a) les principales solutions technologiques: diélectriques de grille "High K", (b) matériaux innovants de silicium contraint et de forte mobilité; (c) les architectures multigrilles [71].

♣ L'insertion des nouveaux matériaux :

a) Réduire l'épaisseur d'oxyde par l'utilisation des oxydes de grille à forte permittivité (matériaux à high-k):

En raison des excellentes propriétés du SiO₂, un développement extraordinaire de la technologie microélectronique devient possible, cependant, il existe un risque d'accélération de la réduction de l'épaisseur d'oxyde dans le futur qui ne peut bénéficier aux avantages du

SiO₂, la question qui se pose est de savoir quel est le matériau qui doit remplacer le SiO₂? [11, 72].

Les diélectriques jouent un rôle significatif dans les dispositifs SOI-MOSFETs, la sélection d'oxyde doit répondre à quelques problèmes: avoir une forte permittivité de diélectrique (high-k), bien adapté à la grille et au semi-conducteur et avoir une bonne stabilité thermique, une faible densité de charges fixes et mobiles, et pour réduire le courant de fuite de la grille d'oxyde, il doit avoir un plus grand décalage entre les bandes d'énergie par rapport à celles du SC. Alors pour maintenir le contrôle électrostatique du canal, il doit avoir une épaisseur très mince [47]. Les plus faibles épaisseurs d'oxyde de grille peuvent réduire les fuites de grille, le claquage d'oxyde et la mobilité [73].

Un matériau diélectrique à haute permittivité («high-k») par rapport au SiO₂ peut être utilisé pour une épaisseur de diélectrique plus élevée ($t_{\text{high-k}}$) pour obtenir un épaisseur d'oxyde équivalent plus faible (EOT) (« Equivalent oxide thickness ») qui s'exprime par la relation suivante :

$$EOT = t_{\text{high-k}} \frac{\epsilon_{\text{SiO}_2}}{\epsilon_{\text{high-k}}} = 3.9 \frac{t_{\text{high-k}}}{\epsilon_{\text{high-k}}} \quad (\text{I.35})$$

avec $t_{\text{high-k}}$: l'épaisseur d'oxyde à haute permittivité, ϵ_{SiO_2} : la permittivité d'oxyde de silicium, $\epsilon_{\text{high-k}}$: la permittivité d'oxyde à haute permittivité k [74].

L'équation de la capacité d'oxyde de la grille devient :

On peut voir à partir de cette expression que l'épaisseur d'oxyde EOT peut s'accroître en augmentant la permittivité diélectrique du matériau tout en conservant la même valeur de la capacité (capacitance Equivalent thickness) ($EOT \approx CET$). Généralement, les différents matériaux pouvant remplacer le SiO₂ selon leur permittivité diélectrique (k) sont divisés en trois catégories comme le montre le tableau suivant:

Classe des matériaux	la permittivité de diélectrique (k)	Matériaux
Modeste-k	entre 5 et 10	Si ₃ N ₄ , SnO₂ , Al ₂ O ₃
High-k	entre 10 et 50	ZrO₂ , HfO ₂ , ZrSiO ₄ , HfSiO ₄ , Y ₂ O ₃ , La ₂ O ₃ , Gd ₂ O ₃ , Ta₂O₅etc
Very high-k	k >50.	TiO₂ ,

Tableau I.6: Classification des matériaux à high-k (les caractères gras indiquent les matériaux à étudier dans ce travail) [72].

De nombreux matériaux diélectriques de grille ont été utilisés sur les transistors SOI-MOSFETs au lieu de matériau SiO₂, tels que: le dioxyde de zirconium (ZrO₂) et le dioxyde de titane (TiO₂) [75] qui ont une grande permittivité diélectrique (k), le tableau ci-dessous

montre que la bande interdite de la plupart des matériaux à high- κ n'est pas élevée que celle de SiO₂. Par conséquent, On peut également remarquer que la bande interdite des matériaux Ta₂O₅ et TiO₂ sont faibles [72].

Le tableau suivant présente les caractéristiques de certains matériaux à haute permittivité (high-k) les plus couramment utilisés :

High-k	Constante diélectrique (k)	Énergie de bande interdite (e.V)	Discontinuité de la bande de conduction (e.V)	Réduction du courant de fuite comparée au SiO2
SiO2	3.9	9	3.5	--
Si3N4	7	5.3	2.4	--
SnO2	9	3.6-4.2	--	--
Al2O3	~10	8.8	2.8	$\times 10^2$ - 10^3
La2O3	~21	6	2.3	--
Gd2O3	~12	--	--	--
Y2O3	~15	6	2.3	$\times 10^4$ - 10^5
HfO2	~20	6	1.5	$\times 10^4$ - 10^5
ZrO2	~25	5.8	1.4	$\times 10^4$ - 10^5
Ta2O5	~27	4,4	0.36	--
ZrSiO4	10-12	6	1.5	--
HfSiO4	~10	6	1.5	--
TiO2	80-170	3.05	~0	--

Tableau I.7: Propriétés des matériaux high- κ [72].

b) Empilement de diélectrique à haute permittivité dans la grille métallique :

Le polysilicium a été utilisé comme un métal de grille pour une intégration facile avec la technologie CMOS, la barrière en polysilicium souffre également d'une résistance élevée et d'un effet de déplétion, alors l'utilisation des nouveaux métaux peut réduire la résistance et éliminer le phénomène de déplétion de la grille [76], L'intégration de la grille métallique crée également une nouvelle méthode d'ajustement de la tension de seuil grâce son travail de sortie ϕ_{ms} différent de polysilicium (figure I.31) [56]. En effet, le travail de sortie de la grille métallique intervenant directement dans la tension de seuil par $V_{FB} = \phi_m - \phi_s$, alors la modulation de ϕ_{ms} permet d'ajuster la tension de seuil, plusieurs matériaux métalliques pouvant être situés dans le cœur des recherches [73]. Parmi lesquelles les matériaux mid-gap (leur niveau de Fermi est au milieu du gap), et son travail de sortie est identique avec le silicium. On peut citer: le cobalt disilicide (CoSi₂) et le nitrure de titane (TiN) comme des exemples de tels matériaux sur silicium massif [31].

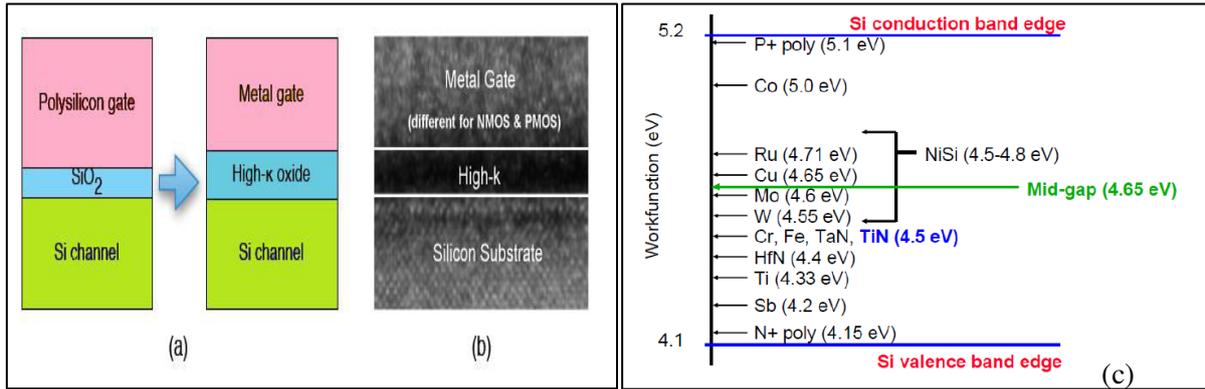


Figure 1.31: **a)** les matériaux high-k et le métal de la grille remplacent SiO₂ et le polysilicium de la grille respectivement **b)** des images microscopie à transmission électronique (TEM) illustrant la permittivité diélectrique high-k et la constante diélectrique du métal de la grille [76], **c)** Travaux de sortie ϕ_{ms} sur silicium de différents métaux et alliages [34].

c) Matériaux pour les régions de source et de drain (Siliciurisation):

La première raison de l'utilisation du siliciure est de réduire la résistance des contacts de la source et de drain et ainsi maximiser le courant I_{ON} du transistor et d'améliorer les performances des circuits intégrés, ce qui nécessite à la fois une réduction de la taille du CMOS, et une augmentation de la densité d'intégration (scaling), et conduit à une augmentation du nombre d'interconnexions pour relier plusieurs transistors entre eux. Pour cette raison, un siliciure est un alliage de métal et de silicium est utilisé, ce matériau est le plus approprié grâce à leurs propriétés thermodynamiques. Pour cette raison, la recherche d'un métal à faible travail de sortie pour les transistors SOI-MOSFET est donc préférable. Les siliciures comme : les siliciures de nickel (NiSi) sont des bons choix [29], celui ayant une résistivité de 10-20 $\Omega\mu m$ [16], en particulier, l'arsenic ou le bore sont implantés pour les régions source/drain avant la formation de NiSi. En raison de la séparation du matériau implanté à l'interface siliciure /canal (ce qui provoque l'augmentation du courant I_{ON}), la hauteur de la barrière de siliciure égal à 0,65eV est ainsi réduite de 0,3-0,4eV. Alors le source et le drain sont préférables implémentés à des couches minces pour obtenir des faibles courant de fuite dans ces dispositifs [29].

d) Introduction de matériau dans le canal:

Actuellement, le carbure de silicium (SiC) est un bon candidat pour remplacer le silicium dans les composants électroniques nanométriques grâce à ses meilleures performances, il est plus attractif que les autres semi-conducteurs à large bande interdite (diamant, AlN, GaN, etc.) ce qui permet d'améliorer l'efficacité énergétique des composants de puissance [77], le carbure de silicium (SiC) est un cristal semi-conducteur ayant un grand gap [78], un champ électrique

critique (E_c) et une vitesse de saturation des porteurs élevée (V_{sat}), ses propriétés rendent la production des composants dans des domaines de fonctionnement ce qui inaccessible jusqu'à présent pour le silicium (Si) [77]. Leurs propriétés physiques et électriques sont très importantes pour de nombreuses applications [78], ce matériau présente également une conductivité thermique (λ) très élevée. Par conséquent, avec des systèmes de refroidissement appropriés, on peut s'attendre à ce que la chaleur dans les composants à base de ces matériaux soit plus facilement évacuée et ait une densité de courant plus élevée que le silicium [79]. Le **tableau I.8** présente les propriétés physiques des différents matériaux, tels que le nitrure de gallium (GaN) et le carbure de silicium (SiC), qui peuvent être comparés au silicium et au GaAs.

Matériau	E_g (e.V)	n_i (cm^{-3})	ϵ_r	μ_n ($cm^2/V/S$)	μ_p ($cm^2/V/S$)	E_c (mV/cm)	V_{sat} ($10^7 cm/s$)	$\lambda(w/cm/k)$
Si	1.1	9.6×10^9	11.8	1450	500	0.2-0.8	1	1.5
2H-GAN	3.39	1.9×10^{-10}	9	900	350	3.3	2.5	1.3
GaAs	1.42	1.8×10^6	12.9	8000	400	0.4-0.9	0.7	0.46
3C-SiC	2.2	1.5×10^{-1}	9.6	900	45	1.2	2	4.5

Tableau I.8: Propriétés physiques des principaux matériaux semiconducteurs à grande gaps comparés aux semiconducteurs classiques Si et GaAs [79].

Actuellement, la croissance d'une couche de Si: C sur un substrat de silicium dans le canal c'est une procédée importante pour améliorer les effets parasites des transistors courts (DIBL, SCE, Ion élevé) [80]. La **figure (I.32. a)** illustre le transistor ultra court Si: C-nMOS, les couches épitaxiales Si: C et l'oxyde de grille montrant une bonne isolation, et ces différentes couches en élargissant le canal (voir **figure (I.32. b)** [41].

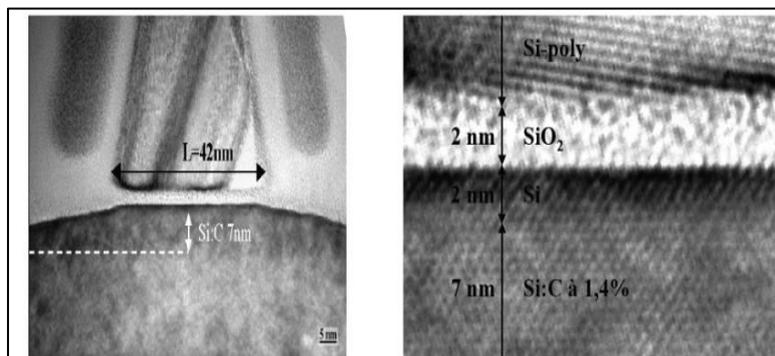
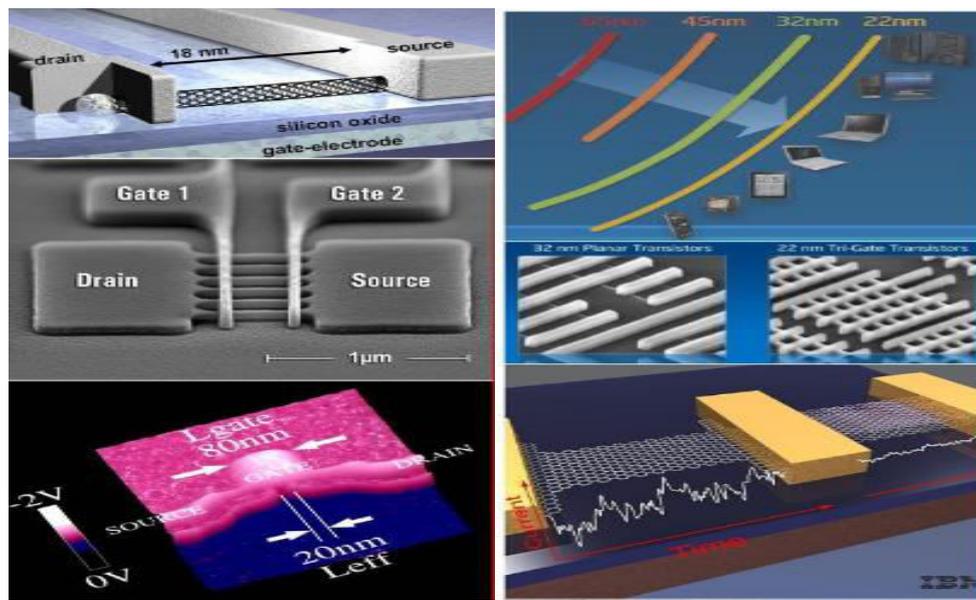


Figure I. 32: a) image TEM (microscope électronique en transmission) pour un transistor n-MOS Si: C ultracourt, **b)** zoom en haute résolution sur le canal du transistor [41].

I.10 Conclusion:

Ce chapitre présente l'architecture de transistor SOI-MOSFET, les domaines d'applications, les différents types, et les différents régimes de fonctionnement de ce dispositif sont également présentés, la technologie à simple grille FD-SOI-MOSFET est intéressante compte tenu des performances électriques, mais offre plusieurs obstacles dans son développement qui se situent au niveau technologique. Plus précisément, elle ne réduit pas l'effet de canal court parce qu'elle a un mauvais contrôle électrostatique de la grille. Les équations de base liées à l'extraction de plusieurs paramètres caractéristiques de ce composant ont été bien détaillées, à mesure que la taille des composants ne cessait pas sa réduction dans les industries de la microélectronique, des effets indésirables appelés: les effets de canal court (SCE) ont été apparus tels que l'atténuation de la tension de seuil (V_{th}), l'augmentation de la pente sous seuil (SS), le DIBL, les courants de fuite Ion et Ioff.....etc, nous avons étudié aussi dans ce chapitre les limites résultant de cette réduction qui permet de trouver des nouvelles clés technologiques pour réduire les effets parasites, des nouvelles techniques sont utilisées pour l'amélioration des performances de transistor MOSFET tels que: l'insertion des nouveaux matériaux dans la grille, source/ drain, et dans le canal, et aussi la tendance vers les architectures multigrilles (double grilles, triple grilles, quadruple grilles...) qui sera présentée dans le chapitre suivant.

Chapitre II: États d'art, Objectifs, développement vers les dispositifs ultramince DG-FinFETs



II.1 Introduction:

Afin d'améliorer les effets de canal court, la tendance vers les architectures à multigrilles (double grilles, triple grilles, quadruple grilles..) a été développée, plusieurs recherches sont focalisées sur la géométrie et les processus de fabrication des transistors FETs, dans ce contexte, on va présenter les états d'art relatifs à la modélisation des dispositifs DG-MOSFETs, ainsi que l'avantage d'utilisation de ce type de transistor par rapport SOI-MOSFET, ensuite, on va détailler l'état d'art des différents paramètres électriques des transistors FETs nanométriques: lors de la variation de quelques paramètres géométriques tels que: (la longueur de la grille (L_g), la hauteur et la largeur des ailettes (H_{fin}) et (W_{fin}), et l'épaisseur d'oxyde (par l'insertion de plusieurs matériaux à haute permittivité de diélectrique (high-k) dans la grille)). On va discuter également l'état d'art de la variation de quelques paramètres physiques tels que : le travail de sortie de la grille métallique (ϕ_{ms}), les dopages de canal (N_a) et de source/drain (N_d), et la température (T) sur les différentes caractéristiques électriques pour plusieurs architectures innovantes. Selon ces diverses recherches, on peut déduire notamment l'objectif principal de cette thèse ainsi que les différentes solutions proposées pour résoudre les problèmes d'atténuation des performances et les effets indésirables de SOI-MOSFET, tels que le développement des dispositifs nanométriques à double grille DG-FinFET, et l'ajout de nouveaux matériaux dans ce dispositif précisément pour : la grille, le canal, la métallisation de la grille, et pour la siliciurisation des électrodes (source/drain)). Ces variations technologiques sont proposées pour la simulation de la caractérisation statique des performances, de ce fait, nous présenterons la géométrie de ce dispositif, ses procédés de fabrication, ses différents types, et ses avantages d'utilisation dans le futur.

II.2 Nouvelles architectures SOI-MOSFET: Tendance vers les transistors à grilles multiples:

La technologie SOI à une seule grille ne réduit pas l'effet de canal court, parce que les lignes de champ électrique équipotentiel de la source et du drain pénètrent dans un oxyde enterré très épais ($10 < T_{BOX} < 100\text{nm}$). La réduction des tailles de ce dispositif conduit à des pertes potentielles dans l'oxyde enterré et à un mauvais contrôle électrostatique de la grille: des effets de canal courts se produisent, et réduisent encore la pente sous seuil [58]. Il est plus pratique de prédire les performances d'un transistor en quantifiant les paramètres majeurs

(dimensions, dopages, capacité, courant ...), cependant, l'ajout d'une grille autour de la couche de silicium peut non seulement favoriser l'isolement du canal de conduction et la protection du canal de conduction, mais également mieux contrôler le canal. Par conséquent, nous voyons deux, trois ou même quatre grilles apparaître dans la structure SOI [81], les architectures multigrilles sont considérées comme des meilleurs candidats dans le futur pour remplacer les technologies SOI-MOSFET, pour continuer la mise en échelle "scaling" (vers les nœuds technologiques 5 nm), et pour résoudre les problèmes de l'effet de canal court.

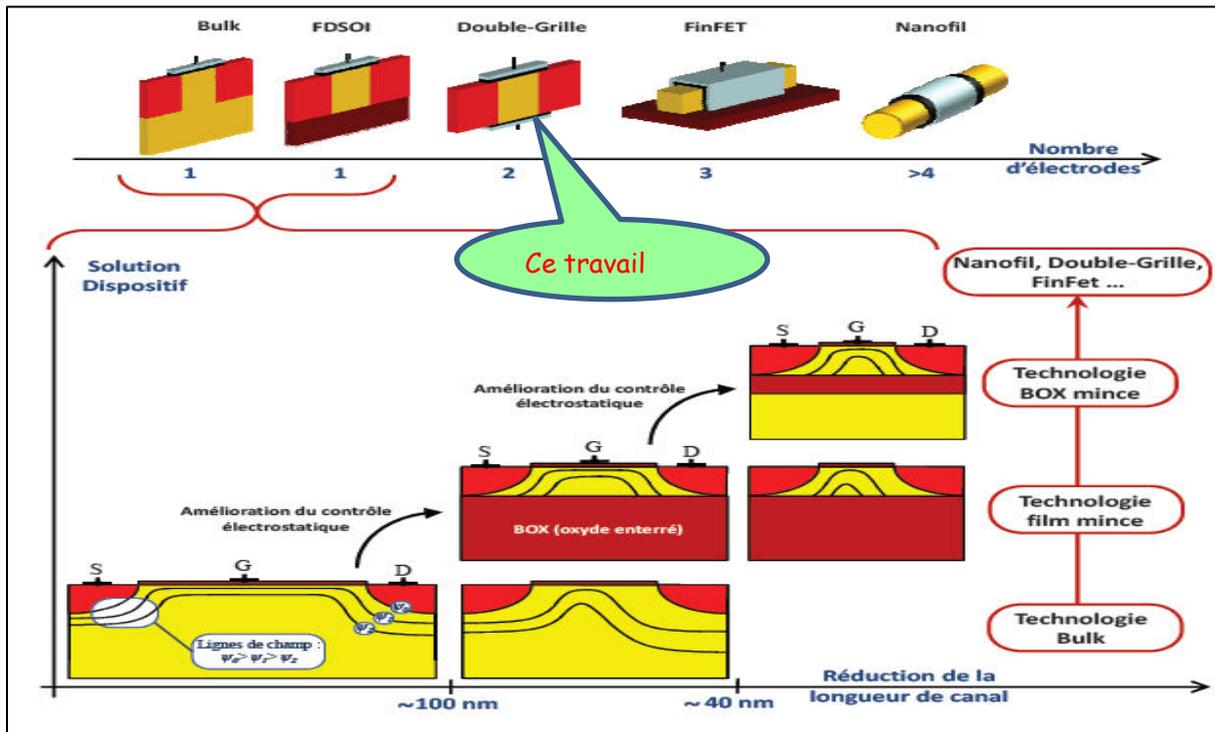


Figure II.1: Évolution des technologies SOI (Silicon On Insulator) d'un point de vue du contrôle électrostatique [82].

La figure II.1 présente les architectures plus importantes en fonction du nombre de grilles qui les constituent, le développement des architectures montre que le nombre de grilles va de : 1 pour les dispositifs sur silicium massif (bulk) et pour les dispositifs FDSOI, et passe de 4 pour les transistors multigrilles (multi-gates) [22]. Depuis la fin des années 1980, les recherches de ces architectures sont basées sur les mêmes substrats que SOI-MOSFET, Il existe également plusieurs dispositifs multigrilles (figure II.2.a) qui sont proposés par: AMD, Hitachi, IBM, Infineon, Intel, TSMC, Freescale, UC Berkeley... [83] tels que les transistors:

- à double grilles (dual gate) (planaire, vertical, ou quasi-planaire (FinFETs))
- à triple grilles (TG) (FinFET, Ω gate, π gate)
- à quadruple grille enrobante (GAA (Gate-All-Around)) ou nanofils (cylindriques ou rectangulaires).

Selon la feuille de route ITRS illustrée dans la figure II.2.b, le transistor DG-FinFET contrôle mieux l'effet de court canal.

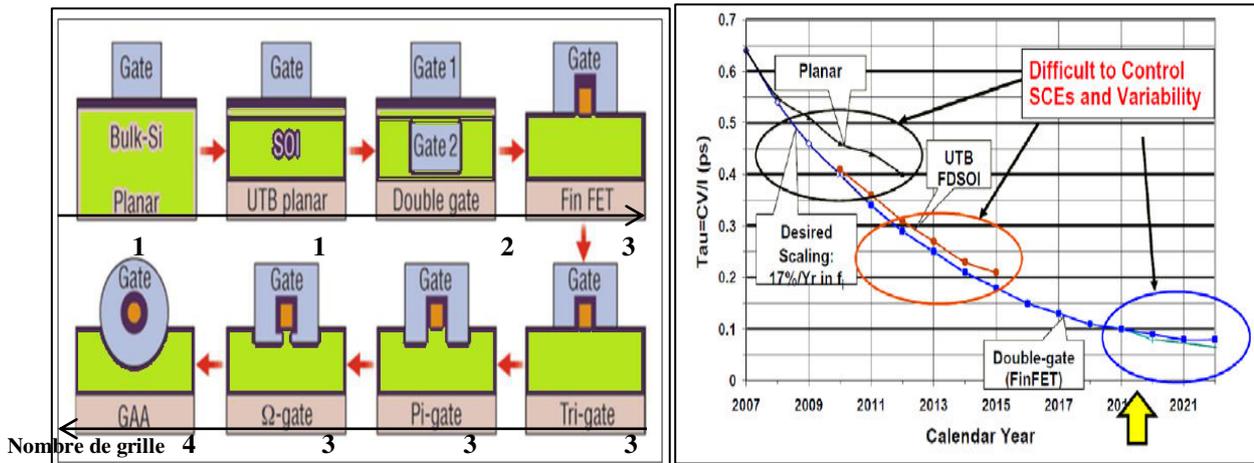


Figure II.2: a) l'évolution de la technologie FET d'une structure à une seule grille à multigrilles (double grille, triple grille (Fin-FET, π -grille, Ω -grille), quadruple grille ou grille enrobée (GAA) [84], b). Feuille de route ITRS pour les moins de 22 nm [83].

Dans cette partie de travail, on s'intéresse à l'état d'art de l'évolution des transistors FETs.

II.3 États d'art de la comparaison des caractéristiques des transistors SOI-MOSFET et des MOSFETs à doubles grilles: développement vers les nanodispositifs DG-FETs:

La technologie à 90nm de 2D-MOSFET planaire a été fondamentalement changée en transistor 3D-FinFET (jusqu'à 10nm technologie) avec des nouvelles conceptions (méthodologies, défis, et processus de fabrication de MOSFET) pour la grille et pour les régions source/drain en suivant le développement de la loi de Moore [85]. La concurrence entre les technologies FD-SOI-MOSFET et DG-FinFET est très intensive lors de la mise à l'échelle (inférieure à 10 nm) [86], de nombreuses recherches ont été effectuées dans la littérature, comparant ces technologies sous les aspects de performance, du coût, de la croissance exponentielle de la consommation d'énergie, et de la sensibilité aux incertitudes de fabrication etc. Cependant, les effets parasites sur les transistors FD-SOI et DG-MOSFET peuvent être très différents dans les circuits MOS plane. Par conséquent, le résoudre de ces problèmes est l'objectif de plusieurs recherches [86, 87, 88, 89, 90], ils ont conclu que le DG-FD-SOI-MOSFET est un candidat de choix approprié pour le futur des circuits CMOS [86], par rapport au SG-FD-SOI-MOSFET, ce dispositif présente : de meilleurs caractéristiques de

transfert des transistors ultraminces [87], de bonnes continuations de la mise en échelle (scaling), d'un meilleur contrôle du courant de fuite (I_{off}) deux fois plus élevé que celle de SG-MOSFET [88], d'une tension de seuil $V_{th} = 2,7$ fois inférieure que celle de SG-MOSFET, et d'un courant I_{on} 2,2 fois supérieur à celle de SG-MOSFET [86, 89], aussi le dispositif DG-FDSOI a réduit les SCE (courant de fuite et DIBL) [87], alors le DG-FD-SOI-MOSFET peut remplacer le transistor SG-MOSFET dans la future pour le développement de la conception des nouvelles technologies [90], et offre la possibilité d'augmenter les performances des applications à faible consommation [89] telles que : les applications analogiques, les circuits logiques et les radiofréquences [87].

Le **tableau II.1** montre l'importance d'utilisation du transistor DG-MOSFET par rapport au SOI-MOSFET grâce à leurs meilleures performances:

comparaison	SOI-MOSFET	DG-MOSFET
conception	+	+
Densité d'intégration	-	+
Atténuation de la puissance dynamique	-	++
Atténuation de courant (I_{on})	+	-
Fabrication	+	-
La variabilité	+	-
Performances	-	++
Conception analogique	+	+
Mise à l'échelle dans le future	-	+

Tableau II.1: Comparaison entre les technologies SOI-MOSFET et DG-MOSFET.

MASTAR (Modèle de Simulation Analogique et numérique des TrAnsistoRs MOS) a été largement utilisé dans le rapport ITRS 2005 [91].

Les **figures (II.3.a) et (II.3.b)** présentent les valeurs de l'abaissement de la barrière de potentiel (DIBL) et de la pente sous seuil (SS) dans les transistors à simple grilles MOSFET-BULK et FDSOI et à double grilles en fonction de la longueur grille/canal [25]. Ces figures montrent que lorsque la longueur de la grille et de canal deviennent plus courts, les dispositifs à double grille (DG)-MOSFETs obtiennent une meilleure intégrité électrostatique que les SOI-MOSFET à couche mince. Diverses techniques sont également été appliqué pour poursuivre

le taux de croissance des performances, mais le coup de pouce offert n'était pas conforme à l'augmentation des coûts de fabrication.

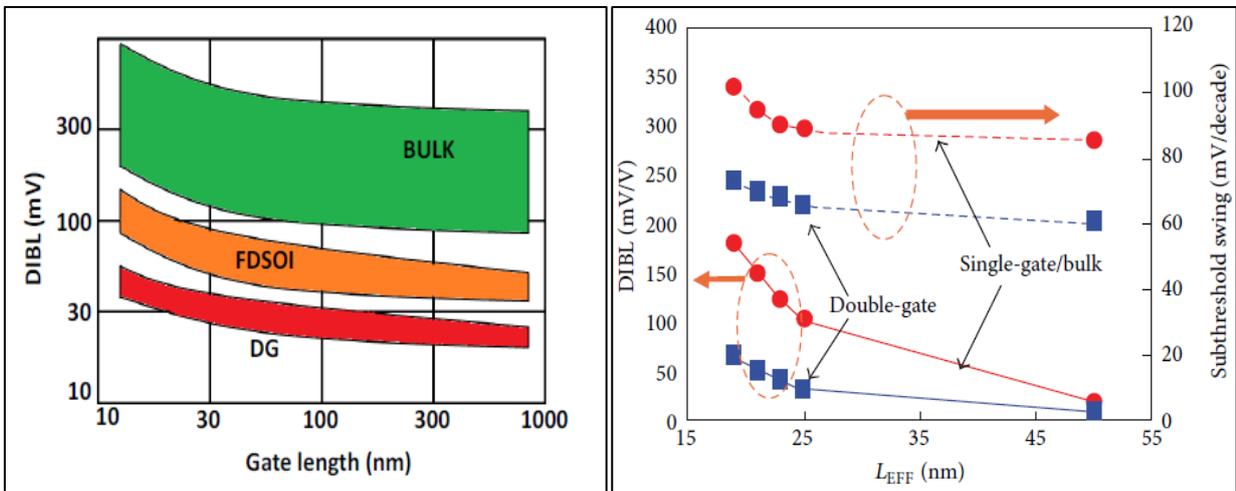


Figure II.3: a) les valeurs de DIBL obtenue par MASTAR pour les transistors bulk, FDSOI et DG-MOSFET [91, 21], b) le DIBL et la pente sous seuil (SS) en fonction de la longueur de canal effectif des transistors à double grille DG-FET et à une seule grille SG-MOSFET à silicium massif (bulk) [52, 92].

II. 4 L'état d'art de la modélisation des transistors nanométriques:

Parmi les principaux modèles existant depuis les années 2000 jusqu'à maintenant:

Le modèle de Taur en 2000 [93], c'est le premier modèle qui a pris en compte les effets de canaux courts de DG-MOSFET grâce à un algorithme explicite, la dernière technologie de ce modèle devient explicite mais très difficile à comprendre ce qui freine son utilisation en dimensionnement "à la main". Un modèle analytique continu pour le DG-MOSFET a été étendu à DG-FinFET, ce modèle dérive des "solutions analytiques de l'équation de Poisson et l'équation de continuité de courant pour le long du canal DG-MOSFETs" [94]. De plus, les résultats de ce modèle sont validés juste sur les dispositifs à canal court inférieur à 70nm.

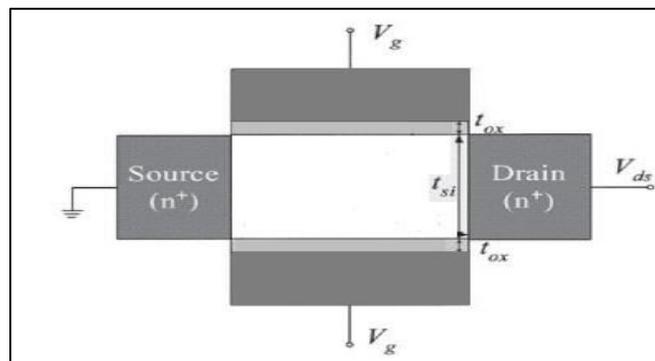


Figure II.4: Schéma d'une DG-MOSFET [94].

L'équipe de J. Fossum en 2004 [95] a développé un modèle de DG-MOSFET qui a pris en compte les effets de canaux courts et les effets quantiques. Cependant, c'est un modèle physique avec un formalisme implicite, ce qui est très précis mais non préféré pour une simulation de circuit. Cette équipe a utilisé d'autres modèles pour décrire le comportement au-delà du seuil.

Le groupe du CEA-LETI en 2009 [96] a récemment développé un modèle de DG MOSFET qui reprend le BSIM3 pour MOS bulk. C'est un modèle qui a pris en compte les effets de canaux courts et l'aspect dynamique mais non les effets quantiques.

N.Fasarakis et al. en 2011- 2012 [97, 98] ont développé un modèle basé sur la modélisation analytique du courant de drain dans les DG-MOSFETs et les TG-MOSFETs légèrement dopés, ce modèle est valable dans toutes les régions d'exploitation de FinFETs", plusieurs effets ont été pris en compte dans ce modèle tels que: l'effet quantique (quantum-mécanical-Effect) (QME), l'effet de canal court SCE. L'effet des résistances séries, la modulation de la longueur de canal, la vitesse de saturation ont été également pris en considération [97].

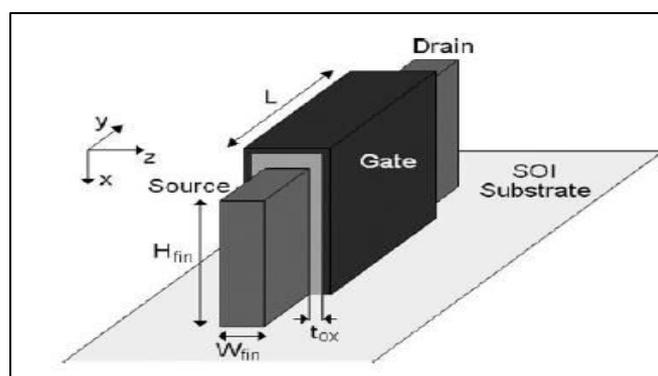


Figure II.5: Représentation 3D de Finfet [97].

Ce modèle peut être étendu à un DG-FinFET en modifiant la largeur effective de canal :

$$W_{DG} = 2 * H_{fin} \quad \text{(II. 1)}$$

L'équipe Adel Ferdi et al. en 2012 [99]: a développé un modèle explicite statique pour un DG-MOSFET nanométrique avec une longueur du canal ($L \geq 10\text{nm}$), une largeur du film de silicium ($T_{Si} \geq 2.5\text{nm}$) et une largeur d'oxyde de silicium ($T_{Ox} \geq 1\text{nm}$). Cette gamme de validation couvre la plupart des cas de DG MOSFET réalisés jusqu'à aujourd'hui (d'après le site d'Intel, la commercialisation à grande échelle des circuits à base des transistors atteint

22nm en 2012). Ils ont prouvé à partir de l’extraction des paramètres de DG-MOSFET que ce modèle est capable de simuler les circuits analogiques et les portes logiques.

N. Boukortt, B. Hadri, S. Patané en 2016 [100]: ont étudié par l’outil numérique Atlas Silvaco un modèle de transistor DG-FinFET à échelle nanométrique, ses caractéristiques statiques et électriques et sa sensibilité aux matériaux diélectriques de grille avec différents matériaux, ils ont introduit les matériaux SiGe et 3C-SiC dans la région du canal, Ils ont remarqué avec des résultats différents et utiles qui ont conduit les chercheurs à poursuivre le processus de fabrication afin d’obtenir des meilleures performances du dispositif proposé, ses résultats sont valables juste pour les longueurs supérieures à 8 nm.

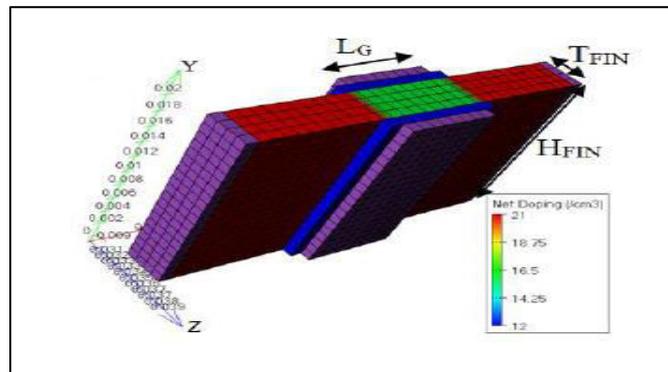


Figure II. 6: Illustration de la structure 3D-DG-FinFET [100].

Étienne Sicard en 2017 [1]: a décrit les tendances d’une technologie nanométrique CMOS basées sur le FinFET à haute performance, il a introduit la génération de la technologie 7 nm de FinFET de différentes dimensions physiques ($L_g=7nm, W_{fin}=4nm, H_{fin}=35 nm$) par l’outil de simulation Microwind avec l’utilisation d’un matériau à haute permittivité High-k (HfO_2), et le nitrure de titane (TiN) comme un métal de grille, il a analysé les caractéristiques et les performances d’une configuration de mémoire RAM à 6 transistors.

Le **tableau II.2** illustre un résumé de quelques modèles proposés par plusieurs chercheurs:

Modèles	Y.Taur 2000	J.Fossum 2004	LETi 2009	N.Fakarasis 2012	A.Ferdi 2012	N.Boukortt 2016	E.Sicard 2017
Caractéristiques							
Gamme de limites de L_g	≥ 70	≥ 50	≥ 30	≥ 20	≥ 10	≥ 8	≥ 7
Pris en compte les effets de canal court	+	+	+	+	+	+	+
Pris en compte les effets quantiques	-	+	-	+	+	+	-
Implementation dans le simulateur des circuits	+	-	+	+	+	-	+

Tableau II.2 : résumé des caractéristiques des différents modèles proposés des transistors FinFETs.

II.5 L'état d'art de la variation de quelques paramètres géométriques sur les différentes caractéristiques des FETs nanométriques:

II.5.1 L'état d'art de l'impact de la longueur de la grille (L_g) sur quelques caractéristiques électriques des FETs:

Comme nous avons déjà vu dans le 1^{er} chapitre, le développement technologique est basé sur le scaling des dimensions des transistors FETs tels que la longueur de canal/grille (L_c ou L_g) qui a un rôle essentiel dans le dimensionnement de ce dispositif, plusieurs paramètres caractéristiques influent directement sur la longueur canal/grille, de ce fait, l'objectif de la réduction de cette longueur est de diminuer l'occupation de la surface de dispositif, les résistances, et les capacités...etc pour augmenter la rapidité et pour améliorer les performances de ce composant.

La littérature à l'échelle nanométrique a rapporté plusieurs études sur différentes longueurs de grille. Par conséquent, afin de réduire l'effet de canal court, différents paramètres électriques ont été étudiés, parmi lesquels nous citons:

- la tension de seuil (V_{th}):

La **figure II.7** présente l'état d'art de la tension de seuil (V_{th}) en fonction de la longueur de grille pour différents travaux.

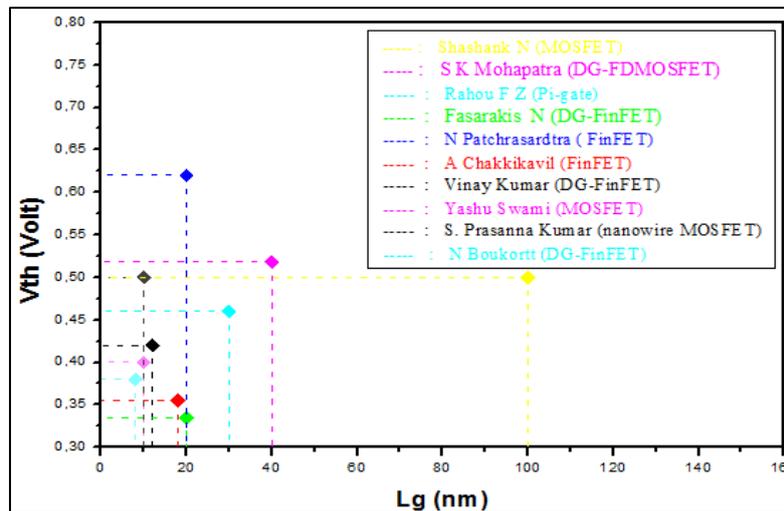


Figure II.7 : L'état d'art de la tension de seuil (V_{th}) en fonction de la longueur de grille (L_g) [101, 102, 84, 103, 104, 105, 106, 107, 100].

À partir de cette figure, on remarque que la littérature donne des excellentes valeurs de la tension de seuil (V_{th}) qui ont atteint à : 0.335 volt, 0.42 volt, 0.38 volt, ces valeurs ont été obtenues par **Fasarakis N [103]**, **Vinay kumar [106]**, et **N. Boukourt [100]** pour les

transistors DG-FinFETs de 20 nm, 12 nm, 8 nm respectivement par l'utilisation des matériaux SiO₂, La₂O₃, et ZrO₂ respectivement.

▪ **La pente sous seuil (SS):**

La figure II.8 ci-dessous présente l'état d'art de la pente sous seuil (SS) en fonction de différentes longueurs de grille (L_g).

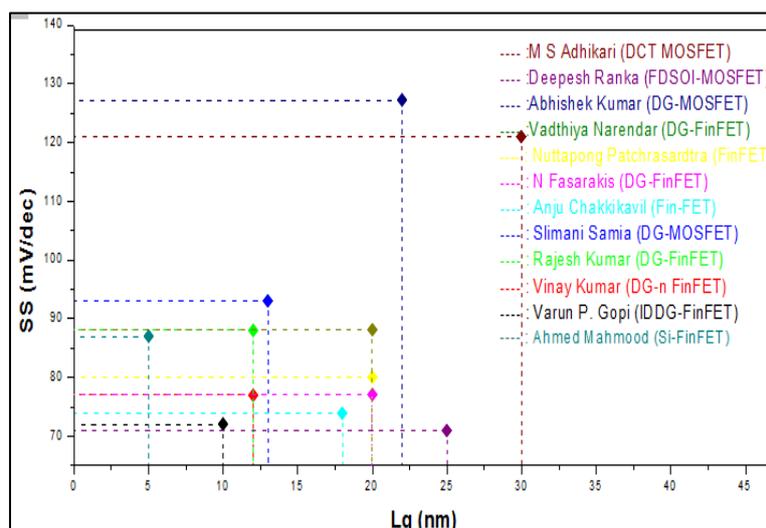


Figure II.8 : L'état d'art de la pente sous seuil (SS) en fonction de la longueur de grille (L_g) [108, 109, 110, 111, 104, 103, 105, 112, 113, 106, 114, 115].

Une meilleure valeur de la pente sous seuil (SS=93mV/dec) a été obtenue par: **Slimani Samia, Djellouli Bouaza [112]** pour DG-FinFET de longueur L_g=13 nm. **Rajesh Kumar, Richa Gupta, et al. [106]** ont trouvé que ce paramètre est égal à 88 mV/dec pour le DG-FinFET de 12 nm avec le diélectrique La₂O₃ à haute permittivité (K=30). Aussi **Varun P. Gopi et V. Sureshbabu [114]** ont trouvé une faible valeur de SS qui atteinte 72 mV/déc pour la structure de (Independently Driven) ID DG-FinFET de longueur de grille (L_g=10nm). De plus, une réduction de ce paramètre a été obtenu par **Vinay Kumar et Rajesh Mehra [113]** qui est autour de 77.01 mV/Dec dans l'architecture DG-MOSFET de technologie 12 nm lors de l'empilement de diélectrique ZrO₂ dans la grille. Et aussi **Ahmed mahmood et al. [115]** ont obtenu (SS=87 mV/dec) pour le dispositif Si-FinFET de longueur de grille L_g=5nm.

Des autres paramètres clés pour augmenter les performances sont:

▪ **Le courant de fuite (I_{off}) et l'abaissement de barrière de potentiel (DIBL):**

Les figures (II.9) et (II.10) présentent les états d'art de DIBL et de courant de fuite (I_{off}) en fonction de différentes longueurs de grille (L_g).

Ces deux paramètres doivent être les plus faibles possibles, pour cela, des meilleurs résultats de DIBL égaux à 71.1 mV/V, 77.01 mV/V, 78.88 mV/V, ont été signalé par certains auteurs **N. Boukortt et al. [100]**, **Rajach kumar et al. [113]** et **Vadthiya Narendar et al. [111]** pour les transistors à double grilles 20nm, 12nm, 8nm respectivement de DG-FinFET. D'autre part, des plus faibles courants de fuite I_{off} égaux à : 236 nA, 745 nA et 180 nA ont été obtenue aussi par : **Rajech kumar [113]** et **Slimani samia [112]** et **S prasanna Kumar [116]** pour ces architectures.

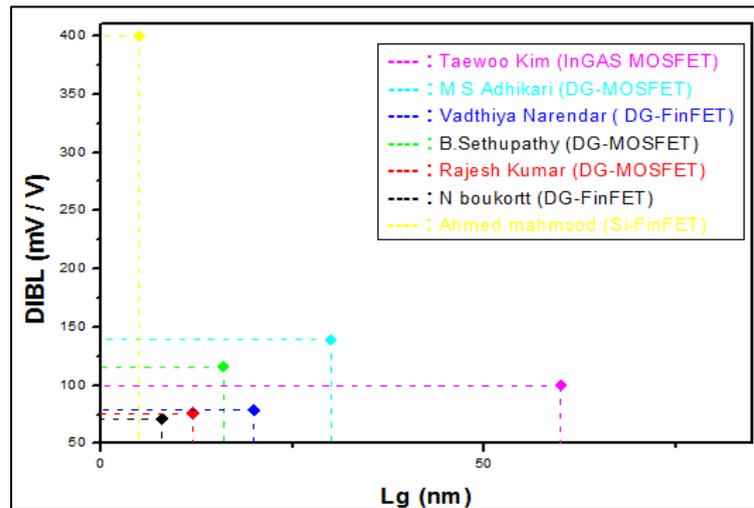


Figure II.9 : L'état d'art de la variation de DIBL pour différentes longueurs (L_g) [117,108,111,118, 113, 100, 115].

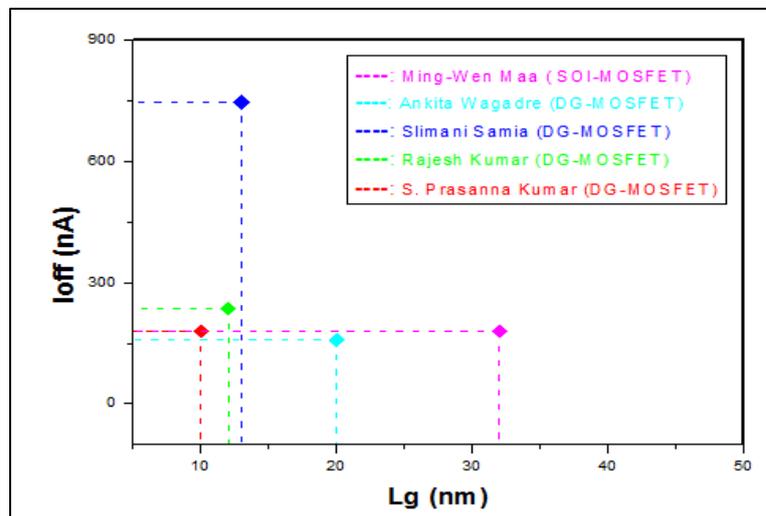


Figure II.10: L'état d'art de courant de fuite (I_{off}) en fonction de la longueur de grille (L_g) [119,86, 112, 113, 116].

▪ **Le courant Ion:**

La figure II.11 présente l'état d'art d'un autre paramètre électrique qui est le courant à l'état ON (I_{on}), cette figure montre que de bons résultats de courant (I_{on}) ont été obtenu

dans la littérature par Anju chakkikavil [105] pour le dispositif Fin-FET, et par N FASARAKIS [103] pour le dispositif DG-FinFET.

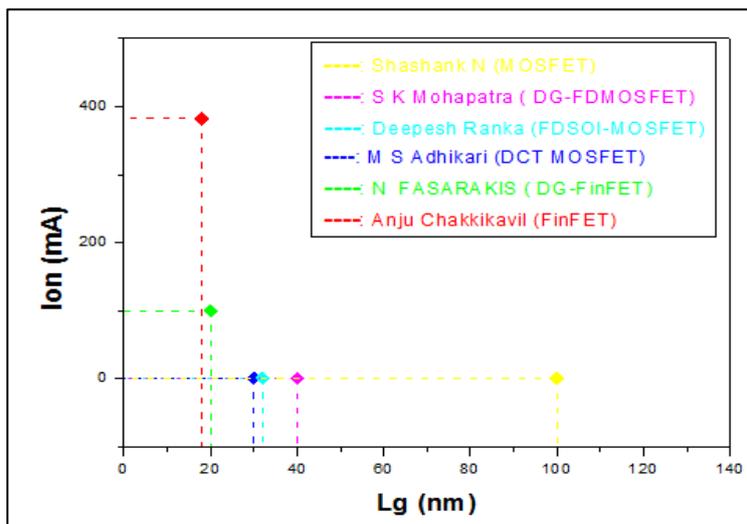


Figure II.11: L'état d'art du courant I_{on} en fonction de la longueur de grille (L_g) [101,102,109,108,103, 105].

II.5.2 L'état d'art de l'impact de la variation de la hauteur et de la largeur des ailettes (H_{fin}) et (W_{fin}) sur les caractéristiques électriques des FETs:

Les chercheurs étudient actuellement l'impact des changements structurels à ailettes ultraminesces dans les FETs, les principaux paramètres de ces dispositifs comprennent: la hauteur et la largeur des ailettes (H_{fin}) et (W_{fin}), qui ont un rôle majeur dans la puissance et dans les performances des transistors FETs, l'optimisation de ces deux paramètres est importante pour obtenir la meilleure efficacité de la mise en échelle de FinFET [120]. Plusieurs architectures de ces dispositifs ont été proposées et étudiées l'impact de la variabilité des paramètres géométriques (tableau II.4) telle que l'épaisseur et la hauteur des ailettes (T_{fin} ou W_{fin}) et (H_{fin}) sur les caractéristiques électriques pour le futur des dispositifs FETs de faibles dimensions, ces deux paramètres peuvent contrôler les SCEs [121,122].

La réduction des largeurs des ailettes (W_{fin}) sert à diminuer le courant de fuite (I_{off}), et provoque un bon contrôle des effets de court canal (réduction de SCEs), de DIBL [121,123,124,125], et des effets de confinement quantiques [126], mais la résistance de source/ drain augmente, le rapport I_{on}/I_{off} est plus élevé, et la pente SS est plus proche du SS idéal pour évaluer les meilleures dimensions des FETs nanométriques, et donc l'augmentation des performances de dispositif [121, 123, 124] dans les applications RF/analogiques [125]. Par conséquent, il peut sélectionner les dimensions optimales des dispositifs FETs et ses

paramètres tels que (W_{fin}) pour continuer la loi de Moore [126,127,128,129,130], pour s'ajuster à la fois la résistance du drain/source et les effets du canal court [124, 126], et pour réduire la consommation d'énergie et d'augmenter la fiabilité [123,130].

Nom des auteurs/ Années/ références	dispositifs	L'outil de simulation utilisé	Paramètres géométriques: Hauteur de l'ailette (H_{fin}) Largeur de l'ailette (W_{fin})
Gaurav Saini, Ashwani K Rana en 2011 [121]	Double grille (DG)-FinFET ($L_g=17$ nm et $T_{ox}=0.77$ nm) et le triple grille (TG)-FinFET	Setaurus TCAD 2D pour (DG-FinFET) et 3D pour TG-FinFET	DG-FinFET: $L_g= (5, 10, 15, 20)$ nm $T_{ox}= (5, 10, 15, 20)$ nm TG-FinFET: $L_g=47$ nm -à $H_{fin}=30$ nm $W_{fin}= (5, 10, 15, 20, 30)$ nm. -à $w_{fin}=30$ nm $H_{fin}= (5, 10, 15, 20, 30)$ nm
C. Meinhardt, A.L. Zimpeck, R.A.L. Reis en 2014 [122]	22nm-FinFET	EDA	Nœuds technologique (20, 16, 14, 10, 7) nm pour les performances HP et LSTP $L_g= (24, 20, 18, 14, 11)$ nm $W_{fin}= (15, 12, 10, 8, 6)$ nm $H_{fin}= (28, 26, 23, 21, 18)$ nm
Deepa Gopinadh, Abraham George en 2015 [123]	Double gate (DG)-FinFET Triple-gate (TG)-Finfet ZrO ₂ diélectrique de grille	TCAD	$L_g= (16, 18, 20, 22, 24, 26)$ nm. -Pour $L_g=22$ nm $W_{fin}= (10, 15, 20, 25, 30)$ nm -Pour $L_g=22$ nm $H_{fin}= (10, 15, 20, 25, 30)$ nm
Ahmed Mahmood, Yasir Hashim, Hadi Bin Manap en 2018 [115]	Transistor en silicium (Si-FinFET)	MuGFET	$L_g= (5, 10, 15, 20$ and $40)$ nm $W_{fin}= (5, 10, 12, 15$ and $20)$ nm $T_{ox}= (1.5, 2.5, 5$ and $7)$ nm - facteur de miniaturisation $K= (0.25, 0.5, 0.75$ and $1.00)$
Veljko Vukicevic en 2019 [128]	Quatre nœuds technologiques des transistors Finfet non-planaire 22m, 14nm, 10nm et 7nm.	Sentaurus-TCAD	pour ses différents nœuds: $L_g=(25,25,20,7)$ nm $W_{fin}=(17,15,8,7)$ nm $H_{fin}=(40,35,27,30)$ nm
Jagtap Sarika Madhukar, Gond Vitthal Janardan en 2020 [130]	14nm, 10nm et 7nm triples grilles (TG)- Fin-FET SG-FinFET	3D-Synopsys FinFET design	-TG- Fin-FET : $L_g=30$ nm, $H_{fin}=90$ nm $W_{fin}=100$ nm -SG-FinFET : $L_g=14$ nm, $H_{fin}=(14,10,7)$ nm

Tableau II.3: Bilan de l'état d'art de la variation de la hauteur et de la largeur des ailettes (H_{fin}) et (W_{fin}) sur les caractéristiques électriques de différentes structures des transistors FETs.

II.5.3 L’état d’art de la variation de l’épaisseur d’oxyde lors de d’utilisation des matériaux high-k dans la grille dans les transistors FETs nanométriques :

Comme nous avons vu dans le 1^{er} chapitre, l’utilisation des matériaux à haute permittivité (High-K) est une clé importante pour améliorer les performances des dispositifs FETs par rapport aux matériaux à faible permittivité (K) tel que le SiO₂, l’augmentation de la permittivité permet d’accroître l’épaisseur d’oxyde de grille (tox), pour cela, plusieurs auteurs ont étudié l’impact d’utilisation des différents matériaux à hautes permittivités (high-K) de la grille sur les différentes caractéristiques: DIBL, Ion/Ioff, SS, gm...etc dans diverses technologies afin d’obtenir des meilleures performances. On cite quelques recherches dans le **tableau II.4** ci-dessous.

Différentes architectures nanométriques à base des matériaux à hautes permittivités (high-k) (ZrO₂, La₂O₃, TiO₂) sont proposées par plusieurs auteurs, par rapport le dioxyde (SiO₂), ces matériaux présentent un bon contrôle de la grille et permettent de diminuer les SCEs (réduction de : SS, Ioff, et de DIBL, augmentation : de gm, de Ion et alors élévation du rapport Ion/Ioff) ils ont montré également une vitesse de commutation et un gain de tension plus élevé, et une réduction significative de la dissipation de puissance du circuit sont obtenues lors de l’utilisation des matériaux à high-k [75,106,112,113,131,132,133,134], il s’ensuit alors que l’utilisation de ces matériaux est le meilleur choix pour le futur des transistors grâce à l’améliorations des performances et le bon contrôle du canal [100], ce qui conduit à l’utilisation des dispositifs SOI MOSFETs avec des diélectriques minces à high-k pour le but l’amplification [134]. Parmi ces matériaux on cite pour le dioxyde de titane (TiO₂) à permittivité élevée qui montres des meilleures caractéristiques (un meilleur temps de commutation et une très faible pente SS) [135], ce matériau peut utiliser pour les dispositifs à haute performance (HP) et à faible puissance (LP) [116].

Nom de l’auteur/Années/ références	dispositifs	Longueur de la grille (Lg)	Les matériaux diélectriques	L’outil de simulation
D. Nirmal, P. Vijaya kumar, P. Patrick Chella Samuel, Binola K. Jebalin& N. Mohan kumar en 2013 [131]	FinFET	45 nm	SiO ₂ , Si ₃ N ₄ , Al ₂ O ₃ , La ₂ O ₃ , ZrO ₂ , HfO ₂ , TiO ₂	Integrated Systems Engineering (ISE)-TCAD
Slimani Samia, Djellouli Bouaza en 2013 [112]	SOI DG-MOSFETs	(13,18, 25)nm Et aussi pour les tox=(1.1,1.5) nm	SiO ₂ , HfO ₂ , ZrO ₂	NEXTNANO code
Rajesh Kumar, Rajesh Mehra en 2016 [113]	DG-MOSFET	12nm, 24 nm	SiO ₂ , HfO ₂ , ZrO ₂	3-D-TCAD-COGENDA

				GENIUS
Vinay Kumar, Richa Gupta, Raminder Preet Pal Singh, Rakesh Vaid en 2016 [106]	SOI-FinFET	12nm	SiO ₂ , SiON, Al ₂ O ₃ , Y ₂ O ₃ , HfO ₂ , La ₂ O ₃	simulations numériques 2D
Richa Gupta, Rakesh Vaid en 2016 [132]	nanofil à base de grille InAs	10nm	SiO ₂ , ZrO ₂ , HfO ₂ , La ₂ O ₃	TCAD-SILVACO
Nour El Islam Boukortt, Baghdad Hadri, Salvatore Patané en 2016 [100]	DG n-FinFets (SiGe et 3C-SiC dans le canal)	8 nm	SiO ₂ , Si ₃ N ₄ , Al ₂ O ₃ , ZrO ₂	3D-TCAD-SILVACO
S.Prasanna kumar, P.Sandeep et Sudhanshu Choudhary en 2017 [116]	n- MOSFET	10nm	SiO ₂ , Al ₂ O ₃ , HfO ₂ , TiO ₂	NanoTCAD VIDES
J. Ajayan, D. Nirmal, P. Prajoon, J. Charles Pravin en 2017 [75]	InGaas/Inas/Ingaas-MOSFET	30 nm	(Al ₂ O ₃ , HfO ₂ , Al ₂ O ₃ (1nm) / ZrO ₂)	Synopsys TCAD
Mitali Daga, Guru Prasad Mishra en 2020 [135]	Workfunction modulated dual material gate FinFET (WMDMG-FinFET) avec une variation linéaire de Φ_{ms} = (4.9 - 4.55) eV dans le côté source, et aussi fixé à 4.94 e.V dans le côté drain	Lg=60nm Hfin=30nm Wfin=20nm	SiO ₂ , Si ₃ N ₄ , HfO ₂ , TiO ₂	TCAD-SILVACO

Tableau II.4 : Un bilan de l'état d'art de quelques travaux lors de l'utilisation des différents matériaux à haute permittivité (High-K).

II.6 L'état d'art de la variation de quelques paramètres physiques sur les différentes caractéristiques des FETs nanométriques:

Il existe différents paramètres physiques dans les dispositifs FETS tels que : le travail de sortie (ϕ_{ms}), les dopages de canal (N_a) et de source/drain (N_d), et la température (T). Les variations de ses paramètres affectent directement les performances des caractéristiques de ces dispositifs.

II.6.1 L'état d'art de l'impact de la variation de travail de sortie de la grille (ϕ_{ms}):

Les technologies de grilles métalliques peuvent résoudre les problèmes de l'augmentation du SCE et du courant de fuite qui sont dues à la réduction d'échelles des dispositifs MOSFETs [136], en fournissant la valeur optimale de travail de sortie de la grille (qui est définie par

l’énergie minimale requise (mesuré en électrons-volts (e.V)) pour déplacer les électrons du métal vers un certain point à l’extérieur de la surface de solide) pour maintenir de bonnes performances de canal court et d’une tension de seuil appropriée [137], la littérature de la variation de ce paramètre sur les caractéristiques de ces dispositifs pour plusieurs études est montrée dans le **tableau (II.5)**.

L’impact du travail de sortie de la grille métallique (ϕ_{ms}) sur les performances de plusieurs structures nanométriques FETs a été analysé par plusieurs auteurs, Ils ont observé que l’augmentation de ce paramètre permet d’augmenter les performances de ces dispositifs, un travail de sortie (ϕ_{ms}) élevé provoque une croissance linéaire de la tension de seuil (V_{th}) qui résulte un meilleur contrôle de la grille au-dessus de la région du canal et de partage de charge source/drain [108,120,138,139,140], une meilleure stabilité de dispositif est assuré pour un faible travail de sortie (ϕ_{ms}) et pour un matériau à permittivité K élevée [138], un travail de sortie (ϕ_{ms}) élevé montre une diminution de courant de fuite (I_{off}) (qui est le facteur nécessaire pour les applications à faible puissance), et provoque également une réduction de la pente sous seuil (SS) et de DIBL, et une augmentation de rapport Ion/Ioff [120].

Le choix d’une valeur optimale de ϕ_{ms} dans la gamme de 4.4eV à 5eV montre la facilité de la fabrication des dispositifs CMOS minces avec des grilles métalliques, la valeur de $\phi_{ms}=4.50\text{eV}$ dans le SOI MOSFET montre des meilleures performances [109], alors les meilleurs caractéristiques électriques (tension de seuil, courant de fuites...) permettent de sélectionner les dimensions appropriées des composants des circuits VLSI [141,142].

Nom des auteurs/ Années/ références	Dispositifs	L’outil de simulation utilisé	Le travail de sortie de la grille (Workfunction) (ϕ_{ms})
George James T, Saji Joseph, Vincent Mathew en 2010 [120]	(p-type) DG-MOSFET avec les matériaux SiOxNy, Al2O3, HfO2, La2O3, et ZrO2 de la grille	2D simulation	Différents métaux de la grille utilisé Ta, Al, Ag, Ti, TaSiN, Zn and Cr avec des $\Phi_{ms}=(4.2, 4.28, 4.32, 4.33, 4.4, 4.47 \text{ and } 4.5) \text{ eV}$
Deepesh Ranka, Ashwani K. Rana, Rakesh Kumar Yadav, Kamalesh Yadav, Devendra Giri en 2011 [109]	FD-SOI-MOSFETs Avec l’utilisation de diélectrique à high-k (Si3N4) dans la grille	2D-SENTAURUS TCAD	Lg=25nm Molybdenum (Mo)=5 e.V $\Phi_{ms}=(4.30,4.50,4.60,4.70, 4.80) \text{ e.V}$
Veerati Raju, K. Sivasankaran, en 2018 [138]	Double gate junctionless transistor (DGJLT) avec Al2O3, HfO2, and TiO2 matériels de la grille	2D- ATLAS-SILVACO	Lg=20 nm $\Phi_{ms}= (5.36, 5.38, 5.42) \text{ eV}$

<p>Ningombam Ajit Kumar, Aheibam Dinamani Singh, Nameirakpam Basanta Singh en 2019 [139]</p>	<p>-Silicon on nothing triple métal double-gate (TMDG-SON-MOSFET) -Silicon on isolator triple métal double gate (high-K (TMDG-SOI MOSFET)</p>	<p>2D-Atlas silvaco</p>	<p>Lg=30 nm $\Phi_{ms}=(4.3,4.5,4.7)$ e.V</p>
<p>Nitin Sachdeva, Tarun Kumar Sachdeva, Neeraj Julka en 2019 [140]</p>	<p>P-MOSFET</p>	<p>2D-SILVACO</p>	<p>Lg=40nm EOT=1nm $\Phi_{ms}=(5.05,5.12,5.18,5.25, 2.28, 5.32)$ e.V</p>
<p>Samra Jabeen, S. Jha, P. Anuradha en 2020 [141]</p>	<p>DG-MOSFET</p>	<p>—</p>	<p>$\Phi_{ms}=(4,4.2,4.4,4.6,5)$ e.V</p>
<p>Xinhe Wang, Zhigang Zhang, Jianshi Tang, Bin Gao, Wen Sun, Feng Xu, Huaqiang Wu et He Qian en 2020 [142]</p>	<p>Junctionless field-effect transistors (JLFETs) avec le diélectrique de la grille HfO₂</p>	<p>TCAD</p>	<p>Lg=12nm Φ_{ms} pour différents métaux: Pt=5.1e.V Pt/1 nm Al=5.4 e.V Pt/1.5 nm Al=5.45 e.V Pt/2 nm Al=5.6 e.V Pt/2.5 nm Al=5.66 e.V Pt/3 nm Al= 5.35 e.V</p>

Tableau II.5 : Bilan de l'état d'art de la variation de travail de sortie de la grille (ϕ_{ms}) sur les caractéristiques électriques de différentes structures de transistor MOSFET.

II.6.2 L'état d'art de l'impact de la variation de dopage:

Le dopage de canal montre un rôle principal dans l'analyse des caractéristiques des transistors MOSFETs. Pour augmenter les performances, une valeur optimisée de la concentration de dopage du canal sera estimée comme une référence pour l'avenir de ce dispositif, par conséquent, l'état d'art de l'impact de dopage sur les différentes performances des structures innovantes proposées est examiné dans la littérature par plusieurs travaux montrés dans le [tableau II.6](#).

Les effets de canal court peuvent être améliorés par la variation de dopage du canal (N_a) pour les différentes architectures montrées dans le tableau ci-dessous. Les dispositifs avec un faible dopage de canal montrent une réduction de la tension de seuil (V_{th}) [\[143,144,145,146,147\]](#), de plus, la transconductance (g_m) est inversement proportionnelle avec ce paramètre, le courant de drain augmente graduellement et devient maximal lorsque le dopage N_a augmente. Alors le dopage des canaux est très important dans l'optimisation des paramètres du dispositif et d'amélioration des performances de FinFET [\[106,143, 147,148\]](#), une valeur optimisée de ce paramètre est obtenue autour de ($N_a=10^{16} \text{ cm}^{-3}$) sera prise comme référence dans le futur

pour obtenir de meilleures caractéristiques et de hautes performances de dispositif n-FinFET à $L_g=8$ nm [144].

Nom des auteurs/ Années/ références	Dispositifs	L'outil de simulation utilisé	Concentration de dopage (cm^{-3})
Vinay Kumar Yadav, Ashwani K. Rana en 2012 [106]	DG-MOSFET	Sentaurus- TCAD	Uniforme $N_a=(2e18, 3e18, 4e18, 5e18)$ cm^{-3} $N_d=5e19 \text{ cm}^{-3}$
Neha Somra, Ravinder Singh Sawhney en 2015 [145]	n-FinFET $L_g=32$ nm, $H_{fin}=5$ nm $W_{fin}= 22$ nm.	Visual 2D-TCAD	$N_a=1e16 \text{ cm}^{-3}$ $N_d=(1e16, 7e16, 7e18, 7e20,$ $1e20) \text{ cm}^{-3}$
N. Boukortt, B. Hadri, S. Patané, A. Caddemi, G. Crupi en 2016 [146]	TG-n-FinFET 8nm	3D-ATLAS Silvaco	Uniforme $N_a=(7e14, 5.7e18,$ $1.3e19, 2.1e19) \text{ cm}^{-3}$ $N_d=3e22 \text{ cm}^{-3}$
Rashmi Mahajan, D. K. Gautam en 2017 [147]	P-MOSFET au silicium Si et au germanium Ge avec un matériau à high-k et une grille métallique 22nm	Matlab	Uniforme $N_a=(1e17, 1e16, 1e15) \text{ cm}^{-3}$ $N_d=2 \times 10^{20} \text{ cm}^{-3}$
N. Boukortt, S. Patané, G. Crupi en 2019 [148]	FinFET traped $L_g=8$ nm la largeur de l'ailette supérieure (top fin-width) (FWT=3 nm) la largeur de l'ailette inférieure (FWB=6 nm) $H_{fin}=50$ nm, avec le ZrO ₂ diélectrique de grille	3D-TCAD Silvaco	$L_g=(6, 8, 12, 14)$ nm $N_a=1e15 \text{ cm}^{-3}$ $N_d=1e20 \text{ cm}^{-3}$ -Pour $L_g=8$ nm: $N_d=(1e18, 1e19, 1e20, 1e21)$ cm^{-3} - $\phi_{ms}=(4.33, 4.50, 4.55, 4.60,$ $4.65, 4.70)$ e.V
Anjali Goel, Neelam Rup Prakash en 2020 [149]	Comparaison de la structure MOSFET conventionnelle avec TFET et FinFET à une longueur de canal de 22 nm	Expérimental	Uniforme $N_a=(1e16, 7e16,$ $7e18) \text{ cm}^{-3}$ $N_d=7e20 \text{ cm}^{-3}$

Tableau II.6 : Bilan de l'état d'art de l'impact de la variation de dopage sur les caractéristiques des différentes structures proposées dans la littérature.

II.6.3 L'état d'art de l'impact de la variation de la température:

La température est une clé importante de fiabilité des dispositifs FETs dans la future génération des nœuds technologiques, dans la littérature, les performances des différentes architectures présentées dans le **tableau II.7** sont optimisés, et la sensibilité à la température sur les différentes caractéristiques électriques ont été étudiée.

Nom des auteurs/ Années/ références	Dispositifs	L’outil de simulation utilisé	Gamme de températures (T)
Yasir Hashim en 2017 [150]	FinFET	MuGFET	T=(-25°C à 125°C)
Rinku Rani Das et al. en 2017 [151]	Fin-FET	MuGFET	T=(300, 400, 500) K
Yousif Atalla, Yasir Hashim, A.N.A. Ghafar en 2018 [152]	FinFET	PADRE ou PROPHET- MuGFET	T=(250, 275, 300, 325, 350, 375, and 400) K
Weera Pengchan en 2018 [153]	SOI n-FinFET à 16 nm	Minimos-NT	T=300 K à 420 K avec 30 K par pas
Hani Taha AlAriqi, Waheb A. Jabbar, Yasir Hashim, Hadi Bin Manap en 2019 [154]	Le transistor à nanofils de silicium (SiNW-FET) (épaisseur d'oxyde (T_{OX}) = 1, 2, 3, 4 et 5) nm)).	MuGFET	T=(250, 275, 300, 325, 350, 375, 400, 425, 450) K
Yousif Atalla, Yasir Hashim, Abdul Nasir Abd Ghafar, Waheb A. Jaba en 2019 [155]	FinFET (T_{ox} = 1, 2, 3, 4, et 5 nm)	PADRE ou PROPHET- MuGFET	T=(250, 275, 300, 325, 350, 375, and 400) K

Tableau II.7 : Bilan de l’état d’art de l’effet de la variation de la température sur les caractéristiques électriques pour différentes structures de transistors MOSFETs.

Les performances à basse température sont plus optimales pour le contrôle du drain [150] [151], la saturation du courant, la tension de seuil (roll-off) et la mobilité sont diminuées par l’augmentation de ce paramètre, de plus, l’électron est amené par la température et la densité d’électrons a augmenté en tant que potentiel de source d’énergie qui active la structure. Pour cette raison, la mobilité doit chuter avec cette augmentation, ce qui va améliorer les performances du dispositif FinFET [153], cette structure est valide pour une large gamme de températures ce qui augmente les opportunités de la modélisation des circuits analogiques/RF dans la même gamme [156]. Les caractéristiques de sortie dans une plage de (-25°C à 125°C) montrent la possibilité d’utilisation de FinFET et de nanofils de silicium (SiNW-FET) comme des nano-capteurs de température, ainsi que la variation du rapport de courant (I_{on}/I_{off}) dans cette plage de températures [150,154], une meilleure sensibilité à la température du FinFET a été observée pour une large gamme de variation du courant (ΔI) et du tension V_{dd} de 0 à 5 V. Cette sensibilité a été augmenté linéairement avec la longueur de canal dans la plage de 25–105 nm [152] et avec l’épaisseur d'oxyde dans la gamme de 1-5 nm [155].

II.7 Les lacunes de la littérature:

le tableau ci-dessous résume les lacunes de la recherche des transistors SOI-MOSFETs :

Problèmes/ Effets	Les priorités basées dans les recherches	Les lacunes
Les effets indésirables des architectures PDSOI et FD-SOI	élevé	élevé
Mise en échelle de la géométrie et de la tension de seuil (V_{th})	élevé	élevé
L'évolution des modèles qui permettent la réduction des effets de canal court	médium	médium
L'utilisation des matériaux high-k de la grille	élevé	élevé
Les mécanismes des courants de fuites (DIBL, SS...)	élevé	élevé
L'utilisation du métal de la grille	médium	médium
Les effets des oxydes ultraminesces, l'effet quantique	élevé	élevé
La rupture des simulations et la précision des problèmes	faible	faible

Tableau II.8 : Les lacunes de la recherche des transistors FETS.

A partir de la littérature et les lacunes de la recherche, il ressort clairement que le problème principal de ces travaux est de résoudre tous les problèmes qui interviennent l'amélioration des performances des dispositifs MOSFETs (la fiabilité, la vitesse, la consommation de puissance et le coût de fabrication élevé), et aussi de trouver des modèles qui permettent de développer la structure de ces dispositifs afin d'améliorer des effets de canal court, et étudier l'impact de la variation des différents paramètres géométriques et physiques sur les différentes caractéristiques électriques (V_{th} , SS, DIBL, Ioff...) de ces dispositifs pour confirmer la validation du modèle proposé.

Il existe plusieurs solutions qui sont utilisées dans ce travail telles que:

- **Le développement des nouvelles architectures des transistors MOS à l'échelle nanométrique:** le chemin technologique pour le développement des transistors MOSFETs est le suivant: les MOSFETs planaire en silicium (bulk), les transistors PDSOI (silicium partiellement déplété Silicon On Insulator), et ensuite les transistors FDSOI (entièrement déplété Silicon On Insulator), les dispositifs ultraminesces entièrement déplété (UTBFD) SOI, puis les transistors multigrilles qui ont d'excellentes immunités aux erreurs dans la région sous seuil. Parmi ces dispositifs on peut citer: les transistors à doubles grilles DG-FinFET qui sont des bons candidats et le choix potentiel aux futurs des circuits intégrés (technologiques/dispositifs) et pour les applications récemment utilisées. Ces dispositifs sont récemment proposés, car ils ont réduit les effets SCEs beaucoup plus que les nano

dispositifs MOSFETs conventionnels, ils présentent également des avantages importants, essentiellement à cause de leurs capacités intrinsèques qui dépendent de l'évolution de la miniaturisation de ces dispositifs (le contrôle électrostatique des canaux par les deux grilles).

- **L'addition des diélectriques à permittivité élevée dans la grille (matériaux high-k):** afin de minimiser les effets SCEs, un autre élément clé consiste à utiliser des diélectriques à haute permittivité "high-k". Dans ce travail, l'utilisation du dioxyde de titane (TiO_2) dans la grille est considéré comme un bon choix pour le dispositif à double grille DG-FinFET, car ce matériau a de meilleures caractéristiques telles que la constante diélectrique élevée ($K = 85$), la faible énergie de la bande interdite (énergie de gap) $E_g = 3,5 \text{ e.V.}$, l'énergie de la bande de valence $E_v = 1,3 \text{ e.V.}$ et aussi l'énergie de la bande de conduction $E_c = 1,1 \text{ e.V.}$. Ce matériau a aussi contribué à améliorer la capacité élevée, le faible courant de fuite de grille, et le courant à l'état ON (I_{on}), la faible consommation d'énergie.
- **L'ajout des matériaux à forte mobilité dans le canal :** le carbure de silicium (Silicon Carbide) SiC a des meilleures propriétés que le silicium (Si) dans l'industrie pour la fabrication des dispositifs. L'utilisation de ce matériau dans le canal est très importante dans les applications MOSFETs pour avoir une commutation très rapide dans la température élevée sans perte des performances de ce dispositif. De plus, le 3C-SiC est le choix approprié pour être utilisé à une tension et à une puissance plus élevée, et aussi à une température plus élevée. Toutes ses propriétés montrent l'importance d'utilisation du SiC dans de nombreux dispositifs micro/nano-technologique pour les applications à hautes performances, c'est pourquoi dans ce travail, nous introduisant ce matériau dans le canal pour le dispositif proposé à double grille (DG-Fin FET).
- **L'addition des diélectriques à permittivité élevée dans la grille métallique:** L'utilisation de la grille métallique est considérée comme une autre solution pour supprimer les SCEs, car il a une meilleure compatibilité avec le diélectrique à permittivité élevée (k) que le poly-silicium. Dans ce travail le nitrure de titane (étain) à faible épaisseur (TiN) a été utilisé comme un métal de la grille dans le but de réduire l'effet de la déplétion du dispositif, et aussi pour que ce matériau montre qu'une meilleure fiabilité contre l'effet des porteurs chauds (HCE).
- **L'utilisation des matériaux pour les régions de source/drain (Siliciurisation):** dans ce travail le siliciure de nickel (NiSi) est utilisée dans l'intérêt de réduire les résistances en série dans la source / drain et pour diminuer le courant de fuite.

II.8 L'objectif de cette thèse:

L'objectif de cette thèse est de :

- ✓ Trouver une réponse à la question : comment pouvons-nous supprimer les effets de canal court qui sont donner les limitations des transistors SOI-MOSFET?
- ✓ Proposer un nouveau modèle de transistor ultracourt à double grille (DG)-MOSFET précisément le dispositif ultra-fin (DG-FinFET) pour obtenir un effet optimal contre les effets de canal court et d'améliorer les performances de ce dispositif à l'aide de l'outil de simulation TCAD-SILVACO.
- ✓ Faire une comparaison entre ce modèle nanométrique (DG-FinFET) et le transistor FD-SOI-MOSFET, et trouver un nouveau dimensionnement pour la fabrication des transistors ultracourts DG-FinFETs partiellement compatibles avec la technologie industrielle grâce à l'amélioration de leurs performances.
- ✓ Étudier les caractéristiques courant-tension (I_d - V_g) du transistor DG-FinFET, et analyser les différentes caractéristiques électriques sur les performances de la structure de dispositif récemment développée (la rapidité, la fiabilité et la consommation de puissance).
- ✓ Réduire quelques effets indésirables grâce à l'analyse des diverses limitations en raison de:

1- La variation des différents paramètres géométriques sur les performances de DG-FinFET proposé tel que:

- La variation de la longueur de la grille (L_g)
- La variation de la largeur (W_{fin}) et la hauteur (H_{fin}) dans le but de réduire le DIBL et le courant de fuite (leakage current) qui est due à l'augmentation des résistances parasites.
- La variation de l'épaisseur d'oxyde (T_{ox}) (en introduisant des matériaux à permittivité k élevée dans la grille) pour augmenter la capacité grille-canal et pour réduire le courant sous seuil, et ainsi la comparaison des caractéristiques obtenues lors de l'utilisation de plusieurs matériaux à haute permittivité (high- k) avec celles obtenues par les matériaux à faible permittivité k pour la structure proposée DG-FinFET.

2- La variation des différents paramètres physiques sur les performances de DG-FinFET proposé tel que :

- La variation des travaux de sortie du métal de la grille (Workfunction: ϕ_m) sur les caractéristiques de ce dispositif pour trouver un compromis entre les performances électriques (réduction du courant I_{off} et le taux de commutation) et pour avoir la tension de seuil approprié du dispositif DG-FinFET.

- La variation des dopages de canal et de source/drain pour réduire des effets de canal court tel que de la tension de seuil (roll-off (V_{th})) et la pente sous seuil (SS).
- La variation de la température (T) sur les caractéristiques: courant de drain, tension de seuil, transconductance, DIBL,..... pour améliorer le contrôle du drain et la fiabilité du modèle proposé DG-FinFET.
- L'effet quantique.
- L'étude des performances à haute fréquence RF de la structure récemment développé de DG-FinFET.

II.9 Aperçus technologiques des transistors à double grilles (Dual-Gate MOSFET) (DG-MOSFET):

II.9.1 Présentation de transistor double grille (DG)-MOSFET :

Ces dispositifs sont basées sur la technologie SOI à simple grille, il existe un champ électrique dans l'oxyde enterré, les lignes de ce champ relient le drain et le silicium à travers l'oxyde enterré et augmentent le potentiel dans le silicium. C'est ce qu'on appelle: l'effet DIVSB (Drain Induced Virtual Substrate Biasing) [157], afin d'éliminer cet effet, une solution efficace a été proposée par **T. Sekigawa** et **Hayashi** en 1984, c'est l'idée d'ajouter d'une deuxième grille sur un plan horizontal derrière ces dispositifs afin d'occuper un canal sandwich à travers ces deux grilles [103,158], ce dispositif s'appelle le transistor MOSFET à double grille (DG-MOSFET) dans l'intérêt de développer l'extension de la technologie UTBB-SOI MOSFET, dans lequel la grille enterrée coupe les lignes de champ électrique dans l'oxyde enterré ce qui permet d'éliminer l'effet de DIVSB) (Figure II.12), Le DG-MOSFET est plus avantageux grâce au renforcement du contrôle du canal par les deux grilles [159,160].

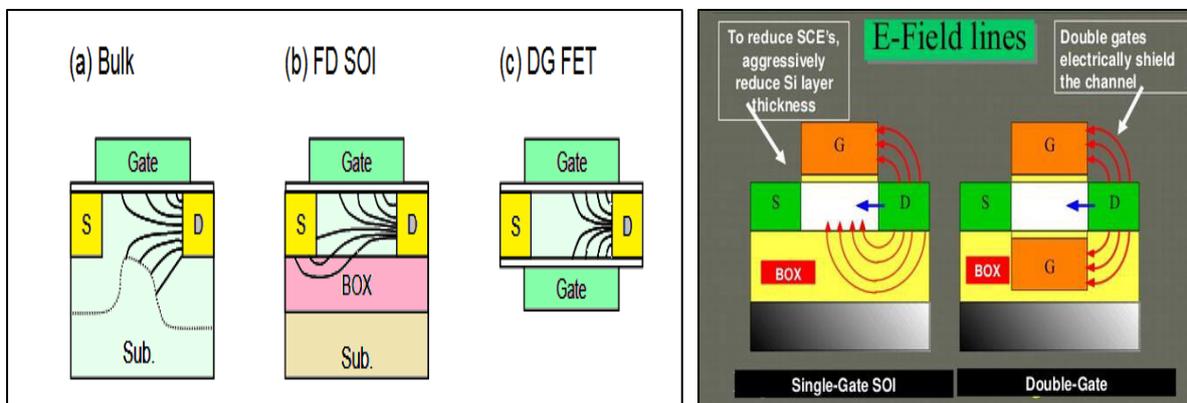


Figure II.12 : Illustration des lignes de champ électrique pour différentes structures MOSFETs (bulk, SOI, et DG-FET) (V_g a moins de contrôle sur le canal que V_d) [49,55].

La figure II.13.a montre la structure générale du MOSFET à double grille, et la figure II.13.b présente le symbole du MOSFET à double grille :

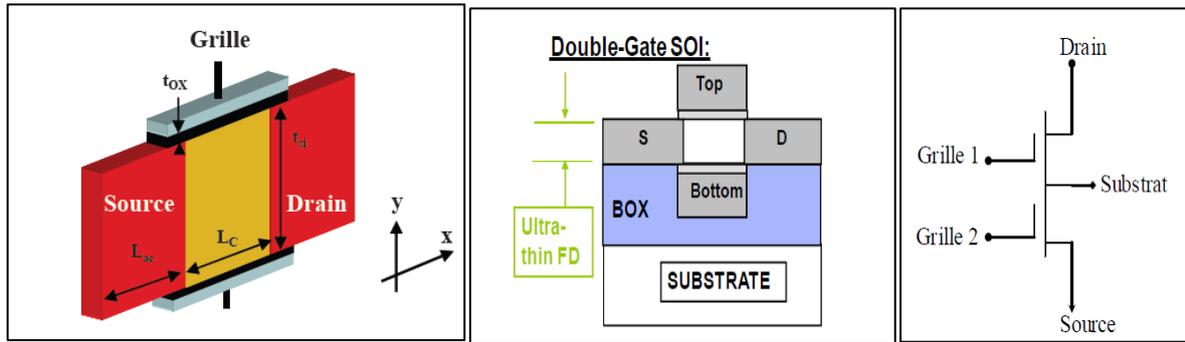


Figure II.13: a) La structure générale du transistor MOSFET à double grille b) Symbole du transistor MOSFET double grille [82,83,161].

Yan et al. ont proposé une théorie de mise à l'échelle unique pour les transistors SOI-MOSFETs à double grille comme guide de conception [162]. Selon leur théorie, le dispositif devrait être conçu en maintenant :

$$\alpha = \frac{L_{\text{eff}}}{2\lambda} \quad (\text{II.2})$$

Où : λ est la longueur naturelle qui régit l'influence du champ latéral sur le potentiel du canal et qui dépend de la géométrie du dispositif et des conditions aux limites. Ce paramètre est présente une signification physique facile pour sélectionner la structure et les paramètres des dispositifs c'est-à-dire qu'une longueur naturelle plus petite correspond à une meilleure immunité aux effets de canal court. La figure II.14 présente l'épaisseur maximale autorisée du film de silicium et la largeur de dispositif pour atténuer les effets de canal court [49]. Le tableau II.10 ci-dessous montre la longueur naturelle pour différentes configurations de la grille. Ici, un petit α donne une réduction de l'immunité à effet de canal court.

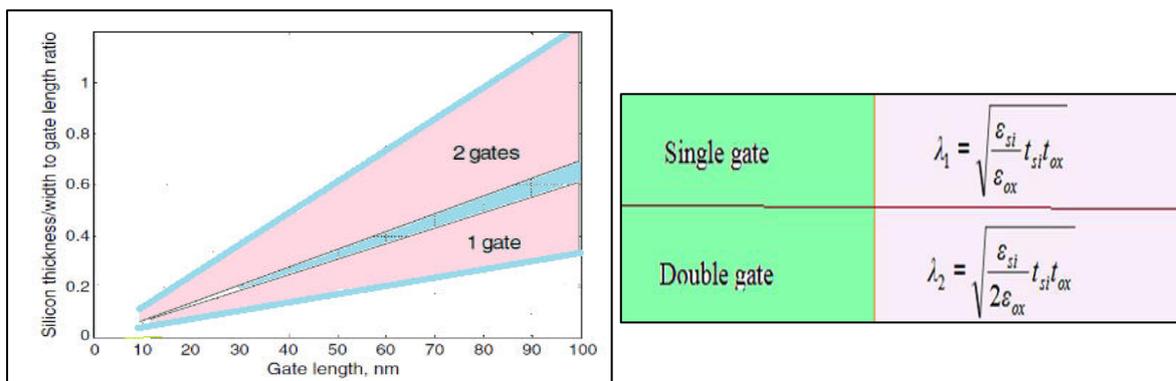


Figure II.14 : Épaisseur de Si et largeur de dispositif maximal autorisé en fonction de la longueur de grille pour éviter les effets de canal court dans les transistors SOI-MOSFET à simple et à double grille [32], Tableau II.9 : La longueur naturelle (λ) dans les transistors FET à simple grille et à double grille) [158].

Les MOSFETs à double grille ont des meilleures immunités aux effets de canal court en comparaison avec celle de l’architecture à simple grille FD-SOI-MOSFET pour les mêmes dimensions. Le courant de saturation en fonction du paramètre λ devient :

$$I_{d\text{ sat}}(V_d) \approx I_{d\text{ sat}} \left(1 + \frac{V_d - V_{d\text{ sat}}}{\frac{L_g}{\lambda} V_{d\text{ sat}}} \right) \quad (\text{II.2})$$

Dans le cas des transistors DG-FETs, l’expression de l’EI dans les équations (I. 34) et (I. 35) devient:

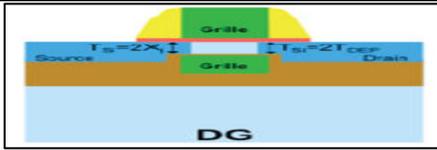
DG-FET	équation
	$EI = \left(1 + \frac{T_{Si}^2/4}{L_G^2} \right) \times \frac{T_{ox}}{L_G} \times \frac{T_{Si}/2}{L_G} \quad (\text{II.3})$

Tableau II.10 : Représentation schématique d’un transistor à double grille (DG-FET). [63].

II.9.2 Les différents types des transistors DG-MOSFETs:

L’ITRS en 2004 [163] propose de nombreuses architectures innovantes des doubles grilles (DG)-MOSFET rassemblées dans le **tableau II.11**.

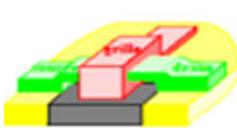
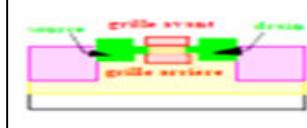
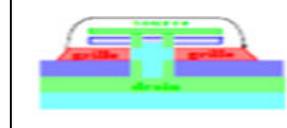
Dispositif	Transistors MOSFETs double grilles			
				
Concept	-grilles reliées entre elles.	-grilles reliées entre elles.	-grilles indépendantes l’une de l’autre. -conduction planaire.	-conduction verticale.
Applications CMOS	-HP -LOP -LSTP	-HP -LOP -LSTP	-LOP -LSTP	-HP -LOP -LSTP
Points forts	-Ion plus grand -amélioration de l’inverse de la pente sous seuil -amélioration contre les effets canaux courts.	-Ion plus grand. -amélioration de l’inverse de la pente sous seuil. -Réduction des effets canaux courts.	-Réduction des effets canaux courts.	-potentiel pour une intégration 3D.
Faiblesses	-épaisseur de l’ailette inférieure à la longueur de grille.	-largeur limitée (<1µm).	-difficultée d’intégration -capacité de grille arrière (recouvrement grille-Source Drain). -dégradation de la pente sous seuil. -alignement de grille.	-réalisation des profils de jonction. -difficultée d’intégration du procédé. -capacité parasites -une seule longueur de grille.

Tableau II.11 : Architectures à double grilles non conventionnelles de transistor MOSFET (ITRS [163]).

Chaque variante de transistor DG-MOSFET avec sa propre particularité technologique aura un impact sur les performances électriques. Il existe une grande diversité multigrille.

II.9.2.1 Les transistors MOSFET double grille planaires :

Ce dispositif a un transport électronique parallèle sur le plan de substrat et le champ de grille est perpendiculaire au substrat (Figure II.15) [55]. Le transistor DG-MOSFET peut être réalisé à travers le concept ultra thin body (UTB), Il existe une modification du transistor à double grille : un transistor planaire DG-SOI-MOSFET (appelé aussi transistor UTB-SOI-FinFET) [160].

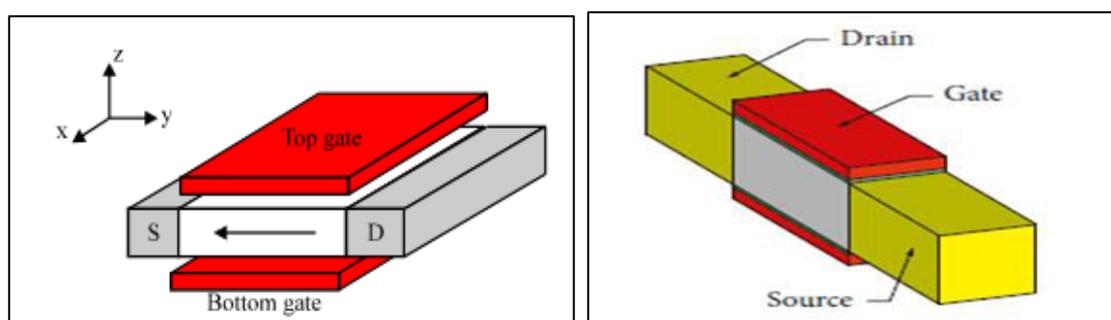


Figure II.15 : a) La structure à trois dimensions d'un transistor DG-MOSFET Planaire (La flèche jaune indique l'orientation du transport) [164], b) un transistor à double grille planaire sur SOI [160].

a) Procédé de fabrication de transistor DG-MOSFET planaires:

Wong et al. [165] sont réalisés pour la première fois les transistors à double grille planaire, avec deux grilles supérieures et inférieures auto-alignées. La figure II.16 montre les différentes étapes du processus de fabrication de transistor DG-MOSFET planaire à trois dimensions. Les différentes étapes de fabrication de ce dispositif sont :

- ✓ 1^{ère} étape : la déposition de plusieurs couches successivement sur un substrat de silicium, nitrure/oxyde/silicium amorphe (Si-a)/oxyde. La couche de silicium amorphe définira probablement une cavité vide (tunnel), dont la largeur correspondra à la largeur du canal (W_g) (figure II.16.a).
- ✓ 2^{ème} étape : la déposition d'une épaisseur importante de nitrure, ce masque définit deux zones et leur espacement correspond à la longueur de grille (L_g) du transistor. Et ensuite une gravure ionique RIE (Reactive Ion Etching) est effectuée de nitrure, de l'oxyde, et du silicium amorphe, en utilisant l'oxyde comme une couche barrière (figure II.16.b).

- ✓ 3^{ème} étape : la gravure de silicium amorphe avec du KOH, définissant ainsi un tunnel vide entouré par l'oxyde (LTO: Low Temperature Oxide) et de dimension: $W_g * L_g * t_{si}$, où t_{si} est l'épaisseur de la couche de a-Si déposée. Alors une ouverture latérale en oxyde a été formée (figure II.17.c).
- ✓ 4^{ème} étape : une épitaxie sélective permet au silicium de croître jusqu'à ce que l'ouverture et le tunnel soient complètement remplis (figure II.17.d).
- ✓ 5^{ème} étape : l'utilisation d'une couche de nitrure est enlevée. L'excès de silicium épitaxial est éliminé par le polissage mécano-chimique (CMP) (figure II.17.e). Un espaceur est formé sur le dessus du nitrure. Puis l'utilisation de nitrure comme un masque d'implantation auto alignée pour l'implantation des deux électrodes (source et drain). Le nitrure est gravé par gravure chimique (H_3PO_4).
- ✓ 6^{ème} étape : la gravure à l'acide fluorhydrique (HF) peut enlever l'oxyde qui entourait le silicium épitaxié (figure II.17.f), le tunnel suspendu restant constitue le canal du transistor. L'oxyde de grille est formé (de 5 nm), puis un matériau polysilicium de la grille est déposé autour du «pont de silicium».
- ✓ 7^{ème} étape : une siliciuration auto alignée conclut le procédé de fabrication du transistor (figure II.17.g).

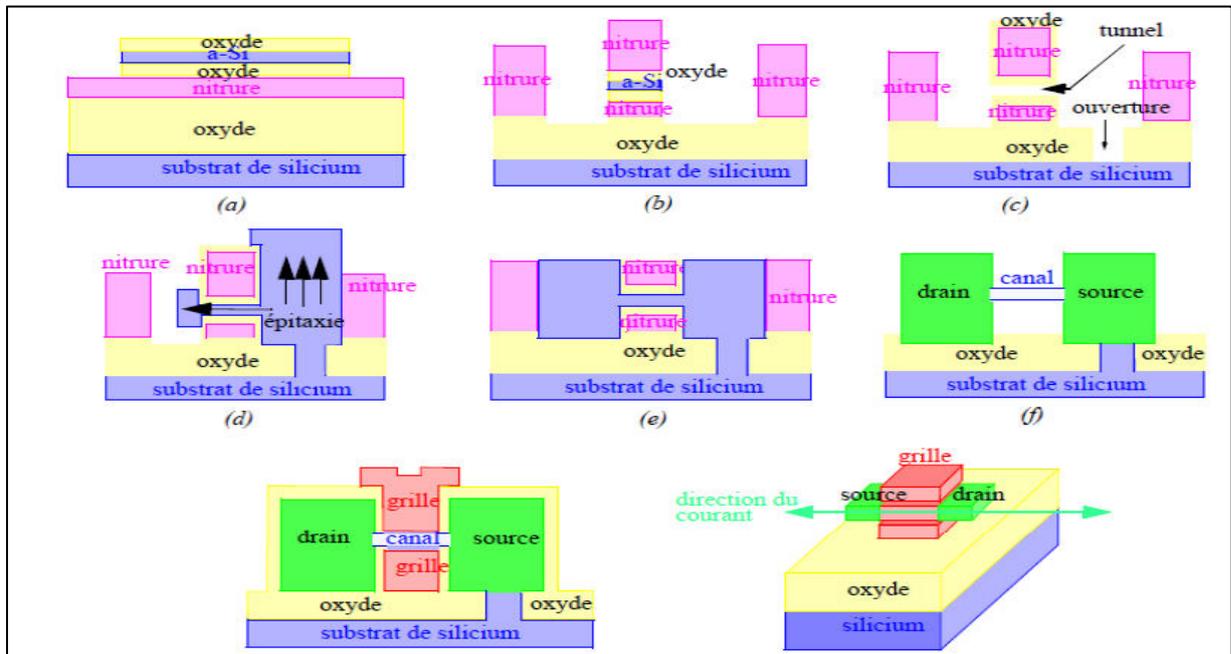


Figure II.16: Procédés de fabrication d'un transistor double grille planaire [165].

b) Les modes de fonctionnement de transistor DG-MOSFET planaires:

Lorsque le dispositif est polarisé, on distingue deux modes de fonctionnement différents, pour lesquels il ya deux types de transistors MOSFET à double grille:

❖ **Le MOSFET double grille en mode de fonctionnement symétrique :**

Dans ce mode, les épaisseurs d'oxydes sont similaires, et les matériaux des deux grilles utilisés ont de mêmes travaux de sortie. Cependant, il existe un problème d'alignement des deux grilles (Figure II.17). En effet, des procédés d'auto-alignement existent, mais cela rend le processus de fabrication compliqué et il est impossible de réaliser un transistor avec une longueur de grille très courte [166].

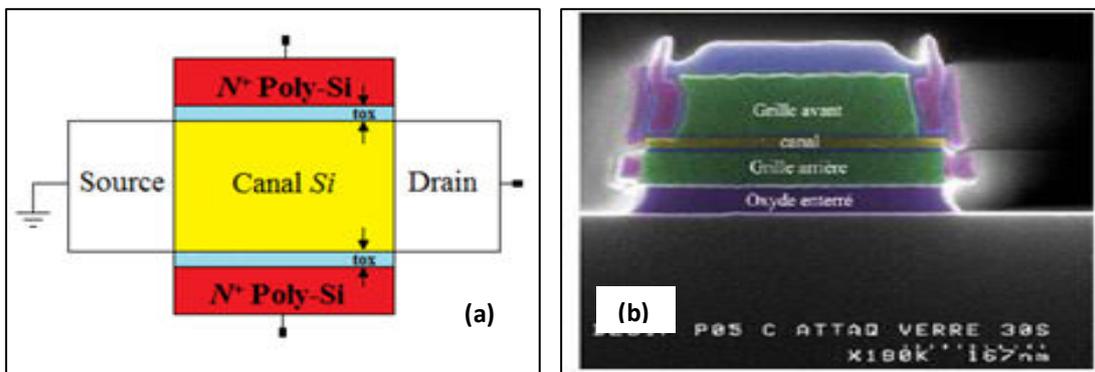


Figure II.17: structures du DG MOSFET : **a)** symétrique [64], **b)** Image au MEB (microscope électronique à balayage) d'un transistor auto alignée de $L_g=50$ nm avec un film d'épaisseur de 10 nm et d'un empilement de grille TiN/PolySi [91].

❖ **le MOSFET double grille en mode de fonctionnement asymétrique :**

Dans ce mode les épaisseurs d'oxydes sont différentes et les matériaux des deux grilles utilisés ont de différents travaux de sortie ($\Phi_{m1} \neq \Phi_{m2}$), les deux grilles ne sont pas alignées de sorte que la structure est « asymétrique » (Figure II.18.a).

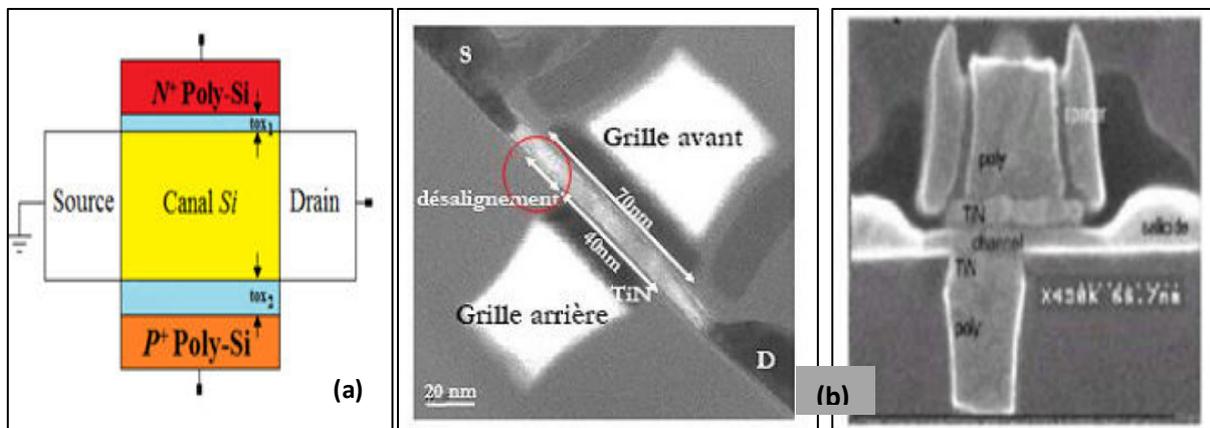


Figure II.18: structures du DG MOSFET: **a)** asymétrique [64], **b)** Image au MEB (microscope électronique à balayage) d'un transistor non auto-alignée [42, 166].

L'activation des deux canaux de conduction peut être différente, et chaque canal de conduction est contrôlé par l'une des deux grilles. Cela réduira les caractéristiques électriques du transistor et entraînera une forte dispersion des caractéristiques des dispositifs à canal court [64].

II.9.2.2 Les transistors MOSFET à double grilles verticales:

Ils ont un transport électronique perpendiculaire sur le plan de substrat et un champ de grille parallèle d'où alors une orientation inverse de celle des transistors planaires [55](figure II.19).

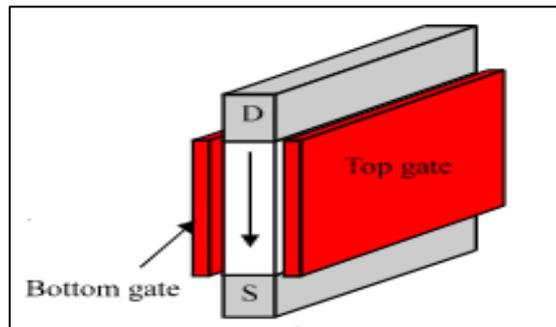


Figure II.19: La structure à trois dimensions d'un transistor DG-MOSFET vertical (Le flèche indique l'orientation du transport) [164].

- Procédé de fabrication des transistors MOSFET à double grilles verticales :

Schulz et al. [167] ont utilisé un procédé technologique de fabrication de DG-MOSFET verticale qui est basé sur l'implantation de la source et de drain (figure II.20).

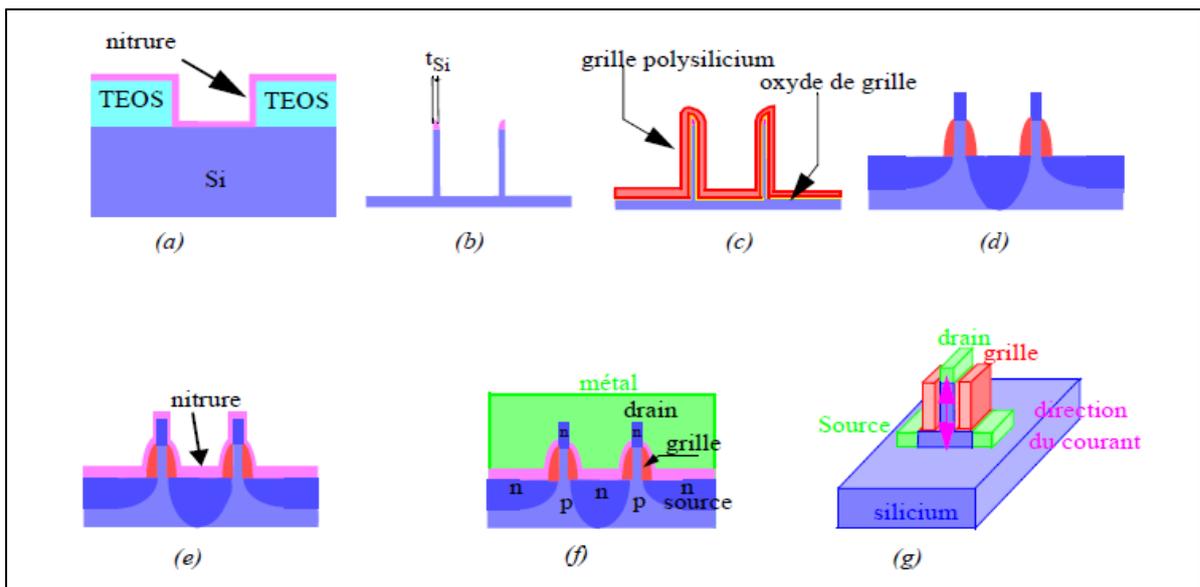


Figure II.20: procédés de fabrication utilisée par Schulz et al. des transistors double grille verticale [54][167].

Les étapes de fabrication de ce dispositif sont proposées comme suit :

- ✓ La déposition d’un masque épais de 250 nm d’oxyde tetraethoxysilane (TEOS) sur un substrat de silicium et une lithographie standard combinée à une gravure sèche définissent une cavité (figure II.20.a).
- ✓ Une gravure sèche de la couche de nitrure forme les espaceurs sacrificiels, qui serviront de masque dur pour l’ailette de silicium, le film de silicium est alors formé (figure II.20.b).
- ✓ La déposition de matériau de grille (50 nm de polysilicium dopé) sur l’oxyde (3 nm) (figure II.20.c).
- ✓ Le polysilicium est gravé afin de définir la grille et d’implanter la source et le drain (figure II.20.d) et le reste des espaceurs sacrificiels de nitrure sont éliminés par gravure humide.
- ✓ Une nouvelle couche de nitrure est déposée afin d’isoler la grille de polysilicium (figure II.20.e), un dépôt d’oxyde (TEOS) permet d’aplanir la surface.
- ✓ Enfin, les trous pour les plots de contacts sont définis par gravure afin d’y déposer le métal (figure II.20.f).

II.9.2.3 Les transistors MOSFET double grille quasi-planaires du type FinFET:

Dans ce dispositif , le transport électronique et le champ de grille sont parallèles sur le plan de substrat [55], Il existe une modification du transistor DG-SOI qui est appelé un transistor quasi-planaire (appelé aussi : **FinFET**), il tire son nom de son canal en forme d’aileron (Fin) (figure II.21).

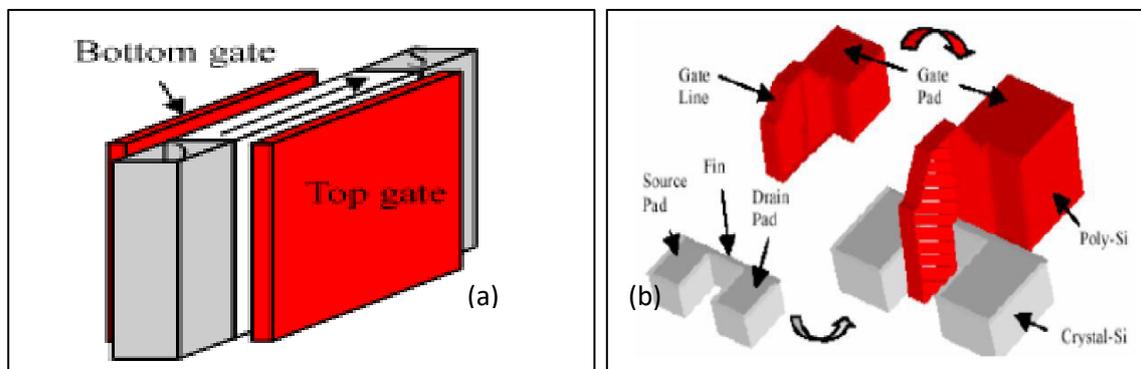


Figure II.21: a) La structure à trois dimensions de transistor double grille (DG-MOSFET) quasi-planaires (latérale) (la flèche indique l’orientation du transport) [164], **b)** La structure de FinFET quasi-planaire [42,91].

L'ITRS considère que le dispositif Fin-FET joue un rôle très important dans les applications analogiques/logiques, notamment dans les processeurs (GPU, MCU, FPGA, SOC et NPU [148], la première structure FinFET a été publiée sous le nom DELTA (« fully DEpleted Lean- channel TrAnsistor ») en 1989 [168]. Ces dispositifs sont les candidats les plus aptes à remplacer les MOSFETs planaires car ils offrent des solutions pour l'avenir des nœuds technologiques relativement faciles à fabriquer sur des substrats SOI [67], leurs canaux faiblement ou non dopés (10^{15} cm^{-3}) ce qui rendent résistants aux changements aléatoires des dopants, et sa capacité à surmonter les problèmes liés aux effets canaux courts, les transistors FinFETs sont utilisées dans ces dernières années de 14 nm, 10 nm, et 7nm nœuds technologiques [159], les sociétés Samsung et IBM signalent que les 7 nm pourraient être la dernière technologie utilisée pour les dispositifs Fin-FETs qui ont atteint leurs limites de canal court, et peuvent être remplacés par des nœuds 5 nm pour les FinFETs multigrilles pour réduire la consommation d'énergie (figure II.22) [1].

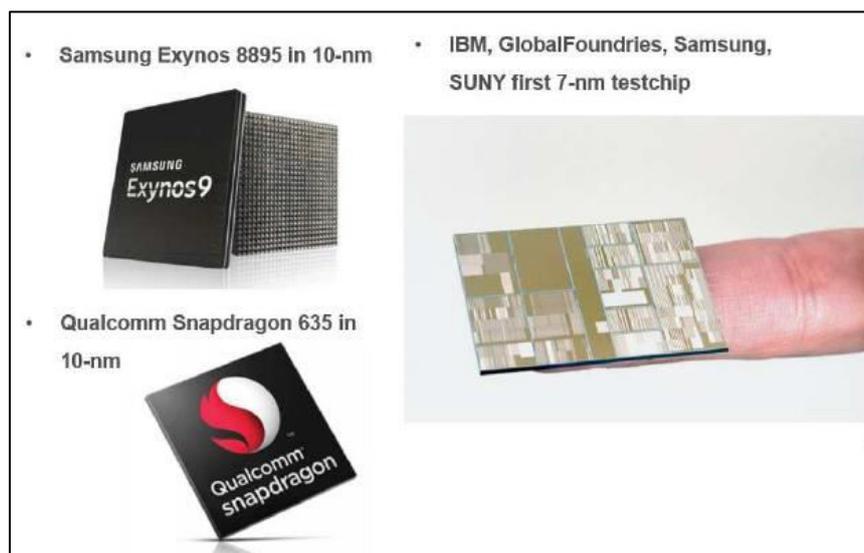


Figure II.22 : Le processeur (10-nm) et le circuit de conception (7-nm) de la société IBM [1].

a) Les types des transistors quasi-planaires sur DG-SOI FinFET:

En comparaison avec le transistor DG-MOSFET planaire, la structure du dispositif Fin-FET comporte trois grilles, la troisième grille se trouve sur une couche d'oxyde d'une épaisseur importante qui permet de relier les deux autres grilles. Par conséquent, aucun contrôle du canal n'affecte sur la grille, de ce fait, les deux grilles latérales seulement contrôlent le canal d'inversion, l'avantage de transistor FinFET c'est l'auto-alignement des deux grilles, l'architecture de ces dispositifs dépend de l'épaisseur du film de silicium T_{Si} , qui doit être le plus fine possible [42].

- La configuration double-grille FinFET est représenté sur la figure II.23.a, cette configuration consiste à déposer un masque dur de nitrure afin d'empêcher la conduction sur le dessus de l'ailette (Fin) [169].

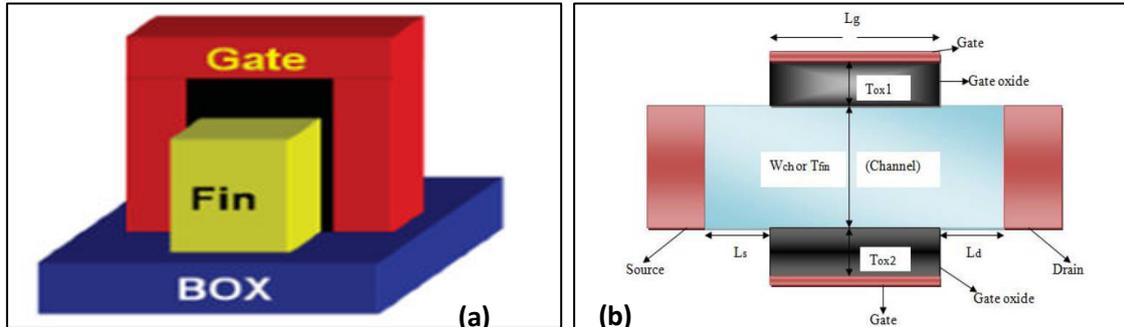


Figure II.23: a) Image TEM d'un transistor à double grille SOI-DG-FinFET à trois dimensions [169], b) La structure à deux dimensions de transistor symétrique à double grille DG-FinFET [106].

- Un transistor à double grille FinFET peut optionnellement avoir deux grilles séparées qui sont polarisées d'une façon indépendante ID-DG-FinFET (figure II.24). Ceci peut être réalisé en supprimant la partie supérieure de la grille d'un FinFET conventionnel à l'aide d'un polissage mécano-chimique (CMP : Chemical Mechanical Polishing), L'usage de la grille arrière et son fonctionnement restent similaires au FDSOI [169].

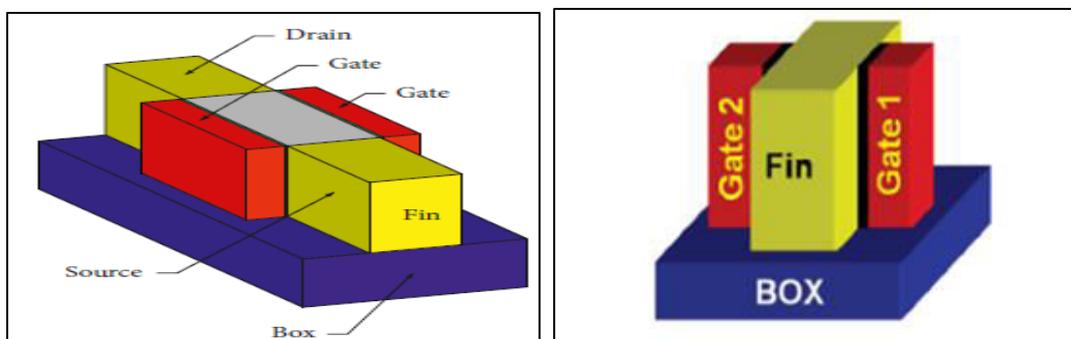


Figure II.24: La structure à trois dimensions de transistor à double grille indépendant FinFET sur SOI (ID-DG-FinFET on SOI) [159] [169].

b) Procédés de fabrication des transistors FinFETs:

Choi et al. [170] ont proposé un procédé de fabrication des transistors Fin-FETs basés sur la réalisation de l'électrode de grille avant les électrodes de source/drain [171]. L'ensemble des étapes proposées est présenté sur la figure II.25. Ces étapes sont:

- ✓ Le dépôt LPCVD (Low Pressure Chemical Vapor Deposition) d'oxyde sur un substrat SOI combiné à une gravure RIE anisotropique, définit des espaces autour des plots de

SiGe préalablement formés (figure II.25.a et figure II.25.b). L'épaisseur d'oxyde correspond à l'épaisseur final des ailettes de silicium.

- ✓ Une gravure RIE sélective et anisotropique libère les espaceurs sacrificiels (figure II.25.c).
- ✓ Une lithographie optique est utilisée afin de définir les larges contacts source/drain (figure II.25.d et figure II.25.e).
- ✓ Une gravure RIE sélective définit la zone active de silicium. L'oxyde de grille sont déposés (figure II.25.f).
- ✓ Un espaceur sacrificiel est formé sur les faces latérales de la grille «sidewall spacers», ensuite l'implantation de source et du drain clôture la réalisation du transistor FinFET.

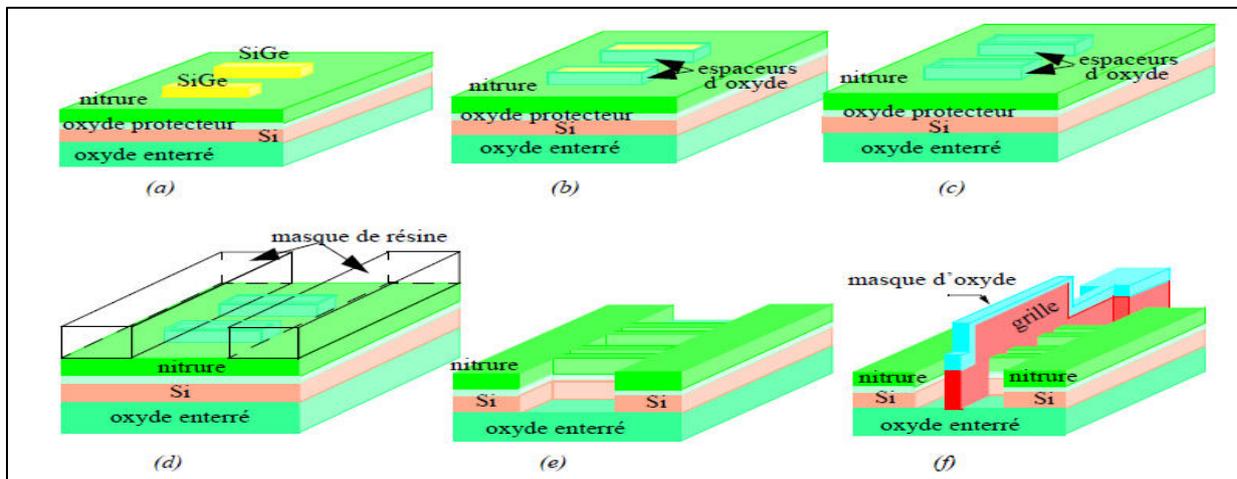


Figure II.25: Les procédés de fabrication pour la réalisation d'un transistor FinFET [171].

c) Les avantages des transistors DG-FinFETs:

Les principaux avantages de cette architecture sont décrits dans le tableau suivant:

DG-FinFETs	Avantage
	<ul style="list-style-type: none"> - un meilleur contrôle des effets des canaux courts - le contrôle électrostatique est amélioré en raison du couplage électrostatique entre les deux grilles, (bon contrôle du canal de conduction) - Réduction de courant de fuite I_{off} - Absence d'effet DIVSB - Possibilité de fonctionnement en mode symétrique et asymétrique - La résolution du problème d'alignement des deux grilles. - L'auto-alignement des régions de source/drain par rapport aux deux grilles. - Courant plus important - Procédés de fabrication proche de celui du MOSFET

	conventionnel. - Possibilité de présenter l’architecture en 3D - Potentiel pour les nœuds ≤ 30 nm
--	--

Tableau II.12 : Les principaux avantages des transistors DG-FinFETs.

II.7 Conclusion:

Afin de réduire les effets de canal court et d’améliorer les performances et le contrôle électrostatique de la grille des transistors SOI-MOSFETs, l’étude de l’état d’art des paramètres caractéristiques pour différentes architectures récemment publiées, et les lacunes cités dans plusieurs travaux de recherche ont été passées en revue. L’objectif principal de cette recherche est de trouver un nouveau modèle de transistor qui est capable de développer la technologie SOI-MOSFET. Nous avons présenté dans ce chapitre l’architecture multigrille qui est considérée comme une solution pour améliorer les effets parasites de ce dispositif tel que (double grilles, triple grilles, quadruple grilles....). De ce fait, l’innovation de la technologie à double grille (DG)-FinFET est considéré comme un meilleur candidat pour remplacer les SOI-MOSFETs dans la mise en échelle "scaling" (vers les nœuds technologiques 5 nm), et pour résoudre les problèmes de l’effet de canal court, et aussi pour avoir des bonnes performances et un meilleur contrôle électrostatique de canal. Pour atteindre ces objectifs, une méthodologie particulière de ce dispositif est utilisée dans le chapitre suivant par l’outil de simulation Atlas TCAD-Silvaco pour obtenir les résultats des différentes caractéristiques électriques de ce dispositif qui seront comparés avec les résultats de quelques travaux récents.

Chapitre III: Résultats et discussion de la caractérisation géométrique des performances de DG-FinFET par l'utilisation de l'outil TCAD-SILVACO



III.1 Introduction:

Dans ce chapitre on va étudier l'importance d'utilisation du logiciel de simulation et l'explication de rôle du simulateur pour compléter la partie théorique. Le simulateur TCAD-SILVACO est considéré comme l'un des simulateurs récemment utilisé dans les entreprises de la microélectronique. Elles ont utilisé cet outil pour les dispositifs semi-conducteurs dans leurs recherches car ce simulateur a une large gamme d'études dans l'élaboration et la caractérisation des transistors FETs, la présentation de ce logiciel et les principales équations utilisées dans la physique des semi-conducteurs seront détaillées dans ce chapitre. Les structures à deux dimensions de SG-FD-SOI-MOSFET et à trois dimensions de dispositif DG-FinFET sous le module Atlas-Silvaco seront aussi présentées. La comparaison des caractéristiques de ces deux structures sera aussi examinée dans l'objectif d'étudier l'importance d'utilisation du transistor DG-FinFET dans la mise en échelle des dispositifs. De ce fait, la modélisation géométrique de dispositif proposé de DG-FinFET sera analysée par simulation dans le but d'approximer schématiquement du dispositif idéal, d'améliorer les performances, et de trouver de meilleures dimensions, l'analyse des caractéristiques statique et la variation de plusieurs paramètres sur les différentes caractéristiques électriques du dispositif proposé DG-FinFET seront étudiées tels que:

- L'influence de la variation de la longueur de grille (L_g).
- L'influence de la variation de la hauteur d'ailettes (H_{fin}).
- L'influence de la variation de la largeur d'ailettes (W_{fin}).
- L'influence de la variation de l'épaisseur d'oxyde (la variation de diélectrique de la grille (High-k)).

III.2 Le rôle d'utilisation de la simulation:

La simulation établit le lien entre le monde théorique et le monde expérimental (figure (III.1)), elle complète la théorie et l'expérimental et construit la réalité physique en présence de certaines contraintes ou d'une analyse mathématique complexe.



Figure III.1 : Le rôle de la simulation.

III.3 Présentation du logiciel de simulation:

SILVACO (Silicon Valley Corporation) : c'est une société américaine, « Silvaco International » ayant son siège à Santa Clara en Californie. Il s'agit l'un des principaux fournisseurs de chaînes professionnelles des logiciels de simulation et de conception assistée par l'ordinateur pour les technologies de l'électronique TCAD (Technology Computer Aided Design). Les entreprises de la microélectronique utilisent cet outil dans le développement des processus technologique des dispositifs [172,173].

Les outils de conception assistée par l'ordinateur servent à simuler le comportement électrique d'un dispositif en tenant compte de sa structure telle que : les différentes géométries, les dopages, les matériaux....etc). Le terme **TCAD** est l'acronyme anglo-saxon de "**Technology Computer Aided Design**". Il permet non seulement de concevoir des dispositifs mais aussi de comprendre les mécanismes physiques qui régissent leur fonctionnement [173] (la présentation de ce logiciel est bien détaillée dans l'annexe A).

III.4 Les équations principales utilisées dans la physique des semi-conducteurs:

La plupart des dispositifs à semi-conducteurs sont étudiés pour résoudre les problèmes du système d'équations tels que:

III.4.1 L'équation de Poisson :

Cette équation présente la dépendance entre le champ électrique et la densité de charge.

$$\text{div}(\vec{E}) = \frac{-\rho}{\epsilon} \quad (\text{III.1})$$

ϵ : la permittivité ($\epsilon = \epsilon_r \epsilon_0$), ϵ_0 : est la constante diélectrique du vide, ϵ_r : est la constante diélectrique relative du matériau), $\epsilon_r = 1$

ρ : la densité de charge volumique des charges libres, le champ électrique est donné par la relation suivante [53] :

$\vec{E} = -\overrightarrow{\text{grad}} \phi = -\nabla \phi$, pour le silicium la permittivité ($\epsilon = \epsilon_{si}$), la densité de charge ρ s'écrit en fonction des densités en porteurs libres et des charges fixes par: $\rho = q[N_d - N_a + p - n]$, alors l'équation de Poisson devient :

$$\text{div}(\overrightarrow{-\text{grad}} \phi) = -\nabla^2 \phi = \frac{-q[N_d - N_a + p - n]}{\epsilon_{si}} \quad (\text{III.2})$$

Tel que : ϕ : est le potentiel électrostatique.

Pour les simulations à trois dimensions (x, y, z) l'équation de Poisson devient [32]:

$$\frac{\partial^2 \phi(x,y,z)}{\partial x^2} + \frac{\partial^2 \phi(x,y,z)}{\partial y^2} + \frac{\partial^2 \phi(x,y,z)}{\partial z^2} = \frac{q [N_d - N_a + p - n]}{\epsilon_{si}} \quad (\text{III.3})$$

Dans la zone de charge d'espace (ZCE): le champ élevé E_y va éjecter les porteurs qui permettent la désertion complète. Par conséquent, la densité des électrons et des trous est considérée comme nulle ($n \cong 0, p \cong 0$), on suppose que la concentration des impuretés accepteurs (N_a) introduite dans le matériau est constante, donc la densité de charge dans ZCE est simplifiée et devient: $\rho = N_a$ [174].

Alors l'équation de Poisson dans les trois directions devient :

$$\frac{d^2 \phi(x,y,z)}{dx^2} + \frac{d^2 \phi(x,y,z)}{dy^2} + \frac{d^2 \phi(x,y,z)}{dz^2} = \frac{q N_a}{\epsilon_{si}} \quad (\text{III.4})$$

III.4.2 Les équations de continuité des porteurs (électrons et trous) :

Ce sont des équations locales valables en tout point élémentaire de volume et à chaque instant du semi-conducteur [175]. Ces équations sont données pour les électrons et pour les trous par :

$$\frac{\partial n}{\partial t} = \frac{1}{q} \text{div} \vec{J}_n - G_n - R_n \quad (\text{III.5})$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q} \text{div} \vec{J}_p - G_p - R_p \quad (\text{III.6})$$

Où : n, p : les concentrations des électrons et des trous, q : la charge d'électron.

J_n, J_p : les densités de courant des électrons et des trous.

G_n, G_p : les taux de génération des électrons et des trous

R_n, R_p : les taux de recombinaison des électrons et des trous.

III.4.3 Les équations de transport :

Pour les dispositifs à grande d'échelle (micrométrique), deux principaux phénomènes physiques sont liés au courant : la conduction et la diffusion [175], les densités de courant (J_n, J_p) dans les expressions de continuité peuvent être exprimées en deux termes : **la conduction des charges et la diffusion des porteurs** [176].

Les densités de courant des porteurs (électrons ou trous) sont données par :

$$J_{n,p} = J_{(n,p) \text{ cond}} + J_{(n,p) \text{ diff}} \quad \text{(III.7)}$$

- **Les densités de courant de conduction:** le phénomène de conduction des charges est défini par le mouvement des porteurs lors de l'application d'un champ électrique (E) pour les électrons (n) et pour les trous (p) sont données par [175]:

$$J_{n \text{ cond}} = \sigma_n \cdot E = q \cdot n \cdot \mu_n \cdot E \quad \text{(III.8)}$$

$$J_{p \text{ cond}} = \sigma_p \cdot E = q \cdot p \cdot \mu_p \cdot E \quad \text{(III.9)}$$

μ_n, μ_p : sont les mobilités des porteurs (électrons, trous) respectivement et exprimées en : $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$, σ_n, σ_p : les conductivités des électrons et des trous, les niveaux d'énergie sont comparés à la concentration des porteurs intrinsèque (n_i) par les deux approximations de **Boltzmann** suivantes [177]:

$$n = n_i \cdot \exp\left(-\frac{E_i - E_F}{K_B \cdot T}\right) \quad \text{(III.10)}$$

$$p = n_i \cdot \exp\left(\frac{E_i - E_F}{K_B \cdot T}\right) \quad \text{(III.11)}$$

- **Les densités de courant de diffusion :** ce phénomène est causé par la concentration non uniforme des porteurs (électrons ou trous) dans le semi-conducteur. Les charges de la zone de concentration élevée sont déplacées vers la zone de faible concentration, et vice-versa, les électrons et les trous obéissent à la loi de diffusion de **Fick** qui donne la dépendance entre le flux des particules F, le gradient de concentration et le coefficient de diffusion (D) qui est montré dans l'équation suivante [53]:

$$\vec{F} = -D \cdot \vec{\nabla} C \quad \text{(III.12)}$$

Pour les électrons $C=n, D=D_n$, et pour les trous $C=p, D=D_p$, les densités de courant de diffusion pour les électrons et les trous sont :

$$\vec{J}_{n \text{ diff}} = -q \cdot \vec{F}_n = q \cdot D_n \cdot \nabla_n \quad \text{(III.13)}$$

$$\vec{J}_{p \text{ diff}} = -q \cdot \vec{F}_p = q \cdot D_p \cdot \nabla_p \quad \text{(III.14)}$$

Alors **les densités de courant** sont données par :

$$J_n = q \cdot n \cdot \mu_n \cdot E + q \cdot D_n \cdot \nabla_n \quad (III.15)$$

$$J_p = q \cdot n \cdot \mu_p \cdot E - q \cdot D_p \cdot \nabla_p \quad (III.16)$$

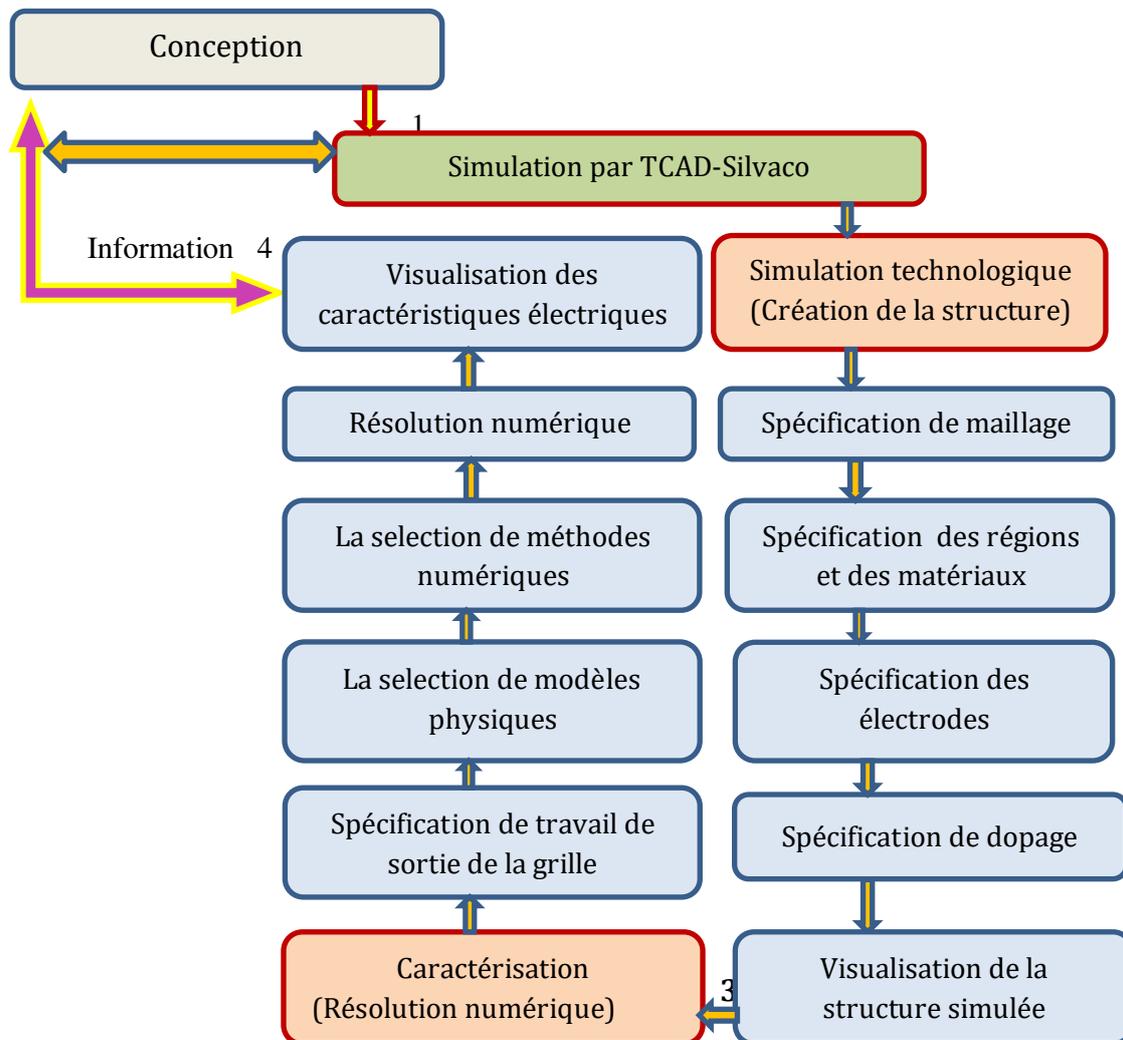
D_n, D_p : sont les coefficients de diffusion des porteurs (électrons, trous) respectivement en $m^2 \cdot s^{-1}$. La relation **d'Einstein** liée directement ces constantes à la mobilité des porteurs par [175]:

$$D_n = \mu_n \frac{K_B \cdot T}{q} \quad (III.17)$$

$$D_p = \mu_p \frac{K_B \cdot T}{q} \quad (III.18)$$

III.5 L'organigramme de simulation :

La simulation des processus technologiques de la caractérisation électrique des dispositifs SG-FD-SOI-MOSFET et DG-FinFET par Atlas-Silvaco se traduit par l'organigramme suivant :



III.2: Organigramme de la simulation technologique et numérique utilisé par Atlas-Silvaco.

III.6 Programmation dans le module Atlas :

Notre travail a été basé essentiellement sur l'utilisation de l'outil de simulation «Atlas» et l'environnement dans laquelle est défini le programme de simulation «DeckBuild», une fois la simulation effectuée sous «ATLAS», les résultats seront visualisés dans l'environnement «TonyPlot». De ce fait, l'outil de simulation «ATLAS» est principalement effectué dans la simulation de notre structure est présenté dans l'annexe A. Par conséquent, l'ordre des commandes spécifiques à la logique de programmation est présenté dans le tableau suivant :

Groupes	Commandes	Syntaxe / Rôle
1. Spécification des structures	-Mesh	x.mesh Location = <Value> Spacing = <Value > y.mesh Location = <Value> Spacing = <Value > z.mesh Location = <Value> Spacing = <Value >
	-Region	Region nombre = <integer><material_type>/< position parameters >
	-Electrode	Electrode Name = <electrode name> <position parameters>
	-Doping	Dopage < type de distribution >< type de dopant > / < position parameters >
2. Spécification des modèles et des matériaux	-Material	Material < localisation >< définition du matériau >
	-Models	Model < paramètres générales > / < paramètres du modèle >
	-Contact	Contact <Nom de contact>
	-Interface	Interface [<parameters>]
3. Sélection des méthodes numériques	-Methode	Method: déclaré les méthodes numériques pour la résolution des équations
4. Spécification des solutions	-Log	Log : permet de sauvegarder les simulations dans un fichier
	-Solve	Solve : demandez à Atlas d'exécuter des solutions pour un ou plusieurs points de polarisation.
	-Load	Load : permet de charger les solutions précédentes proposées en tant qu'une initialisation pour les autres points de polarisation.
	-Save	Save : autorise la sauvegarde de toutes les informations obtenues d'un noeud du maillage dans un fichier de sortie.
5. Analyse des résultats	-Extract	Extract : utilisé pour extraire des paramètres tels que: la tension de seuil, la pente sous seuil, les courants Ion, Ioff etc.....
	-Tonyplot	Tonyplot

Tableau III.1 : les commandes fondamentales dans le programme Atlas.

III.7 Présentation des structures nanométriques SG-FD-SOI-MOSFET et DG-FinFET:

Le transistor à double grille (DG-FinFET) sera comparé au transistor à simple grille SG-FD-SOI-MOSFET. L'objectif principal est d'étudier les caractéristiques d'une nouvelle structure de transistor DG-FinFET telles que (V_{th} , SS, Ion, Ioff, gm, DIBL et le GIDL), et comparer les performances de ses caractéristiques électriques avec celles du dispositif à simple grille (SG-FD-SOI-MOSFET).

III.7.1 Les paramètres géométriques des structures SG-FD-SOI-MOSFET et DG-FinFET:

Dans cette partie, nous utilisons la simulation à deux dimensions dans TCAD-Silvaco pour expliquer les caractéristiques électriques du dispositif SG-FD-SOI-MOSFET, et la simulation à trois dimensions pour expliquer les caractéristiques électriques du dispositif récemment développé de DG-FinFET en utilisant le diélectrique à high-k (TiO_2).

Les **tableaux III.2 et III.3** présentent les différents paramètres utilisés dans la simulation pour les dispositifs SG-FD-SOI-MOSFET et DG-FinFET, et les **figures III.3 et III.4** présentent les structures des dispositifs SG-FD-SOI-MOSFET (à deux dimensions) et DG-FinFET (à trois dimensions) (les étapes de simulation de ces deux structures: voir **l'annexe A**).

Les paramètres Physiques de dispositif SG-FD-SOI-MOSFET	Symbole	Valeur
Longueur de grille (nm)	L_G	5
L'épaisseur d'Oxyde de grille (nm)	t_{ox}	0.1
Epaisseur de silicium (nm)	T_{si}	2
L'épaisseur de substrat (fin) (nm)	T_{FIN}	8
La concentration de dopage Source/Drain (cm^{-3})	N_d	6×10^{21}
La concentration de dopage de canal (cm^{-3})	N_a	10^{19}
Le travail de sortie de la grille (workfunction) (e.V)	Φ_m	4.45

Tableau III.2 : Les paramètres physiques du transistor à simple grille (FD-SOI-MOSFET) utilisé dans la simulation ATLAS à deux dimensions.

Les Paramètres physiques de dispositif DG-FinFET	Symbole	Valeur
Longueur de la grille (nm)	L_G	5
Longueur de canal (3C-SiC) (nm)	L_C	6
Longueur de Source/drain (nm)	L_S, L_D	1
Hauteur d'ailette (Fin) (nm)	H_{FIN}	10
Largeur d'ailette (épaisseur de Fin) (nm)	$T_{FIN} (W_{FIN})$	3
L'épaisseur d'oxyde (nm)	$T_{OX} (TiO_2)$	0.5
La concentration de dopage Source/drain (cm^{-3})	N_D	6×10^{21}
La concentration de dopage de canal (cm^{-3})	N_A	10^{16}
Le travail de sortie de la grille (workfunction) (e.V)	Φ_M	4.45

Tableau III.3 : Les paramètres physiques du transistor DG-FinFET utilisé dans la simulation ATLAS à trois dimensions.

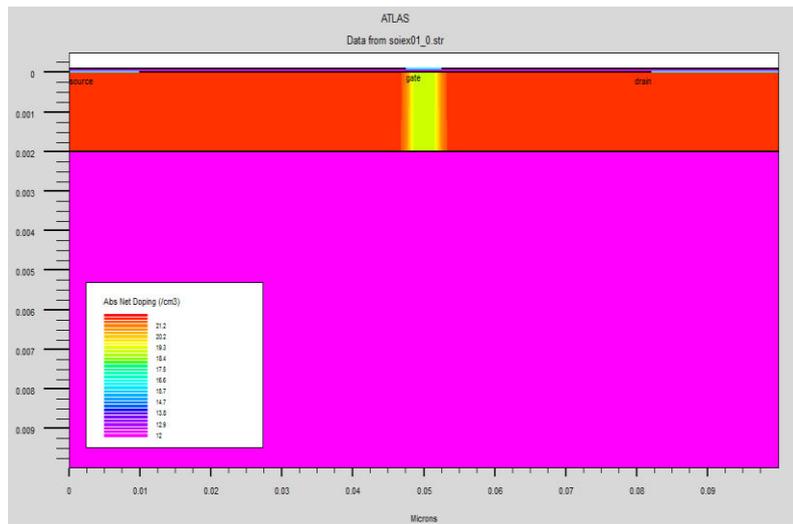
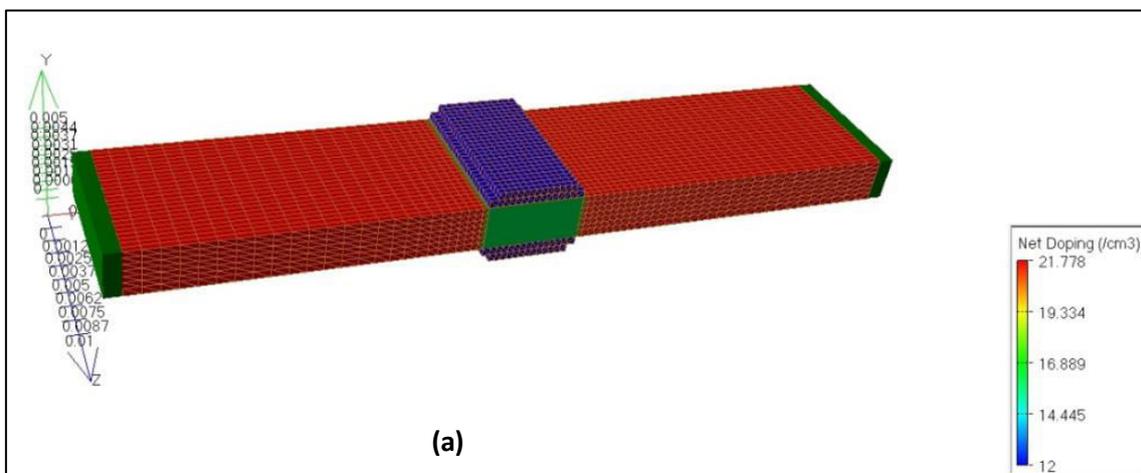


Figure III.3 : la structure du transistor à simple grille (SG-FD-SOI-MOSFET).



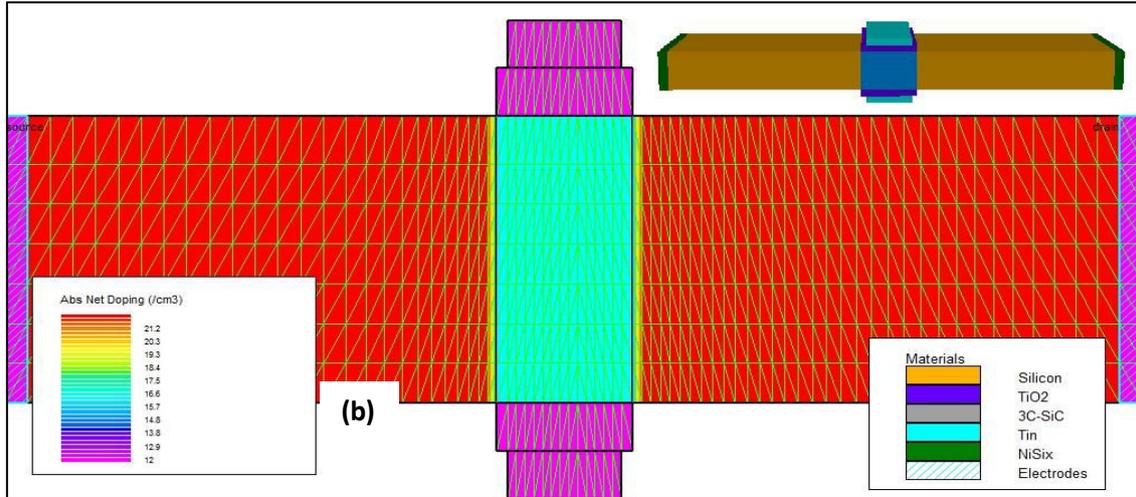


Figure III.4 : La structure du transistor à double grille DG-FinFET en utilisant le diélectrique de grille TiO₂, **a)** la structure à trois dimensions (3D), **b)** vue en coupe de la structure à deux dimensions.

III.7.2 La comparaison des caractéristiques électriques des transistors DG-FinFET et SG-FD-SOI-MOSFET:

III.7.2.1 La tension de seuil (V_{th}):

Comme nous avons déjà vu précédemment, la tension de seuil est donnée par la relation suivante:

$$V_{th} = \Phi_{ms} + 2\Phi_f + \frac{Q_D}{C_{ox}} + \frac{Q_{ss}}{C_{ox}} + V_{in} \quad (III. 19)$$

Où Φ_{ms} : représente la différence de travail entre le métal de la grille et le semi-conducteur, Φ_f : est le potentiel de Fermi, Q_D : est la charge de déplétion dans le canal, C_{ox} : est la capacité de l'oxyde de la grille et Q_{ss} : représente la charge dans le diélectrique de grille [113].

La figure III.5.a montre la simulation de la caractéristique de transfert ($I_d - V_g$) obtenue pour le transistor (DG-FinFET) en utilisant le dioxyde de titane (TiO₂) dans la technologie 5nm. Nous avons également utilisé la tension de drain $V_d = 0,1$ V et la tension de grille $V_g = 0$ à 0,8 V avec $V_{step} = 0,1$ V. Les résultats de la simulation des caractéristiques de transfert ($I_d - V_g$) des deux structures SG-FD-SOI-MOSFET et DG-FinFET à l'aide du simulateur TCAD SILVACO sont montrés dans la figure III.5.b.

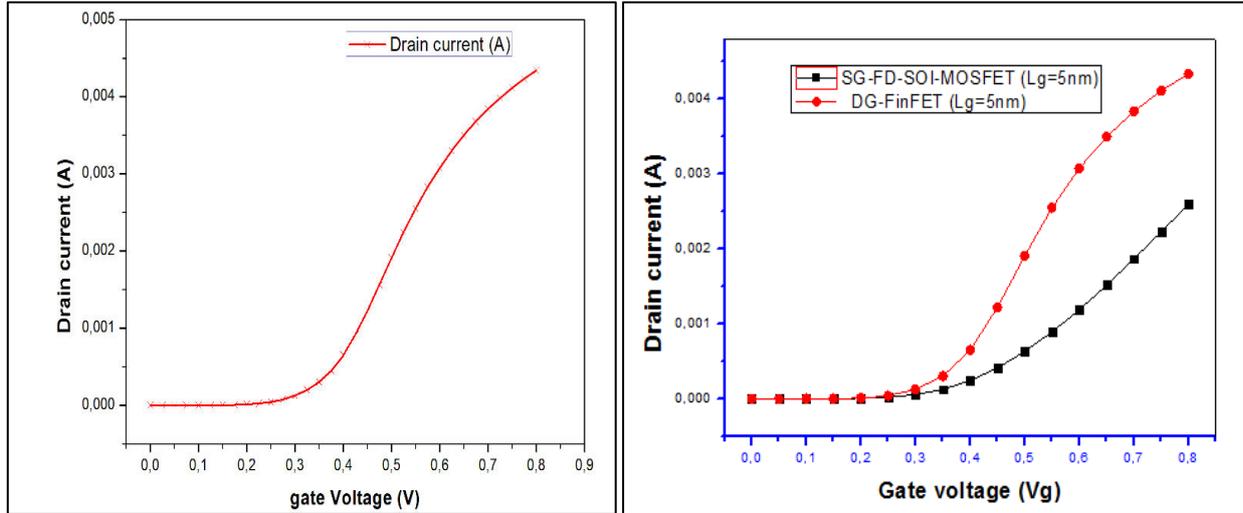


Figure III.5 : **a)** La caractéristique courant- tension (I_d - V_g) dans l'échelle linéaire pour le DG-FinFET pour une tension de polarisation ($V_d = 0,1$ V), **b)** la comparaison des caractéristiques (I_d - V_g) dans l'échelle linéaire des dispositifs SG-FD-SOI-MOSFET et DG-FinFET.

Les résultats de la [figure II.5.a](#) montrent qu'une meilleure valeur de la tension de seuil ($V_{th} = 0,3124$ V) a été obtenue en comparaison à celle obtenue par Vinay Kumar ($V_{th} = 0,42$ V) pour le DG-FinFET avec le diélectrique de grille La_2O_3 de technologie 12 nm [\[106\]](#). Ce résultat est également meilleur par rapport à celle obtenu par N. Boukourt ($V_{th} = 0,4$ V) pour le dispositif DG-FinFET de technologie à $L_g = 8$ nm et de matériau diélectrique ZrO_2 dans la grille et le 3C-SiC dans le canal [\[100\]](#), la valeur obtenue de la tension de seuil (V_{th}) est due à la réduction de la longueur de grille ($L_g = 5$ nm), et à l'utilisation d'un diélectrique à haute permittivité (k). D'autre part, Il est clair à partir de la [figure III.5.b](#) qu'une bonne valeur de la tension de seuil est obtenue pour le dispositif DG-FinFET par rapport au dispositif SG-FD-SOI-FinFET en raison de la réduction de l'effet du canal court (SCE).

III.7.2.2 La pente sous le seuil (SS) (mV/dec):

Nous avons vu précédemment que la pente sous seuil est définie à partir des caractéristiques logarithmiques de la courbe (I_d - V_g), cette pente doit être la plus faible possible pour activer ou désactiver rapidement le transistor [\[134\]](#), la pente sous le seuil est donnée par:

$$SS \text{ (mV/Decade)} = \frac{dv_{gs}}{d(\log I_{ds})} \quad \text{(III. 20)}$$

La [figure III.6.a](#) montre les caractéristiques courant-tension (I_d - V_g) dans l'échelle logarithmique pour le dispositif DG-FinFET et pour une polarisation $V_d = 0.1$ V, et la [figure III.6.b](#) montre la comparaison des caractéristiques (I_d - V_g) dans l'échelle logarithmique des deux dispositifs SG-FD-SOI-MOSFET et DG-FinFET.

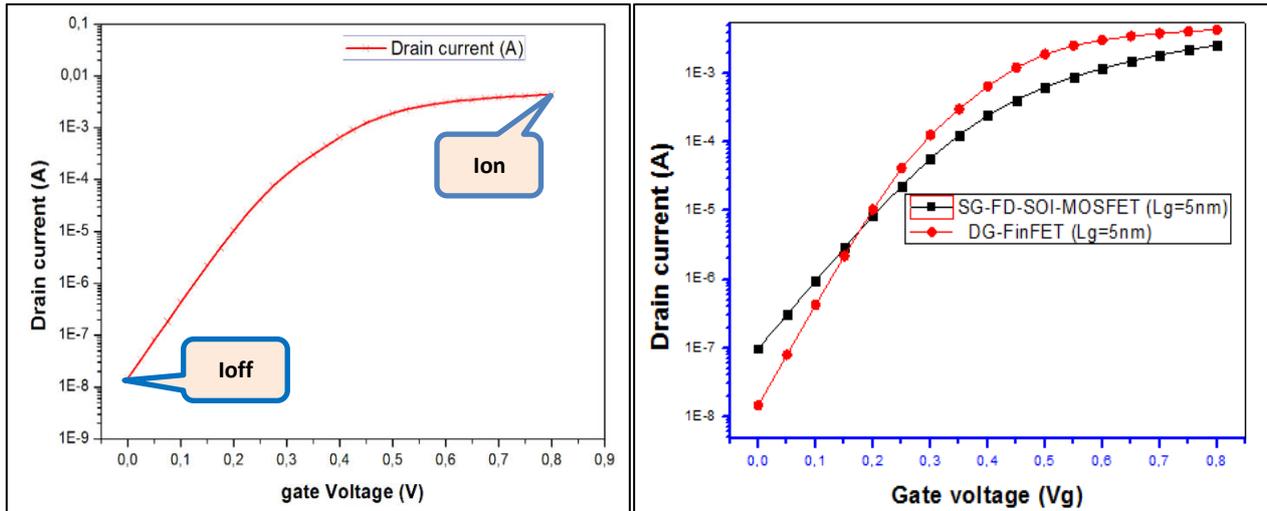


Figure III.6: a) les caractéristiques I_d - V_g en échelle logarithmique du dispositif (DG-FinFET) pour une polarisation de drain $V_d=0.1V$. **b)** Les caractéristiques (I_d - V_g) en échelle logarithmique des dispositifs SG-FD-SOI-MOSFET et DG-FinFET.

Il ressort clairement à partir de la **figure III.6. a** que la pente sous seuil $SS = 67,77 \text{ mV/décade}$, ce qui présente une bonne valeur comparativement avec celle obtenue par certains auteurs: Slimani Samia ($SS= 93 \text{ mV/décade}$) pour le dispositif DG-MOSFET avec le diélectrique ZrO_2 à technologie 13 nm [112], Vinay Kumar ($SS= 85 \text{ mV/décade}$) pour le DG-FinFET de $L_g= 12 \text{ nm}$ en utilisant le diélectrique La_2O_3 [106], Rajesh Kumar ($SS= 77\text{mV/décade}$) pour le DG-MOSFET avec le diélectrique de grille ZrO_2 dans la technologie 12nm [113], et par N.Boukourt ($SS= 69,50 \text{ mV/décade}$) pour la technologie 8 nm [100]. Il est clair à partir de la **figure III.6. b** que la plus grande valeur de la pente sous seuil est obtenu pour le transistor SG-FD-SOI-MOSFET, cette valeur montre que ce dispositif prend plus de temps (un plus grand retard) pour passer de l'état ON à l'état OFF ce qui présente un problème pour ce dispositif, alors le dispositif DG-FinFET possède de meilleures performances de commutation du circuit par rapport au dispositif SG-FD-SOI-MOSFET.

III.7.2.3 Les courants de fuite (I_{on} , I_{off}):

♣ Le courant (I_{off}) :

Le courant à l'état bloqué du transistor (I_{off}) correspond au courant du drain lorsque la tension de grille est nulle ($V_g = 0V$), ce courant pose un problème important pour les applications de faible puissance, de nombreux facteurs peuvent influencer le courant I_{off} tels que : la tension de seuil, la pente sous seuil, et les dimensions physiques de canal [86] [109] le courant I_{off} est donné par l'équation suivante [178]:

$$I_{\text{off}} = 100 \frac{W}{L} 10^{\frac{-V_{\text{th}}}{SS}} \quad (\text{III. 21})$$

Où W et L sont respectivement la largeur et la longueur du canal.

À partir de la [figure III.6.a](#) nous constatons que le courant de fuite (I_{off}) atteint la valeur de 14,58 nA pour le modèle proposé de transistor DG-FinFET, c'est une bonne valeur en comparaison avec le courant obtenu par certains auteurs : Slimani Samia [112] ($I_{\text{off}} = 0,745 \mu\text{A}$) et Rajesh Kumar ($I_{\text{off}} = 0,236 \mu\text{A}$) [113], de ce fait, la réduction du courant I_{off} est également importante pour augmenter la capacité entre la source et le drain, le faible courant de fuite est considéré comme un meilleur avantage pour les transistors à double grille, en raison de la présence des couches ultraminces dans les deux grilles, qui sert à réduire les effets de canal court (SCE), la réduction du courant de fuite (I_{off}) provoque aussi une réduction de la puissance dans ce dispositif et par conséquent dans les circuits, ce qui permet également l'utilisation appropriée du transistor DG-FinFET dans plusieurs applications car il consomme moins de puissance. D'autre part, nous observons aussi à partir de la [figure III.6.b](#) que des meilleures performances du courant de fuite (I_{off}) ont été obtenues pour le dispositif à double grille DG-FinFET par rapport au dispositif SG-FD-SOI-MOSFET.

♣ **Le courant (I_{on}):**

C'est un courant circulant entre la source et le drain, lorsque le transistor est à l'état passant, il est défini comme la valeur maximale de courant de drain (I_{d}) [86].

Les [figures III.6.a](#) et [III.6.b](#) montrent aussi que la plus grande valeur du courant à l'état ON ($I_{\text{on}}=4,33 \text{ mA}$) est obtenue pour le dispositif DG-FinFET, ce résultat montre que la présence des deux grilles dans le dispositif DG-FinFET entraîne une valeur maximale de courant à l'état passant (I_{on}) par rapport au dispositif SG-FD-SOI-MOSFET qui a une résistance plus élevée près du canal, alors que celle du DG-FinFET est plus faible, l'isolation électrostatique du canal par la tension de drain offre ainsi des excellentes caractéristiques de sortie [179].

III.7.2.4 Le rapport $I_{\text{on}}/I_{\text{off}}$:

L'augmentation du rapport $I_{\text{on}}/I_{\text{off}}$ est importante pour améliorer le fonctionnement des transistors MOSFETs, ceci exige l'augmentation du courant (I_{on}) et la diminution du courant I_{off} . Les résultats obtenus montrent un rapport $I_{\text{on}}/I_{\text{off}}$ élevé pour le dispositif DG-FinFET par rapport au dispositif SG-FD-SOI-MOSFET, ce qui montre que le dispositif DG-FinFET possède des meilleures performances.

III.7.2.5 Le DIBL (Drain Induced Barrier Lowering):

Ce paramètre représente la réduction de la tension de seuil V_{th} qui résulte de l'augmentation de la tension de drain, l'expression du DIBL est donnée par:

$$DIBL = \frac{\Delta V_{th}}{\Delta V_{ds}} \quad (III. 22)$$

La figure III.7. a présente la caractéristique de transfert (I_d - V_g) dans l'échelle logarithmique pour les polarisations de drain $V_d = 0,05$ V et $V_d = 0,1$ V, et la figure III.7.b illustre la comparaison de DIBL des deux structures SG-FD-SOI-MOSFET et DG-FinFET pour ces deux polarisations.

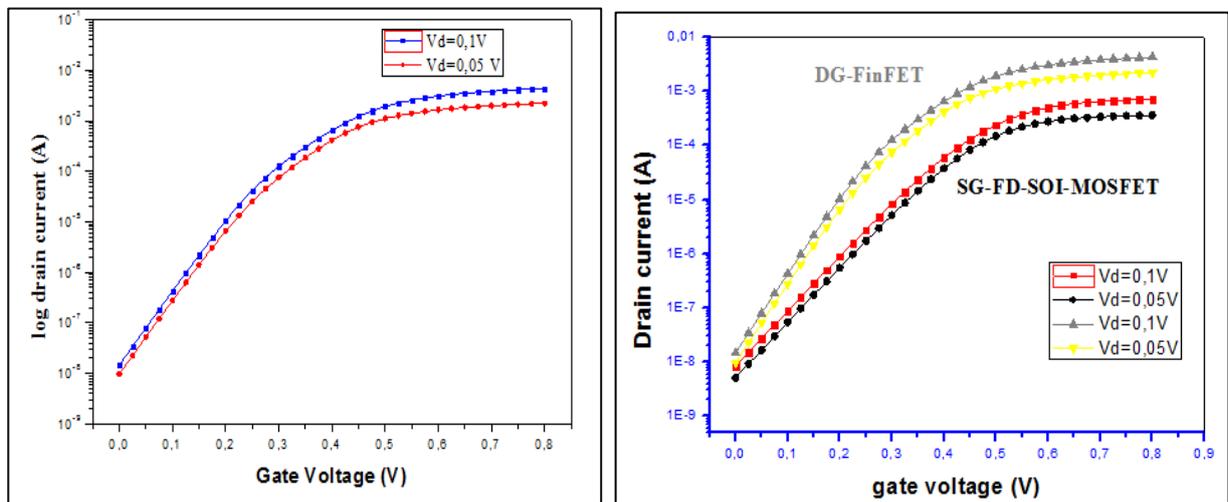


Figure III.7: a) La caractéristique de transfert I_d - V_g dans l'échelle logarithmique pour $V_d = 0,05$ V et $V_d = 0,1$ V, **b)** la comparaison du DIBL entre les structures SG-FD-SOI-MOSFET et DG-FinFET pour différentes polarisations de drain $V_d = 0,05$ et $V_d = 0,1$ V.

À partir de la caractéristique à l'échelle logarithmique pour les deux polarisations de la tension de drain $V_d = 0,05$ V et $V_d = 0,1$ V dans la structure proposée (figure III.7.a), nous pouvons extraire la valeur de $DIBL = 64$ mV/V. C'est une bonne valeur en comparaison avec celle obtenue par N. Boukourt ($DIBL = 71,1$ mV/V) [100]. Par conséquent, cet avantage permet d'augmenter l'utilisation de cette structure dans le futur de mise en échelle des dispositifs. Comme montre la figure III.7.b, il est prévu que le DIBL est beaucoup plus élevé pour le SG-FD-SOI-MOSFET que pour le DG-FinFET, ce qui donne une grande probabilité que le transistor ne passe pas à l'état off [179], alors la meilleure valeur de DIBL est obtenue pour le transistor DG-FinFET.

III.7.2.6 La transconductance (gm):

La transconductance présente à peu près la valeur maximale pour différentes tensions drain-source, ce paramètre augmente puis diminue avec l'augmentation de la tension de grille [102], la transconductance gm quantifie la variation du courant de drain avec la variation de tension grille-source tout en maintenant la tension de drain source constante [45], l'augmentation de la transconductance des dispositifs montre l'élévation de la vitesse de fonctionnement des circuits, gm est défini par:

$$g_m = \left(\frac{dI_d}{dv_g} \right)_{V_d} \quad (III. 23)$$

La **figure III.8.a** présente la courbe de la transconductance en fonction de la tension de la grille Vg pour Vd = 0,1 V, et la **figure III.8.b** montre la comparaison de la transconductance entre les dispositifs DG-FinFETs et SG-FD-SOI-MOSFETs.

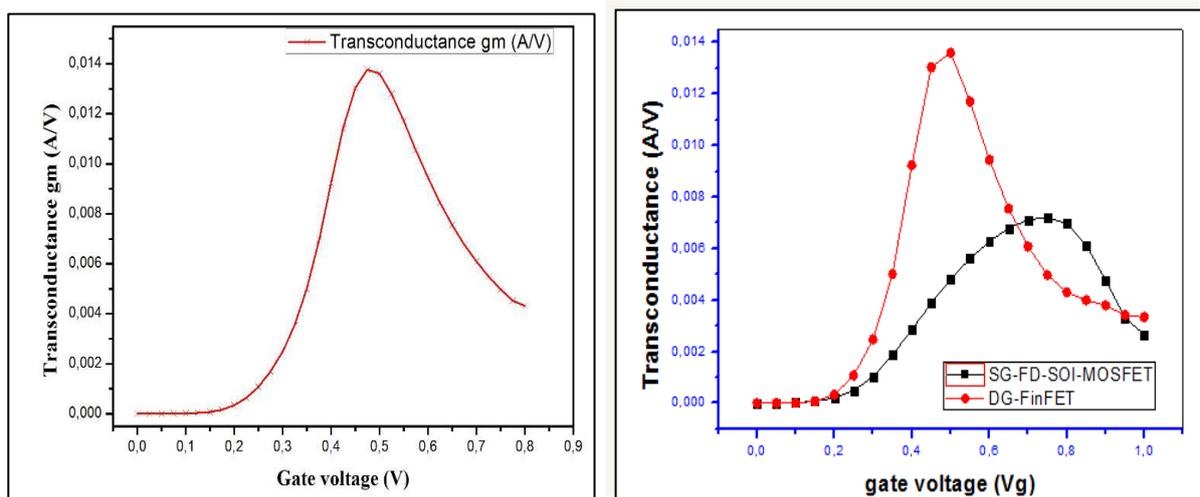


Figure III.8: a) La variation de la transconductance en fonction de la tension de grille (gm-Vg) pour Vd = 0.1V, **b)** la comparaison de la transconductance (gm) pour les structures SG-FD-SOI-MOSFET et DG-FinFET

Il est clair à partir de la **figure III.8.a** qu'une transconductance plus élevée a été obtenue pour le dispositif DG-FinFET (gm = 13,77 mA/V), c'est une bonne valeur par rapport à celle obtenue par N.Boukourt gm = 4,82 mA/V [100], et par Vinay Kumar pour le DG-FinFET avec Lg = 12 nm en utilisant le diélectrique de grille La2O3 [106], D'autre part, la **figure III.8.b** montre qu'une excellente valeur de la transconductance (gm) a été obtenue pour le dispositif DG-FinFET en comparaison avec celle de SG-FD-SOI-MOSFET, ce qui montre l'augmentation de la vitesse de ce dispositif. Par conséquent, une valeur de transconductance élevée apportera un gain de tension plus élevé, le gain de tension d'un dispositif MOSFET est donné par:

$$A_v = g_m \cdot R_d \quad (III. 24)$$

III.7.2.7 Le GIDL (Gate-induced drain leakage):

Le courant du drain induit par la grille est un courant parasite qui contribue à l'augmentation du courant I_{off} , qui sera amplifié pour des valeurs négatives de la tension V_g . La [figure III.9](#) présente la comparaison de l'effet GIDL des transistors SG-FD-SOI-MOSFET et DG-FinFET.

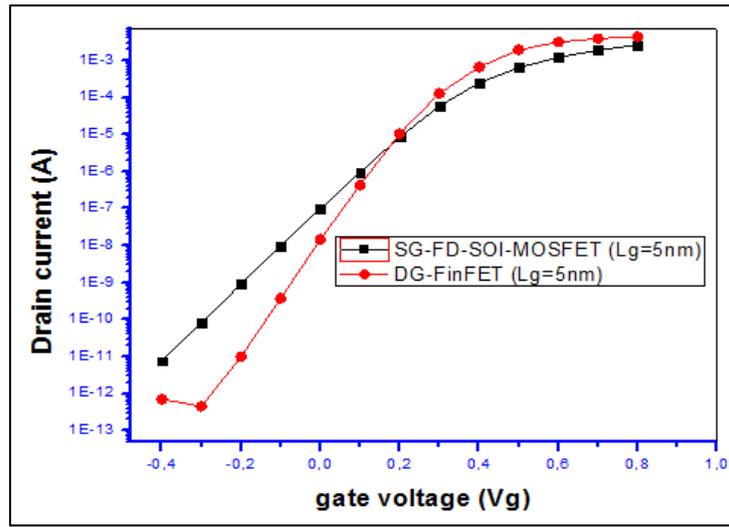


Figure III.9: la comparaison de GIDL entre le SG-FD-SOI-MOSFET et le DG-FinFET.

Il est clair à partir de cette figure la réduction du GIDL est obtenu pour le dispositif DG-FinFET, ceci entraîne la diminution du champ électrique dans la couche de silicium entre la grille et la région de drain. Par conséquent, un avantage pour la structure DG-FinFET est l'élimination du courant GIDL qui facilite l'utilisation de ce dispositif pour les applications à faible puissance.

III.7.2.8 La caractéristique I_d - V_d :

La caractéristique (I_d - V_d) pour différentes polarisations de grille (V_g) de la structure DG-FinFET est illustrée dans la [figure III.10](#). À partir des résultats de cette simulation nous observons que les tensions de grille plus élevées fournissent un courant de drain plus élevé, donc les résultats sont améliorés.

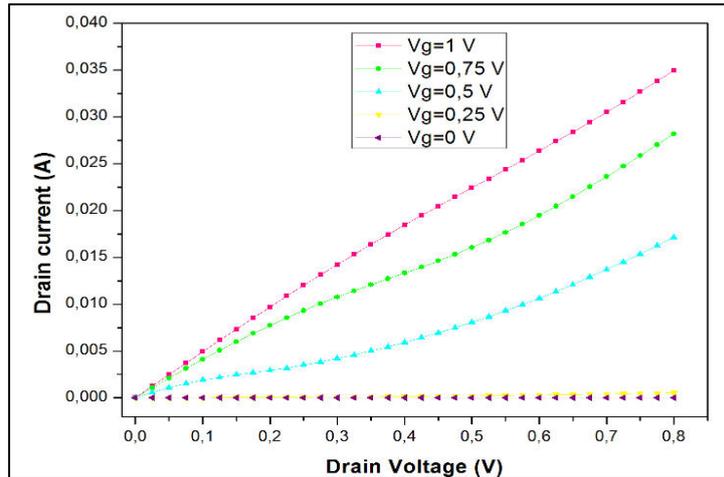


Figure III.10 : les caractéristiques I_d - V_d pour différentes tensions de grille V_g .

III.7.2.9 Le champ électrique (E):

Le champ électrique est considéré comme un autre paramètre pour décrire l'effet des porteurs chauds HCE, cet effet est l'un des problèmes importants pour évaluer la fiabilité du dispositif.

La figure III.11 montre la variation du champ électrique le long du canal.

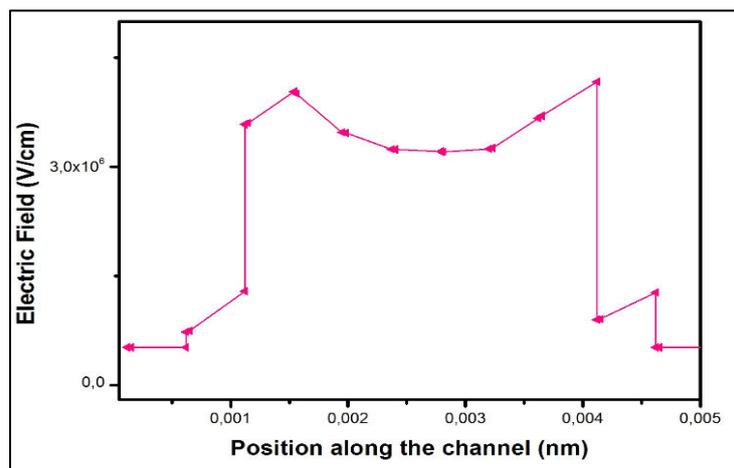


Figure III.11: Le champ électrique (E) en fonction de la position le long du canal (nm) pour $V_d = 0,1$ V et pour une coupe de plan de dispositif DG-FinFET à $x = 0,027$ μm .

On remarque que le champ électrique horizontal (E) atteint une valeur maximale dans les extensions du dispositif DG-FinFET de diélectrique de grille (TiO_2). Dans les bords de cette région, on observe que la valeur du champ électrique est plus élevée, ceci va être diminué et devient plus uniforme le long de la région du canal, pour cette raison, l'effet des porteurs chauds (HCE) est plus suppressif, ce qui entraîne une réduction des effets de canal court [180], par conséquent, les électrons reçoivent une énergie plus faible, ce qui provoque l'augmentation de la vitesse qui rend le dispositif plus fiable.

Le résumé des résultats de la comparaison des différentes caractéristiques obtenues des dispositifs SG-FD-SOI-MOSFET et DG-FinFET est présenté dans le **tableau III.4**.

paramètres	SG-FD-SOI-MOSFET	DG-FinFET
Vth	0.3477	0.312
SS (mV/dec)	103.9	67.77
Ioff (nA)	97.94	14.588
Ion (mA)	3.53	4.33
Ion/Ioff	3.604*10 ⁴	29.68*10 ⁴
gm (mA/V)	7.22	13.77
DIBL (mV/V)	688	64

Tableau III.4 : les résultats de la comparaison des caractéristiques électriques des dispositifs SG-FD-SOI-MOSFET et DG-FinFET de diélectrique de grille TiO₂ dans la technologie de longueur L_g=5 nm.

Le **tableau III.4** montre que tous ces résultats permettent l'amélioration des effets de canal court (SCE) pour le dispositif proposé de DG-FinFET de longueur de grille L_g=5 nm. Par conséquent, ces dispositifs deviennent plus rapides et leurs performances sont augmentées, c'est pourquoi nous allons plus intéresser dans ce travail sur ce dispositif.

III.8 Impact de la variation de la géométrie de dispositif DG-FinFET:

III.8.1 Impact de la variation de la longueur de grille:

Les différents technologies à faible puissance statique LSTP nécessitent une tension de seuil plus élevée. Dans les circuits intégrés, la réduction de la longueur de canal provoque la diminution de la tension de seuil (V_{th}). Par conséquent, le drain et la source supportent la charge dans la région de déplétion.

Nous nous intéressons dans cette partie de travail sur la variation de la longueur de la grille en fonction des différents paramètres tels que: la tension de seuil (V_{th}), la pente sous seuil (SS), le courant de fuite (I_{off}), le DIBL, la transconductance (gm) et le champ électrique (E).

Les résultats de simulation de ce paramètre sont représentées dans les figures suivantes:

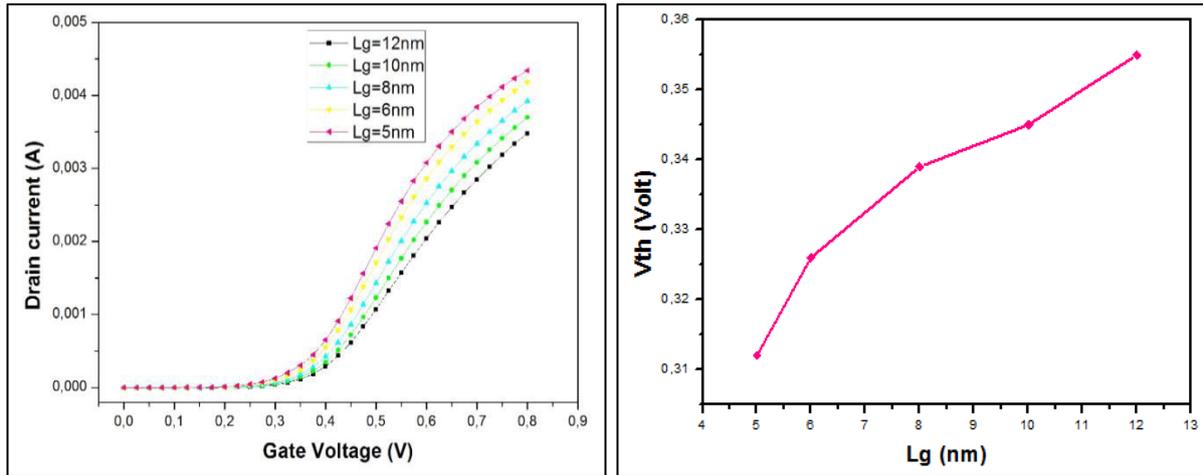


Figure III.12: a) la caractéristique I_d - V_g en échelle linéaire pour différentes longueurs de grille $L_g = (5, 6, 8, 10, 12)$ nm avec $V_g = 0-0,8V$, $vstep = 0,025V$ et $V_d = 0,1V$. **b)** la variation de la tension de seuil (V_{th}) pour différentes longueurs de grille $L_g = (5, 6, 8, 10, 12)$ nm et pour une polarisation de drain $V_d=0,1V$.

La figure III.12.a présente la caractéristique I_d - V_g en échelle linéaire pour différentes longueur de grille L_g et pour $V_d = 0,1V$, et la figure III.12.b présente la variation de la tension de seuil (V_{th}) en fonction de la variation de la longueur de grille (L_g). Nous observons à partir de ces figures que la tension de seuil du DG-FinFET de longueur de grille $L_g = 5nm$ est égale à $0,312 V$, les résultats obtenus de ce paramètre sont $(0,326, 0,339, 0,345, 0,355) V$ pour les longueurs de grilles $L_g=(6, 8, 10$ et $12)$ nm respectivement, ce qui montre que la réduction de la longueur de grille entraîne l'amélioration de la tension de seuil.

Les figures III.13 et III.14 présentent l'impact de la variation de la longueur de la grille $L_g = (5, 6, 8, 10, 12)$ nm sur la pente sous seuil à l'échelle logarithmique dans la caractéristique (I_d - V_g), et sur le courant de fuite (I_{off}).

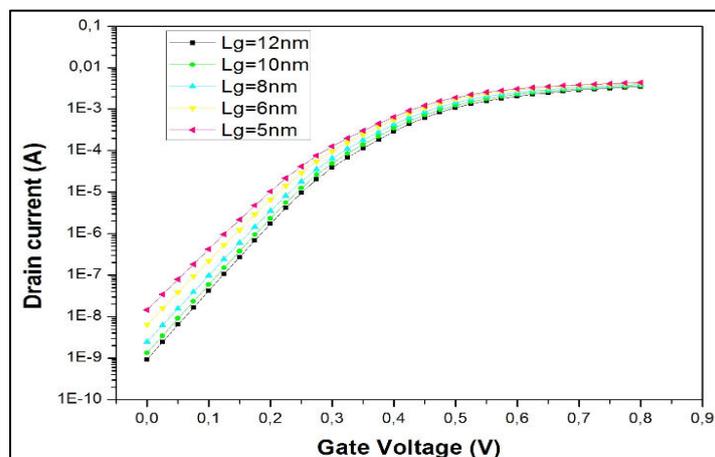


Figure III.13: La variation de la pente sous seuil à l'échelle logarithmique dans la caractéristique (I_d - V_g) pour différentes longueurs de grille $L_g = (5, 6, 8, 10, 12)$ nm et pour des polarisations $V_g = 0$ à $0,8 V$, $Vstep = 0,025V$ et $V_d = 0,1V$.

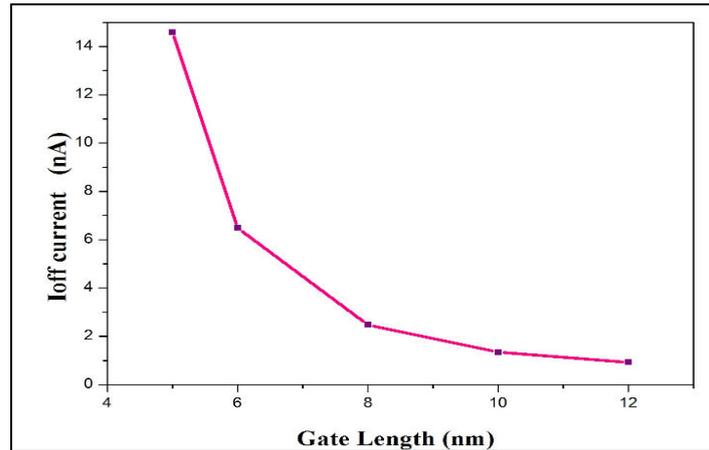


Figure III.14: la variation du courant I_{off} pour différentes longueurs de grille $L_g = (5, 6, 8, 10, 12)$ nm pour $V_d = 0,1$ V.

- La **figure III.13** montre que lorsque la longueur de grille devient plus courte ($L_g=5$ nm), une meilleure valeur de la pente sous seuil ($SS=67.77$ mV/déc) a été obtenue. De plus, l'augmentation de ces longueurs de $L_g = (6, 8, 10, 12)$ nm correspond à une diminution progressive de cette pente qui atteint $SS = (65,45, 62,34, 59,91, 59,37)$ mV/déc respectivement. Pour cette raison, une meilleure valeur du courant de fuite I_{off} a été également obtenue ($I_{off}=14.58$ nA) pour la longueur de grille $L_g=5$ nm comme montre dans la **figure III.14**, mais ce courant se diminue légèrement par l'augmentation de la longueur de grille ce qui est observé clairement dans la **figure III.14**. De ce fait, dans le régime nanométrique, l'augmentation du courant de fuite entraîne une dissipation de la puissance dans les circuits CMOS [107].

La **figure III.15** présente la variation du DIBL pour différentes longueurs de grilles $L_g = (5, 6, 8, 10, 12)$ nm pour deux polarisations de drain $V_d = 0,05$ V et $V_d = 0,1$ V.

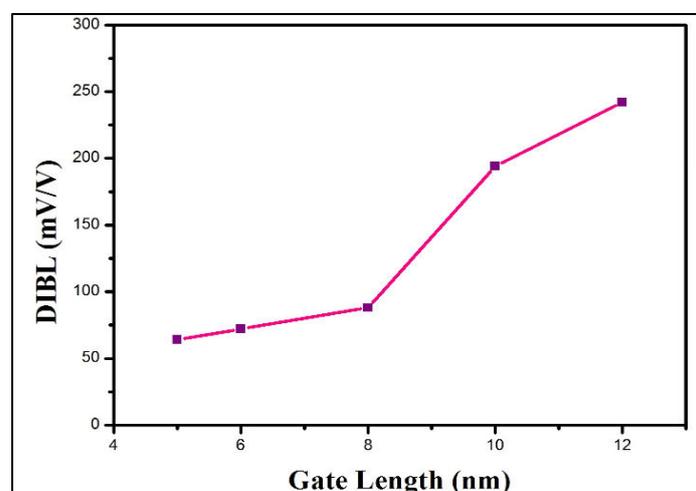


Figure III.15: l'impact de la variation du DIBL sur différentes longueurs de grilles $L_g = (5, 6, 8, 10, 12)$ nm.

-Le DIBL est simulé pour la tension de drain 0,05 V et 0,1 V. Il est également clair sur la **figure III.15** que le paramètre DIBL diminue avec la diminution de la longueur L_g , le DIBL est égale à 64 mV/V pour la longueur de grille $L_g=5$ nm, et égale à (96, 112, 138 et 280) mV/V pour des longueurs de grilles $L_g=(6, 8, 10, 12)$ nm respectivement.

- La transconductance g_m est un autre paramètre qui a augmenté et qui est devenu plus significatif pour les longueurs plus courtes de la grille comme le montre dans la **figure III.17**.

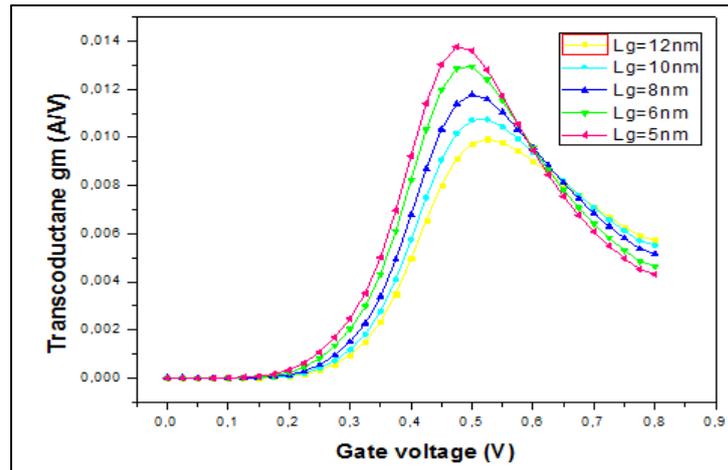


Figure III.16: la transconductance g_m en fonction de la tension de grille V_g pour différentes longueurs de grilles $L_g = (5, 6, 8, 10, 12)$ nm et pour $V_d = 0,1$ V.

Cette figure montre que la meilleure valeur de la transconductance (g_m) égale à 13,77 mA/V est obtenue pour la longueur de grille $L_g=5$ nm, puis les valeurs de ce paramètre ont diminué de (12.94, 11.77, 10.75, 9.93) mA/V pour $L_g=(6, 8, 10, 12)$ nm respectivement.

La **figure III.17** présente l'impact de la variation de la longueur de grille sur le champ électrique (E).

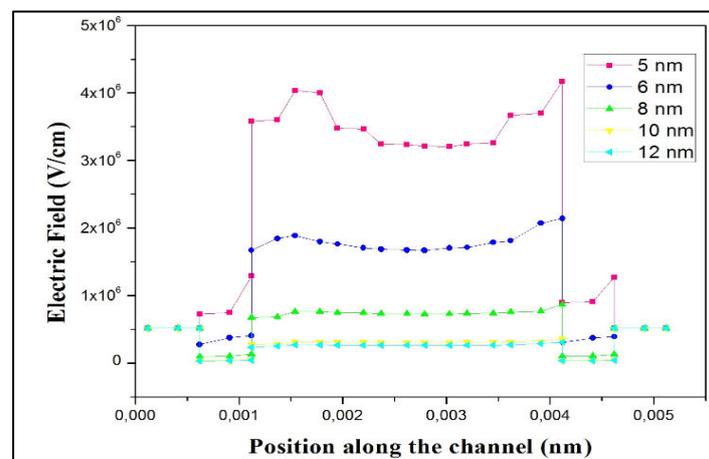


Figure III.17: Le champ électrique en fonction de la position le long du canal (nm) pour différentes longueurs de grille $L_g = (5, 6, 8, 10, 12)$ nm et pour $V_d = 0,1$ V.

- un meilleur champ électrique est observé le long du canal pour les longueurs de grille plus courtes comme le montre la **figure III.17**.

Les résultats de simulation des différents paramètres électriques utilisés lors de la variation de la longueur de la grille (L_g) de DG-FinFET sont reportées dans le **tableau III.5**.

$L_g(\text{nm})$	5	6	8	10	12
Paramètres					
V_{th} (V)	0.312	0.326	0.339	0.345	0.355
SS (mV/Decade)	67.77	65.45	62.34	59.91	59.37
(I_{off}) (nA)	14.588	6.486	2.471	1.339	0.924
DIBL (mV/V)	64	96	112	138	280
(g_m) (mA/V)	13.77	12.94	11.77	10.75	9.93

Tableau III.5: les résultats de simulation des divers paramètres électriques pour différentes longueurs de grille dans le dispositif DG-FinFET à l'aide d'Atlas-TCAD.

III.8.2 Impact de la variation de la hauteur et la largeur des ailettes (H_{fin}) (W_{fin}):

L'effet des paramètres de la mise en l'échelle telle que: la hauteur et la largeur des ailettes (H_{fin}) et (W_{fin}) dans le transistor DG-FinFET sur les différentes caractéristiques électriques sont étudiés pour montrer la fiabilité et la caractérisation des performances.

❖ Impact de la variation de la hauteur d'ailettes (H_{fin}):

Pour surmonter l'effet de canal court, nous allons examiner les divers paramètres liés à la variation de la hauteur des ailettes (H_{fin}) dans le transistor ultra-court DG-FinFET. Dans notre simulation, les valeurs de ce paramètre sont comprises entre (10 et 17) nm, les résultats obtenus de différentes caractéristiques du courant de drain en fonction de la polarisation de la grille (I_d - V_g) pour différentes valeurs de la hauteur d'ailette H_{fin} = (10, 12, 15, 17) nm sont présentés dans la **figure III.18**.

Nous observons à partir de cette figure que la tension de seuil (V_{th}) diminue avec l'augmentation de la hauteur d'ailette et atteint la valeur 0,3362 V pour H_{fin} =17 nm, par contre la transconductance (g_m) augmente et atteinte à 23,41 mA/V pour la hauteur la plus élevée (H_{fin} =17 nm).

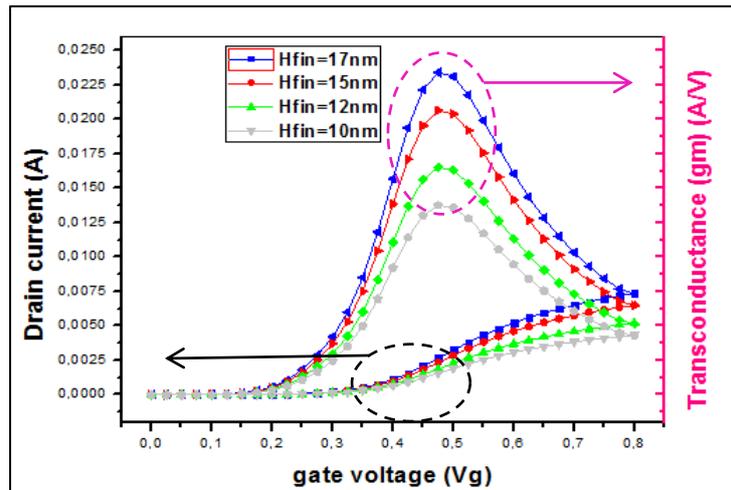


Figure III.18 : la caractéristique courant-tension en échelle linéaire (I_d - V_g) et la variation de la transconductance (g_m) pour différentes valeurs de la hauteur des ailettes (H_{fin}) du dispositif DG-FinFET.

La figure III.19 ci-dessous montre la variation de la pente sous seuil pour différentes valeurs de H_{fin} = (10, 12, 15, 17) nm.

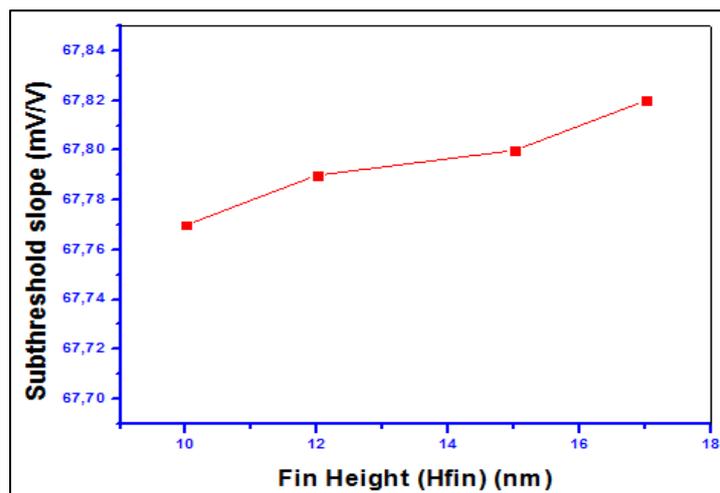


Figure III.19 : l'effet de la variation de la hauteur des ailettes (H_{fin}) sur la pente du sous seuil (SS) dans le dispositif DG-FinFET.

Il ressort clairement de cette figure que la pente sous seuil $SS=67,77$ mV/dec pour la hauteur la plus mince ($H_{fin}=10$ nm), ce paramètre augmente légèrement et s'atteint à $SS=67,82$ mV/dec pour la hauteur plus épaisse ($H_{fin}=17$ nm), ce résultat montre que la grille perd son contrôle sur le canal pour la valeur la plus élevée de hauteur des ailettes.

La figure III.20 montre l'effet de la variation de hauteur des ailettes sur le DIBL.

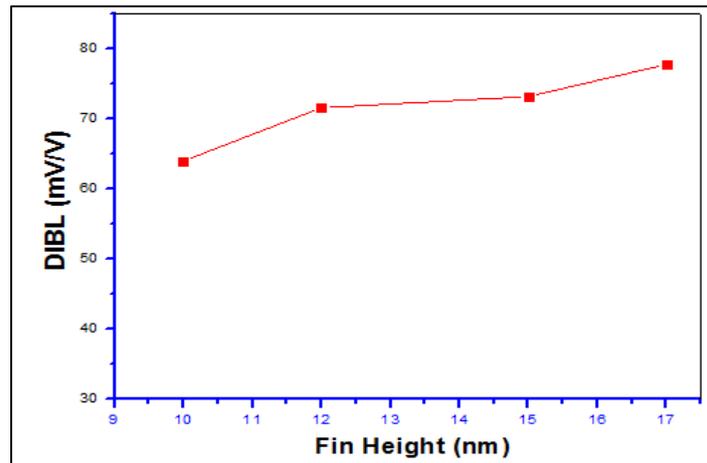


Figure III.20: l'effet de la variation de la hauteur des ailettes (H_{fin}) sur le DIBL.

On observe que le DIBL diminue avec la diminution de la hauteur (H_{fin}), ce résultat montre que le DIBL s'élève avec l'augmentation de la hauteur des ailettes, ce qui montre que le champ électrique de drain réduit la barrière de canal dans le cas des dispositifs du film de silicium épais en raison des capacités réduites des jonctions source/fin et drain/fin.

La **figure III.21** présente l'effet de la variation de la hauteur des ailettes (H_{fin}) sur les courants de fuite I_{on} et I_{off} .

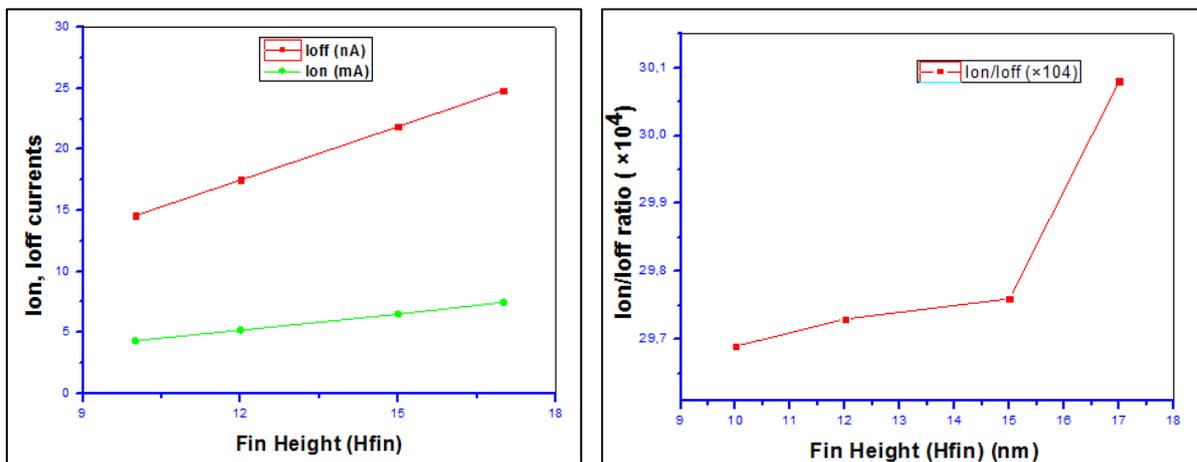


Figure III.21 : l'effet de la variation de la hauteur des ailettes (H_{fin}) sur le courant (I_{on}), le courant de fuite (I_{off}), et sur le rapport I_{on}/I_{off} pour le dispositif DG-FinFET.

À partir de la comparaison de la variation des différentes valeurs de la hauteur H_{fin} (10, 12, 15, 17) nm sur les courants de fuite I_{on} et I_{off} , on peut constater que lorsque la hauteur des ailettes diminue, le courant de fuite (I_{off}) diminue en raison de l'augmentation de sa résistance parasite, de plus, le courant I_{on} et le rapport I_{on}/I_{off} s'augmente longement avec l'augmentation de la hauteur des ailettes.

Le tableau suivant résume les résultats de simulation des paramètres électriques pour différentes hauteurs d'ailettes (H_{fin}) du dispositif DG-FinFET obtenus par TCAD-SILVACO.

Paramètres	$H_{fin}=10\text{nm}$	$H_{fin}=12\text{nm}$	$H_{fin}=15\text{nm}$	$H_{fin}=17\text{nm}$
V_{th} (V)	0.312	0.3266	0.328	0.3362
(SS)(mV/dec)	67.77	67.79	67.80	67.82
DIBL (mV/V)	64	71.6	73.2	77.8
I_{off} (nA)	14.58	17.49	21.87	24.83
I_{on} (mA)	4.33	5.2	6.51	7.47
I_{on}/I_{off} ($\times 10^4$)	29.69	29.73	29.76	30.08
gm (mA/V)	13.77	16.52	20.65	23.41

Tableau IV.6 : les résultats de simulation des paramètres électriques pour différentes hauteurs d'ailettes (Fins) du dispositif DG-FinFET obtenu par TCAD-SILVACO.

♣ **Impact de variation de largeur d'ailettes (W_{fin}):**

La largeur d'ailette (W_{fin}) est l'un des processus de défis du dispositif DG-FinFET, pour cela, nous allons étudier l'impact de la variation de ce paramètre sur les différentes caractéristiques électriques de transistor DG-FinFET par l'utilisation de 3D-TCAD-Silvaco. La [figure III.22](#) montre la simulation du caractéristique courant-tension (I_d - V_g) pour différentes largeurs des ailettes (W_{fins}).

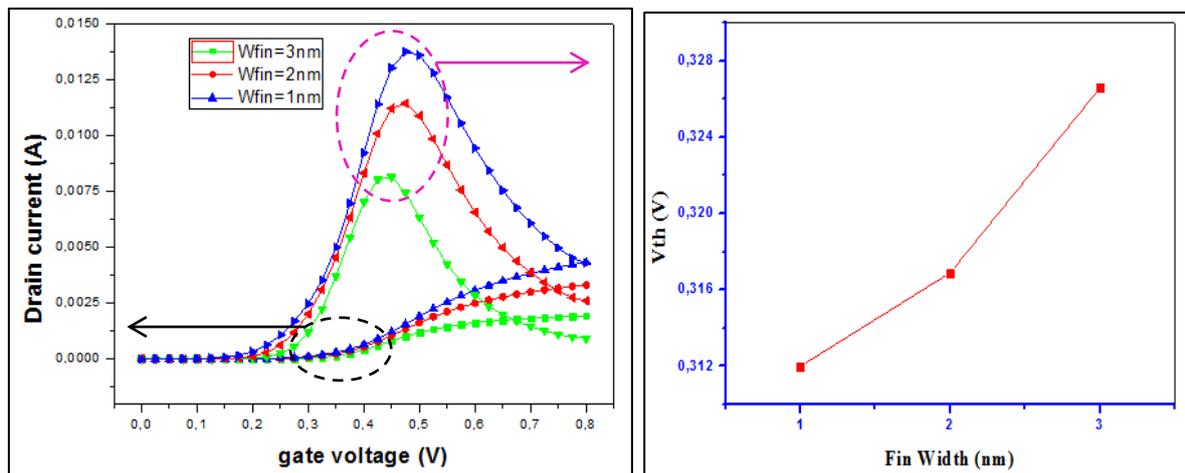


Figure III.22: a) l'effet de la variation de la largeur des ailettes (W_{fin}) sur les caractéristiques linéaires (I_d - V_g) du dispositif DG-FinFET, b) La variation de la tension de seuil en fonction de la largeur des ailettes (W_{fin}).

On observe à partir de la [figure III.22](#) que la réduction de la largeur des ailettes (W_{fin}) provoque la réduction de la tension de seuil et l'augmentation de la transconductance, à mesure que les dimensions des dispositifs se réduisent à l'échelle nanométrique, le potentiel

de surface dépend de la capacité de jonction source/fin et drain/fin, lorsque la largeur des ailettes augmente, les largeurs des jonctions source/fin et drain/fin augmentent, ce qui permet de diminuer les capacités de ces jonctions, pour cette raison, le couplage de potentiel de surface de la grille augmente [121, 181]. La variation du facteur (g_m/I_d) est illustrée dans la figure III.23.

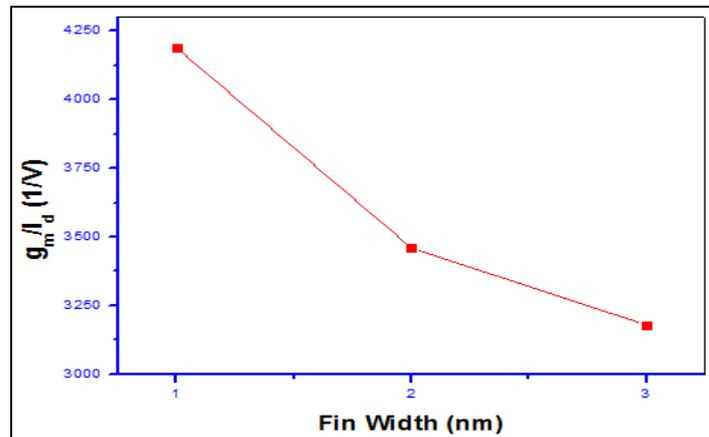


Figure III.23: la variation du rapport (g_m/I_d) sur différentes largeurs des ailettes (W_{fin}) pour le dispositif DG-FinFET.

À partir de la figure III.23, il est conclu que le meilleur rapport (g_m/I_d) est obtenu pour la faible largeur d'ailette $W_{fin}=1\text{nm}$, alors cette valeur fournit une meilleure performance pour le dispositif DG-FinFET, le rapport (g_m/I_d) dépend approximativement de la pente sous seuil par la relation suivante [125, 181]:

$$SS \approx \ln(10) * \left(\frac{g_m}{I_d}\right)^{-1} \quad \text{(III.25)}$$

La figure III.24 présente l'effet de la largeur des ailettes (W_{fin}) sur la pente sous seuil (SS) et sur le DIBL.

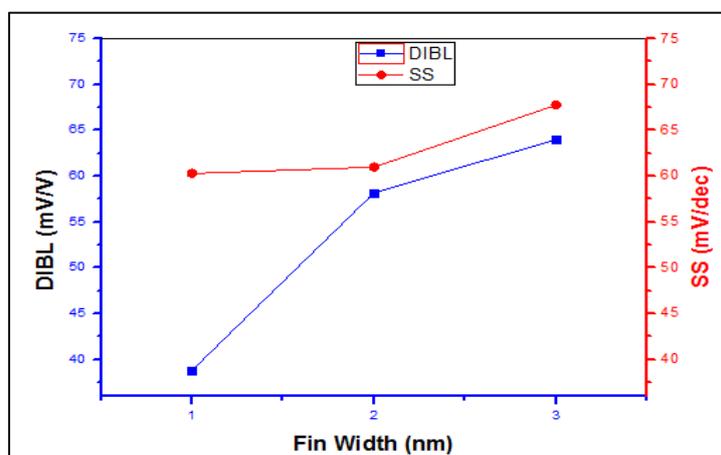


Figure III.24: Impact de la largeur des ailettes (W_{fin}) sur la variation du DIBL et de la pente sous seuil (SS) pour le dispositif DG-FinFET.

Les valeurs de la pente sous seuil (SS) obtenues pour différentes largeurs des ailettes W_{fin} = (1, 2, 3) nm sont égales à (60,3, 61,07 et 67,77) mV/dec respectivement, dans ce cas, l'augmentation de la largeur des ailettes (W_{fin}) augmente la pente sous seuil (SS), ce qui dégrade le contrôle de la grille sur le canal. En outre, comme le montre la [figure III.24](#), le DIBL augmente avec l'augmentation de la largeur des ailettes DIBL = (38.8, 58.2, 64) mV/V pour W_{fin} = (1, 2, 3) nm respectivement, en outre, pour les dispositifs à film de silicium épais, le champ électrique de drain diminue la barrière de canal en raison de la diminution des capacités de jonction source/fin et drain/fin.

La variation de la largeur des ailettes (W_{fin}) sur le courant de fuite (I_{off}) est présentée sur la [figure III.25](#).

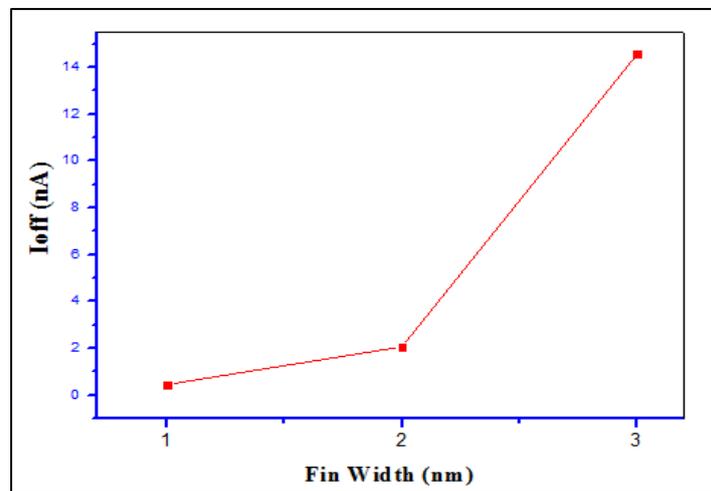


Figure III. 25 : Impact de la largeur des ailettes (W_{fin}) sur le courant de fuite (I_{off}) du dispositif DG-FinFET.

Il est clair à partir de la [figure III.25](#) que lorsque la largeur des ailettes augmente W_{fin} = (1, 2, 3) nm, le courant de fuite (I_{off}) augmente également et atteint à (0,45, 2,06 et 14,58) nA respectivement, ceci peut être due à la diminution du contrôle de la grille sur le canal, la réduction de la largeur (W_{fin}) entraîne également une diminution de courant I_{off} [123].

En diminuant la largeur des ailettes, on s'attend à ce que le courant de fuite diminue et entraîne à l'augmentation du rapport I_{on}/I_{off} comme montre dans la [figure III.26](#). Cette figure illustre l'effet de la variation de la largeur des ailettes sur le rapport I_{on}/I_{off} .

La [figure III.26](#) montre que les largeurs plus minces des ailettes sont souhaitables pour obtenir un rapport I_{on}/I_{off} plus élevé, ces résultats montrent aussi le potentiel de mise en échelle de transistor DG-FinFET, les effets de canal court et l'intégrité électrostatique peuvent être améliorés par la réduction des paramètres H_{fin} et W_{fin} . De ce fait, la largeur W_{fin} = 1nm et la

hauteur $H_{fin} = 10$ nm sont considérés comme des valeurs optimales pour les processus technologiques des dispositifs sub-nanométriques DG-FinFET.

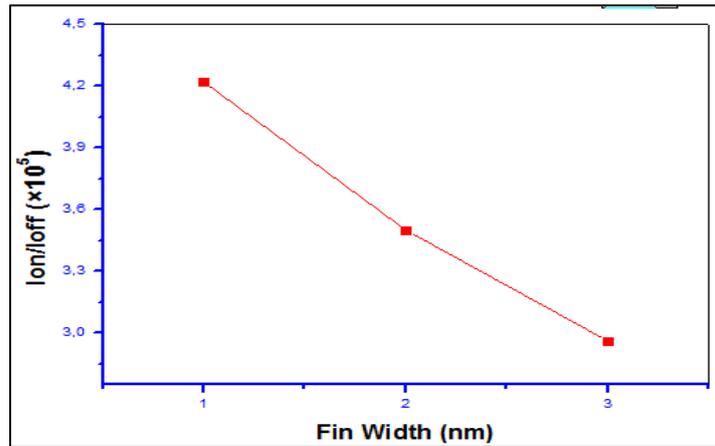


Figure III.26 : la variation du rapport I_{on}/I_{off} sur différentes largeurs d'ailettes (W_{fin}) pour le dispositif DG-FinFET.

III.8.3 L'impact d'utilisation des matériaux à haute permittivité (High-k):

Comme nous avons vu précédemment, il est important d'utiliser les diélectriques à permittivité élevée (high-k) dans la grille pour réduire les effets de canal court. L'épaisseur de la grille devient plus faible en augmentant la constante de diélectrique du matériau qui est donné par :

$$EOT = t_{SiO_2} = \left(\frac{k_{SiO_2}}{k_{high.k}} \right) t_{high.k} \quad (III. 26)$$

Les matériaux à faible permittivité "**Low k**" tels que : l'oxyde de silicium SiO_2 , le dioxyde d'étain SnO_2 , et l'oxyde d'aluminium Al_2O_3 [132] ont des courants de fuite élevés, donc les industriels ont développé leurs recherches vers : les matériaux à permittivité moyen "**médium k**" tels que: le dioxyde de zirconium ZrO_2 ou le dioxyde d'hafnium HfO_2 [132]. Cependant, les constantes diélectriques de ces matériaux ne sont pas assez élevées pour atteindre les capacités de l'ordre de 100 nF/mm², de ce fait, la recherche s'est orientée vers les matériaux à permittivité élevée "**high k**" tel que le dioxyde de titane Ta_2O_5 et l'oxyde de lanthane La_2O_3 [132]. Ainsi, les matériaux à k élevé ont remplacé le SiO_2 comme le diélectrique de grille dans les dispositifs SOI-MOSFET (ce qui donne une capacité élevée et produite un plus faible courant de fuite de la grille, il permet aussi de fournir un meilleur courant à l'état passant (Ion), et une puissance de dissipation plus faible) [182].

Chapitre III: Résultats et discussion de la caractérisation géométrique des performances de DG-FinFET par l'utilisation de l'outil TCAD-SILVACO

Par la suite, l'impact de l'insertion des matériaux high-k tels que: (SiO_2 , SnO_2 , ZrO_2 , Ta_2O_5 et TiO_2) dans la grille sera étudié sur les différentes caractéristiques électriques telles que: la tension de seuil (V_{th}), la pente sous seuil (SS), la transconductance (gm), les courants Ion et Ioff ainsi que le rapport Ion/Ioff, et le champ électrique (E) pour la structure proposée du DG-FinFET à $L_g = 5$ nm par l'utilisation de simulateur TCAD-SILVACO.

La **figure III.27** montre les structures des dispositifs à double grilles Fin-FET pour différents matériaux à permittivité (k) élevé (SiO_2 , SnO_2 , ZrO_2 , Ta_2O_5 et TiO_2).

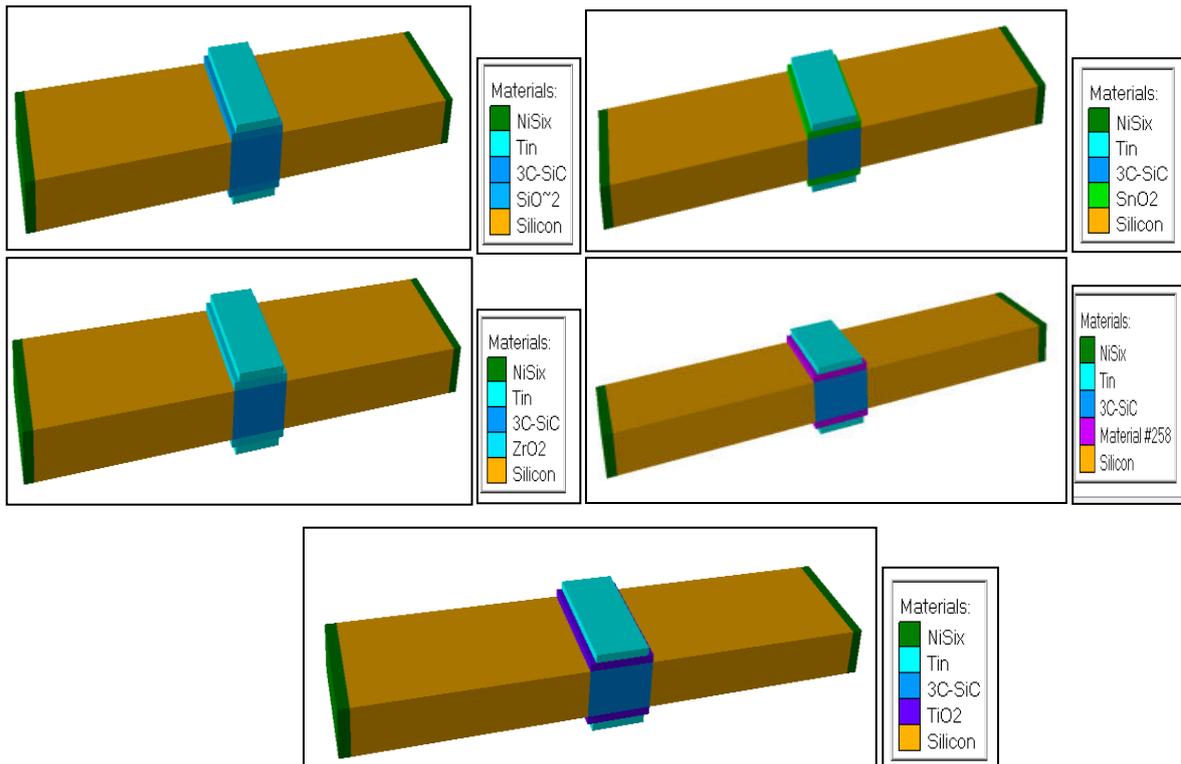


Figure III.27: Les structures à 3D de dispositif DG-FinFET à différents matériaux diélectriques de grille (SiO_2 , SnO_2 , ZrO_2 , Ta_2O_5 et TiO_2).

Le **tableau III.7** montre les différents diélectriques qui peuvent remplacer l'oxyde de grille avec leurs permittivités (k).

Les matériaux Diélectriques	Permittivité du Diélectrique (K)
SiO2	3.9
SnO2	9
ZrO2	25
Ta2O5	26
TiO2	85

Tableau III.7: les valeurs des permittivités (k) des différents diélectriques utilisées dans notre simulation.

III.8.3.1 L'impact d'intégration des matériaux à high-k dans la grille sur la tension de seuil :

Les résultats de simulation de la tension de seuil (V_{th}) pour différents matériaux High-k de la grille (SiO_2 , SnO_2 , ZrO_2 , Ta_2O_5 et TiO_2) sont présentés dans la [figure III.28](#), nous pouvons donc observer la valeur de la tension de seuil (V_{th}) pour chaque matériau.

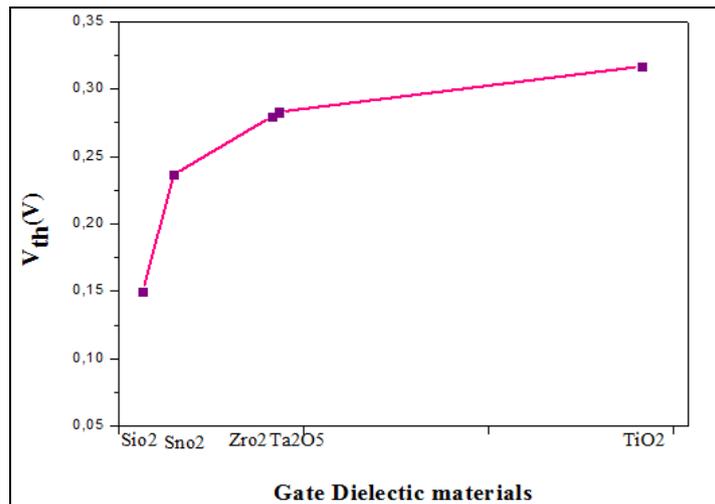


Figure III.28: L'impact de la variation des matériaux à permittivité élevée sur la tension de seuil (V_{th}).

Nous pouvons observer que la tension de seuil (V_{th}) augmente avec l'augmentation de la permittivité des matériaux diélectriques ($k = 85$) pour le TiO_2 par rapport aux matériaux SiO_2 , SnO_2 , ZrO_2 et Ta_2O_5 .

III.8.3.2 L'impact d'intégration des matériaux à high-k dans la grille sur la pente sous seuil (SS):

Nous allons analyser l'effet d'insertion des matériaux à haute permittivité k sur la pente sous seuil (SS). La [figure III.29](#) montre la variation de la pente sous seuil pour différents matériaux (SiO_2 , SnO_2 , ZrO_2 , Ta_2O_5 , et TiO_2).

Nous constatons à partir de cette courbe que la valeur de la pente sous seuil (SS) est élevée pour le diélectrique SiO_2 avec une permittivité plus faible ($k = 3,9$), par contre une excellente valeur a été obtenue $SS = 67,77$ mV/déc pour le diélectrique à plus haute permittivité (TiO_2), donc ce matériau fournit une capacité très élevée, ce qui permet de rendre le dispositif plus rapide.

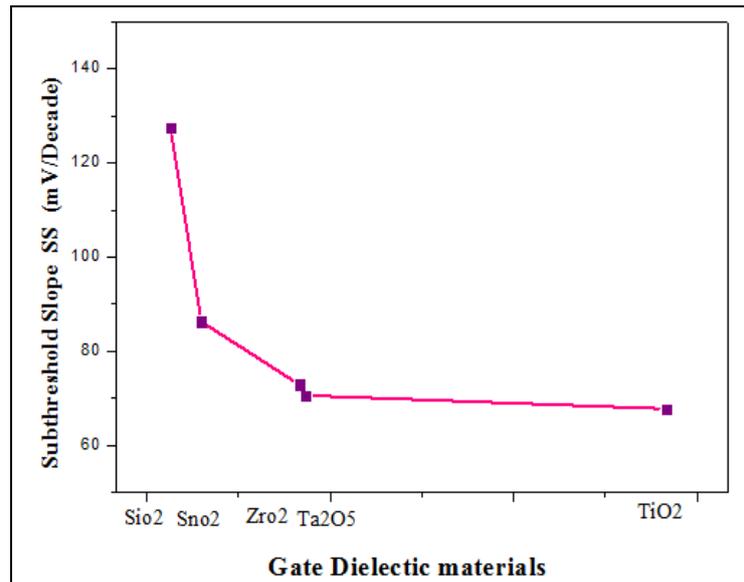


Figure III.29 : La variation de la pente sous seuil (SS) pour différents matériaux de grille (SiO₂, SnO₂, ZrO₂ et Ta₂O₅ et TiO₂).

III.8.3.3 L'impact d'intégration des matériaux à high-k dans la grille sur le courant Ion, Ioff:

Le courant à l'état bloqué (Ioff) est déterminé en calculant le courant de drain (Id) à Vgs = 0 et Vds = Vdd [109], les figures III.30 et III.31 montrent l'impact de la variation de plusieurs matériaux à permittivités différentes (SiO₂, SnO₂, ZrO₂, Ta₂O₅, et TiO₂) sur les courants Ion, Ioff et sur le rapport Ion /Ioff.

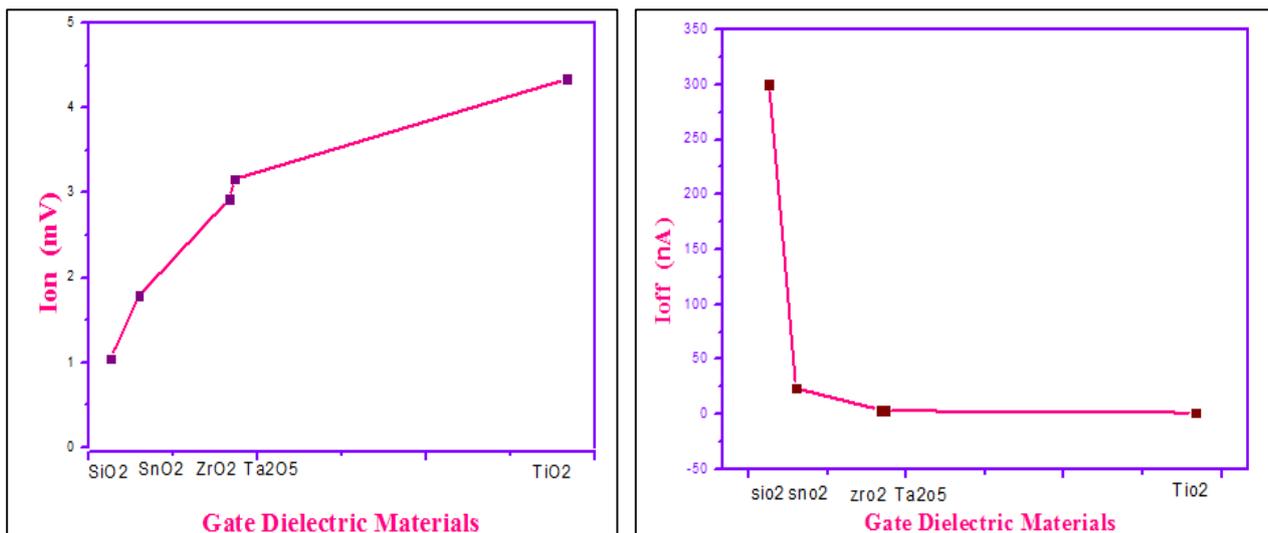


Figure III.30 : L'impact d'utilisation des différents diélectriques à high-k dans la grille sur les courants Ion et Ioff pour Vd = 0.1V.

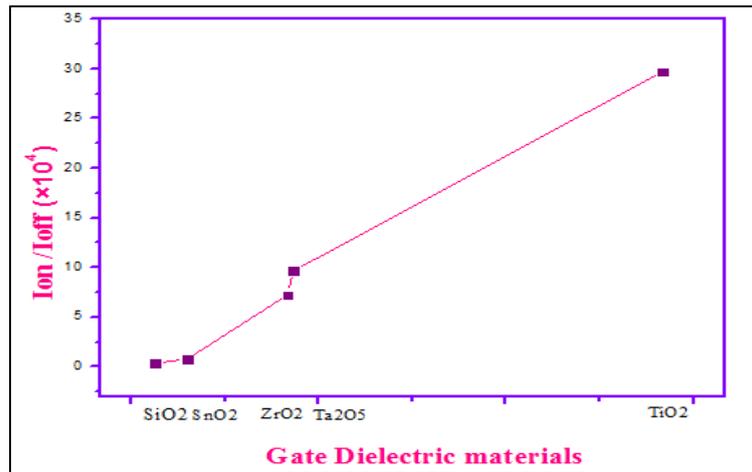


Figure IV.31: Le rapport I_{on}/I_{off} pour différents matériaux high-k de la grille.

D'autre part, le courant I_{off} diminue à une valeur très faible égale à 14.58 nA (figure III.30), cette valeur correspond au matériau de permittivité plus élevé (TiO_2) par rapport aux autres diélectriques, la réduction du courant I_{off} permet donc de réduire la dissipation de la puissance statique. De plus, la valeur maximale du rapport I_{on}/I_{off} qui est égal à 29.6966×10^4 est aussi obtenue pour le matériau TiO_2 , donc l'utilisation de ce matériau permet d'obtenir de bons résultats pour augmenter les performances de dispositif.

III.8.3.4 L'impact d'intégration des matériaux à high-k de la grille sur le DIBL:

La figure III.32 montre la variation du DIBL pour différents matériaux diélectriques (SiO_2 , SnO_2 , ZrO_2 , Ta_2O_5 et TiO_2).

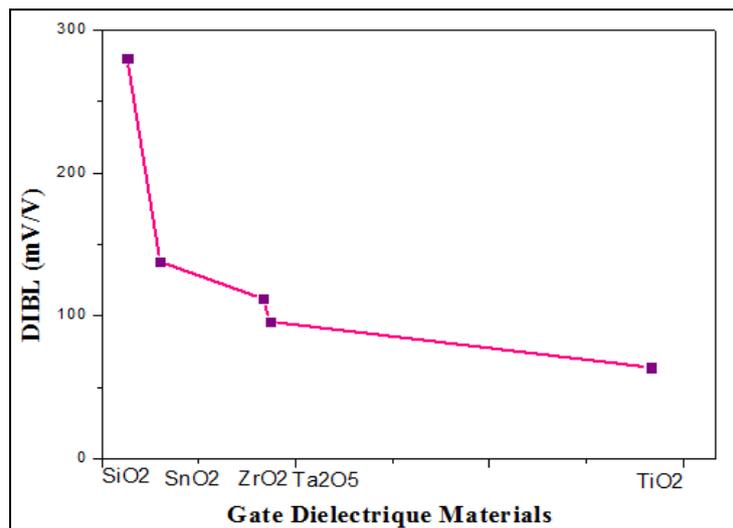


Figure III.32: Le DIBL en fonction de différents matériaux diélectriques de grille (SiO_2 , SnO_2 , ZrO_2 , Ta_2O_5 et TiO_2) utilisé dans le dispositif DG-FinFET pour les différentes tensions de drain $V_d=0,05$ V et $V_d=0,1$ V.

On peut observer à partir de cette figure que le DIBL diminue d'une façon significative lorsque les permittivités des matériaux sont augmentées. Alors le DIBL=64 mV/V pour le matériau à high-k (TiO₂) ce qui permet de contrôler la grille.

III.8.3.5 L'impact d'intégration des matériaux à high-k dans la grille sur la transconductance (gm):

Nous allons examiner l'effet d'insertion des matériaux à k élevé sur la transconductance.

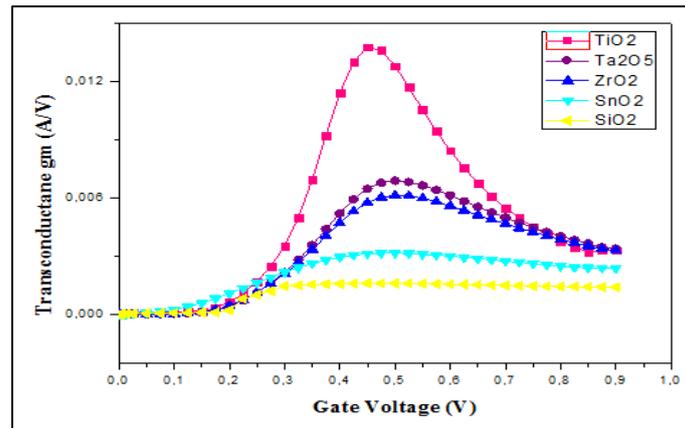


Figure III.33: La variation de la transconductance (gm) en fonction de la tension de grille (Vg) pour plusieurs matériaux (High-k) de la grille.

La **figure III.33** présente les résultats de simulation de la structure proposée DG-FinFET pour les différents matériaux (SiO₂, SnO₂, ZrO₂, Ta₂O₅, TiO₂), et pour une polarisation de drain V_d=0.1V.

Ce résultat indique que la transconductance (gm) pour le matériau TiO₂ est égale à 6,893 mA/V, il s'avère que cette valeur est plus élevée par rapport à celle obtenue pour les autres diélectriques (SiO₂, SnO₂, ZrO₂ et Ta₂O₅). Donc l'utilisation des diélectriques à permittivité k élevée dans la grille entraîne l'augmentation de la transconductance, ce qui permet de fournir également une élévation du gain et de la vitesse de circuit.

III.8.3.6 L'impact d'intégration des matériaux high-k dans la grille sur le champ électrique (E):

Nous allons analyser l'impact de la variation des matériaux (high-k) à permittivité élevée sur le champ électrique (E) en utilisant une coupe de plan x = 0.027 μm dans la simulation à deux dimensions de dispositif DG-FinFET. La **figure III.34** présente la variation du champ électrique (E) en fonction de la position le long du canal de dispositif DG-FinFET.

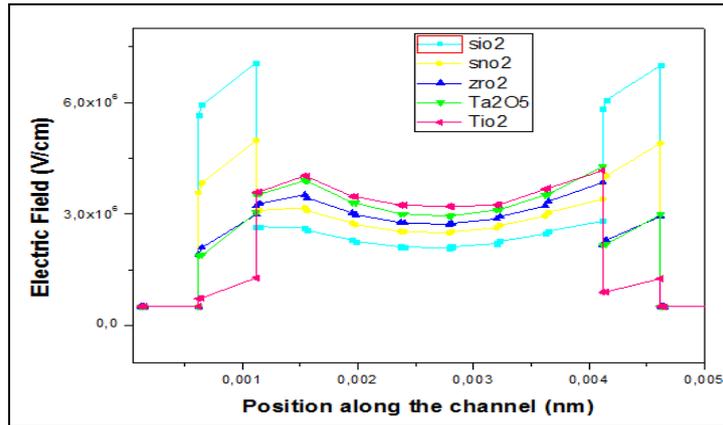


Figure III.34 : Le champ électrique (E) en fonction de la position dans le canal (nm) pour $V_d = 0.1V$ et $x = 0.027 \mu m$ dans le coupe de plan de dispositif à 2D et pour différents matériaux de grille.

Nous remarquons à partir de la **figure III.34** que le champ électrique horizontal (E) pour le diélectrique de grille SiO_2 dans la structure proposée DG-FinFET prend une valeur maximale dans la région d'extension. Dans les bords de cette région, nous observons un champ électrique plus élevé pour le diélectrique TiO_2 , ensuite il diminue et devient plus uniforme le long de la région du canal, les effets des porteurs chauds (HCE) apparaissent dans la région des champs électriques élevés. Par contre, la réduction du champ électrique dans le canal entraîne la diminution de cet effet [180]. Aussi l'effet des porteurs chauds est plus suppressif pour le matériau TiO_2 que pour les autres matériaux diélectriques, cela signifie que la réduction du champ électrique résulte de la réduction des effets de canal court [183]. Par conséquent, les électrons reçoivent une énergie plus faible, ce qui entraîne une augmentation de la vitesse et de la fiabilité du dispositif. Le **tableau III.8** résume les différents résultats de simulation de l'impact de l'introduction des matériaux à haute permittivité dans la grille sur les différentes caractéristiques électriques du DG-FinFET.

paramètres	SiO2	SnO2	ZrO2	Ta2O5	TiO2
Vth (V)	0.1496	0.2367	0.279	0.2830	0.312
SS (mV/decade)	127.54	86.26	72.89	70.62	67.77
Ion (mA)	1.044	1.790	2.924	3.162	4.33
Ioff (nA)	299.9	237.1	40.45	32.73	14.58
Ion/Ioff ($\times 10^4$)	0.348	0.7551	7.227	9.6602	29.696
DIBL (mV/V)	280	138	112	96	64
gm (mA/V)	1.60	3.165	6.139	6.893	13.77

Tableau III.8 : les résultats de simulation de différents paramètres avec atlas-TCAD pour différents diélectriques de grille dans le dispositif DG-FinFET.

III.9 Conclusion:

- Nous avons étudié dans ce chapitre la structure DG-FinFET de diélectrique TiO_2 à permittivité élevée ($k = 85$) dans la technologie 5 nm et la comparaison des caractéristiques de ce dispositif avec celles de SG-FD-SOI-MOSFET. Les résultats montrent que le modèle proposé de transistor DG-FinFET a de faibles valeurs des paramètres V_{th} , SS , I_{off} , et des caractéristiques plus élevées des paramètres I_{on} , I_{on}/I_{off} , g_m . Nous pouvons conclure que le modèle proposé DG-FinFET est plus compatible pour réduire les effets de canal court en comparaison avec le SG-FD-SOI-MOSFET, alors le transistor DG-FinFET est considéré comme le principal candidat pour la future des technologies CMOS, également ce modèle fournit une meilleure compréhension du comportement de contrôle électrique qui peuvent améliorer les performances et les processus technologiques de fabrication de ces dispositifs.
- Nous avons remarqué aussi que la diminution de la longueur de la grille jusqu'à 5 nm conduit à une diminution de V_{th} , I_{on} , I_{off} , DIBL, et une augmentation de g_m et de SS . Cependant, le champ électrique est plus uniforme pour $L_g = 5$ nm que pour les autres longueurs de grilles. Alors ces résultats permettent d'améliorer les performances telles que la puissance plus faible, l'augmentation de la vitesse et la fiabilité de dispositif.
- La simulation montre aussi que pour la hauteur d'ailette (H_{fin}) la plus fine la tension seuil (V_{th}) augmente et la pente SS diminue légèrement, ce qui indique que pour une hauteur d'ailette plus épaisse (H_{fin}), la grille perd son contrôle sur le canal, de plus, le DIBL et le courant de fuite (I_{off}) sont réduits en raison de l'augmentation des résistances parasites et de la réduction de la capacité de jonction source/Fin, de sorte que la hauteur d'ailette mince offre plus de résistance par rapport à la hauteur d'ailette plus épaisse, ce qui conduit à un faible courant de fuite I_{off} .
- Les résultats de simulation montrent également que la largeur des ailettes (W_{fin}) de la structure proposée DG-FinFET doit être choisie pour compenser à la fois les effets de canal court et la résistance du drain à la source, de ce fait, la réduction de la largeur des ailettes (W_{fin}) provoque la réduction de V_{th} , I_{off} , SS , DIBL, et l'augmentation de la transconductance (g_m) et du rapport g_m/I_d . Ces résultats suggèrent que les effets de canal court et l'intégrité électrostatique peuvent être améliorés par la mise à l'échelle des paramètres H_{fin} et W_{fin} , pour cette raison, l'utilisation des paramètres $W_{fin} (=1\text{nm})$ et $H_{fin} (=10)$ nm sont considérés comme des valeurs optimales dans le processus technologique du dispositif nanométrique DG-FinFET.

- Nous concluons aussi que les matériaux à permittivités élevés (K) présentent un rôle important pour améliorer les performances de la structure DG-FinFET par rapport au diélectrique à faible permittivité, ce qui produit des valeurs plus faibles de quelques paramètres tels que : I_{off} , DIBL, SS, mais des valeurs plus élevées de courant Ion, de rapport Ion/ I_{off} , et de transconductance (gm), par conséquent, les matériaux à permittivité élevée sont utilisés dans les dispositifs DG-FinFET pour l'amplification, c'est pour cette raison, ces matériaux présentent une meilleure option dans le développement des processus de fabrication pour le futur des dispositifs DG-FinFET.

Chapitre IV: Résultats et simulations de la caractérisation physique et de l'analyse des performances RF des transistors nanométriques DG-FinFETps

IV.1 Introduction:

L'objectif de ce chapitre est d'examiner la variation de quelques paramètres physiques sur les caractéristiques électriques et l'analyse des performances à hautes fréquences (RF) de la structure proposée du dispositif DG-FinFET de technologie 5 nm en utilisant le matériau TiO₂ à l'aide de simulateur Atlas-TCAD-SILVACO. Dans le but d'améliorer les performances, et d'obtenir des meilleurs résultats, nous allons étudier dans cette partie les caractéristiques de ce dispositif en variant les paramètres suivants:

- L'influence de la variation de dopage de canal (Na) et de source/drain (Nd).
- L'influence de la variation de travail de sortie du métal de la grille (Φ_{ms}).
- L'influence de la variation de la température (T).
- Le confinement quantique .

Nous allons ensuite comparer les performances à haute fréquence RF du SG-FD-SOI-MOSFET et du DG-FinFET. La comparaison sera axée sur les paramètres suivants:

- Les capacités parasites grille/ source (C_{gs}) et grille /drain (C_{gd}).
- La fréquence de coupure (f_t) et la fréquence maximale (f_{max}).
- Le gain en puissance maximale disponible (G_{ma}) et le gain en puissance maximale stable (G_{ms}).

IV.2 Influence de la variation des paramètres physiques de la structure DG-FinFET:

V.2.1 Impact de la variation du dopage sur les caractéristiques électriques:

♣ Impact de la variation du dopage de canal :

Pour augmenter les performances du transistor SOI-MOSFET, une valeur optimisée de la concentration de dopage du canal sera estimée comme référence pour future de ce dispositif. Par conséquent, l'ingénierie des canaux jouera un rôle important dans l'optimisation des caractéristiques de transistor, la tension de seuil en fonction de la concentration de dopage des accepteurs (Na) est donnée par [146]:

$$V_{th} = \phi_{ms} + 2 \left(\frac{KT}{q} \ln \frac{N_a}{n_i} \right) + \frac{Q_D}{C_{ox}} + \frac{Q_{ss}}{C_{ox}} + V_{in} \quad (IV.1)$$

L'impact de la variation de dopage du dispositif DG-FinFET sera étudié à l'aide de l'outil TCAD-SILVACO sur les différentes performances telles que: la tension de seuil, la pente sous seuil, la transconductance, le courant I_{on} et le courant I_{off} . La **figure IV.1** présente les caractéristiques I_d - V_g et la transconductance pour différentes concentrations de dopage de canal (N_a) du dispositif DG-FinFET.

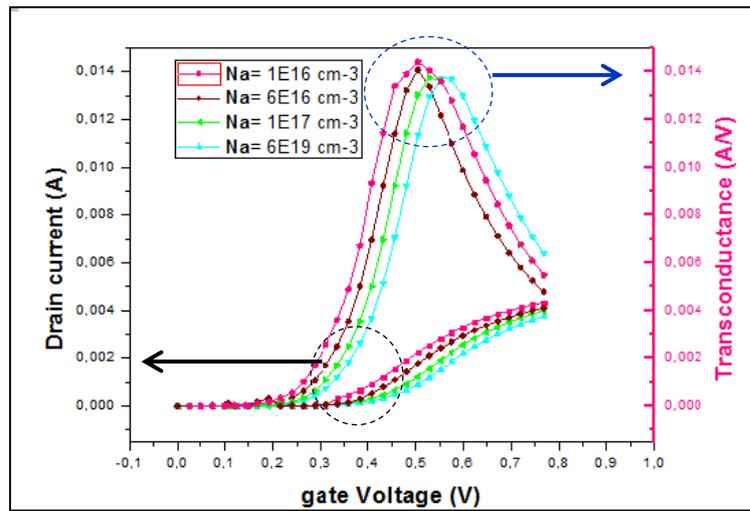


Figure IV.1 : les caractéristiques linéaires courant- tension (I_d - V_g) et la transconductance pour plusieurs concentrations de dopage du canal (N_a) dans le dispositif DG-FinFET.

À partir de cette figure, on observe que la variation de la tension seuil (V_{th}) dans le transistor DG-FinFET devient plus grande lorsque la concentration de dopage de canal (N_a) augmente, cela montre que la valeur optimisée de la tension V_{th} peut être trouvée en faisant varier la concentration de dopage du canal, alors on déduit que la valeur minimale de la concentration de dopage du canal ($N_a=1E16 \text{ cm}^{-3}$) présente une tension de grille $V_g= 0,312 \text{ V}$ pour faire passer le dispositif à l'état I_{off} , cette valeur est considérée comme la valeur appropriée de la tension seuil pour les dispositifs à une longueur grille 5nm. Par conséquent, à mesure que la concentration de dopage diminue, une grande réduction de la tension de la grille (V_g) est nécessaire pour chuter le courant I_{off} et pour réduire la déplétion de la région du canal. En revanche, la transconductance (g_m) est inversement proportionnelle à la concentration de dopage du canal et atteinte à une valeur plus élevée ($g_m=13.77 \text{ mA/V}$) pour le dopage $1E16 \text{ cm}^{-3}$, ce qui montre l'augmentation des performances du dispositif DG-FinFET.

La figure IV.2 montre l'impact de la variation de la concentration de dopage du canal sur la caractéristique sous seuil (SS) pour le dispositif DG-FinFET.

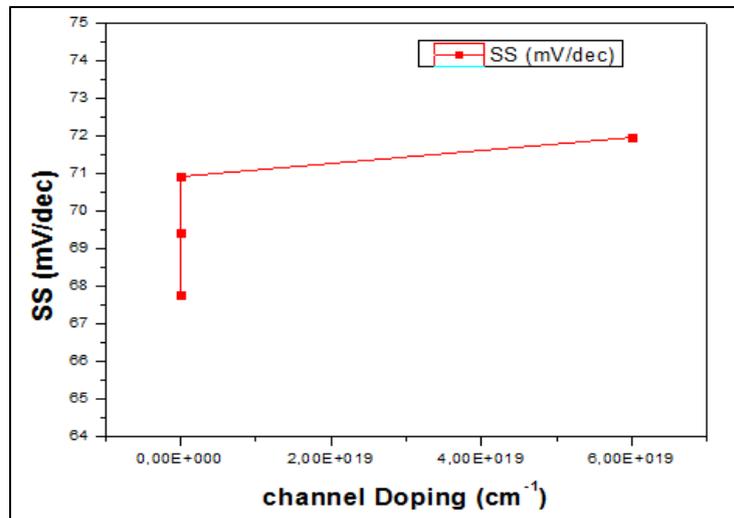


Figure IV.2 : Impact de variation de dopage du canal (N_a) sur la caractéristique sous-seuil (SS) du dispositif DG-FinFET.

Il est clair d'après cette figure que la pente sous seuil (SS) diminue légèrement lorsque la concentration de dopage du canal est réduite jusqu'à $N_a=1E16$ cm⁻¹ dans le DG-FinFET. Puisque la faible valeur de SS est fortement désiré pour améliorer les performances de transistor SOI-MOSFET, on peut distinguer que la faible concentration de dopage du canal est préférée pour les dispositifs DG-FinFET.

La figure IV.3 présente l'impact de la variation de la concentration de dopage du canal sur le courant de fuite (I_{off}).

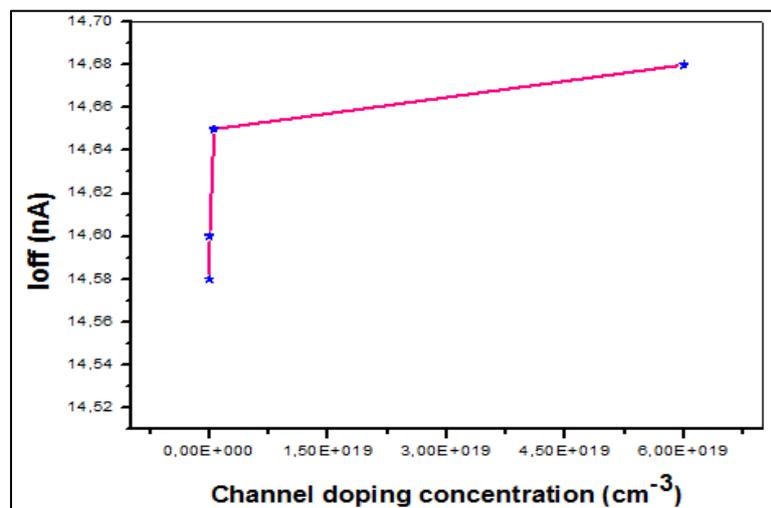


Figure IV.3 : L'impact de la variation de dopage du canal sur le courant de fuite (I_{off}) pour le dispositif DG-FinFET.

Cette figure montre que l'augmentation de la concentration de dopage du canal provoque l'augmentation du courant de fuite I_{off} , alors pour des valeurs plus élevées de dopage du canal, le courant I_{off} devient élevé. Étant donné que le rapport de courant I_{on}/I_{off} reflète la consommation d'énergie du dispositif [184], donc il est nécessaire de présenter l'impact de la concentration de dopage du canal sur le rapport du courant I_{on}/I_{off} pour le dispositif DG-FinFET. Comme il était prévu, pour des faibles concentration de dopage, la diminution du courant de fuite I_{off} montre une légère augmentation du rapport I_{on}/I_{off} comme l'indique clairement la **figure IV.4**.

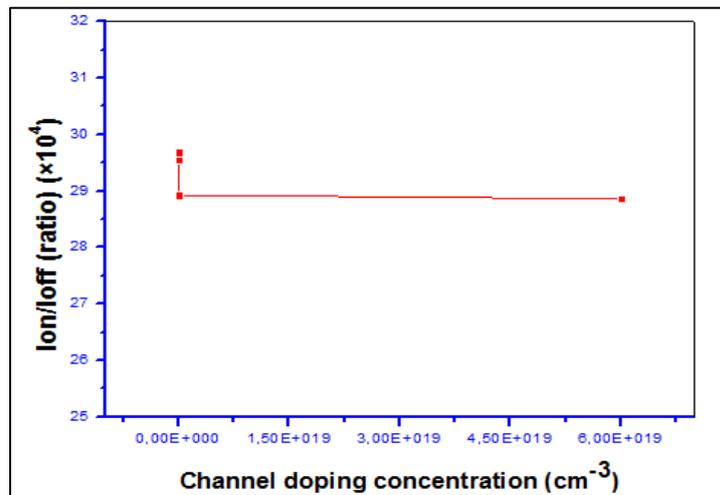


Figure IV.4 : l'impact de la variation de dopage du canal sur le rapport I_{on}/I_{off} du dispositif DG-FinFET.

♣ **Impact de la variation du dopage de source/drain:**

La **figure IV.5** montre l'impact de la concentration de dopage des donneurs (source/drain) sur les caractéristiques courant-tension (I_d - V_g) de DG-FinFET.

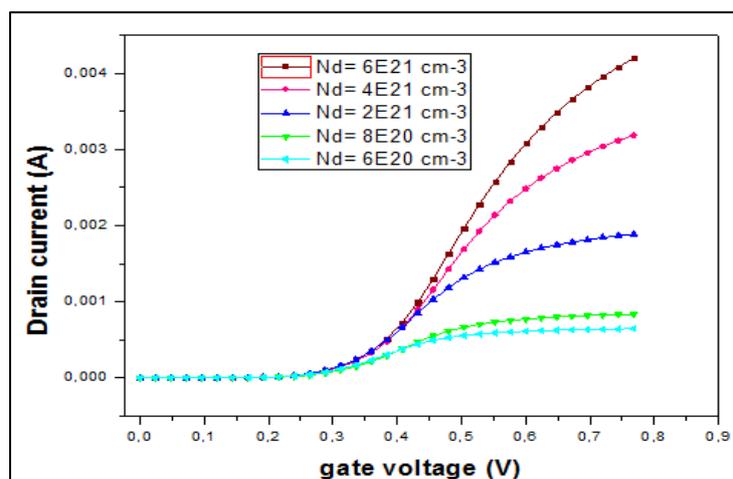


Figure IV.5 : Impact de la variation de la concentration du dopage source/drain (concentration des donneurs N_d) sur les caractéristiques courant-tension (I_d - V_g).

Il ressort clairement à partir de cette figure qu'une augmentation rapide du courant de drain et de la transconductance g_m est observée lorsque la concentration des dopants donneurs dans les régions source/drain augmente jusqu'à $N_d=6E21 \text{ cm}^{-3}$, la croissance de la concentration (Nd) permet de passer le courant de drain à la source lorsque la tension de grille est inférieure à la tension seuil. Dans le cas où la tension de grille est plus élevée que la tension de seuil, aucun courant ne passe dans les régions drain et source, c'est pour cette raison l'augmentation de la concentration source/drain entraîne une diminution de la tension seuil. Cela aussi permet de comprendre clairement que la longueur de canal efficace de ce dispositif est minimisée par la diffusion latérale des régions source/drain.

IV.2.2 Impact de la variation de travail de sortie du métal de la grille (Φ_{ms}):

La tension de seuil plus élevée est une exigence cruciale pour les dispositifs à faible puissance et elle peut être réalisée plus efficacement en améliorant le travail de sortie de la grille métallique (Φ_{ms}) du transistor [140], d'où un choix approprié de ce paramètre est très important pour atteindre les performances optimales du dispositif nanométrique DG-FinFET. La dépendance entre la tension de seuil V_{th} et le travail de sortie ϕ_{ms} est donné dans l'équation (III. 19), la simulation de l'impact de la variation de travail de sortie (Φ_{ms}) dans la gamme 4.45 e.V à 4.6 e.V sur les caractéristiques de la tension de grille et sur la transconductance sont donnés par la courbe des caractéristiques courant-tension (I_d - V_g) (figures IV.6 et IV.7).

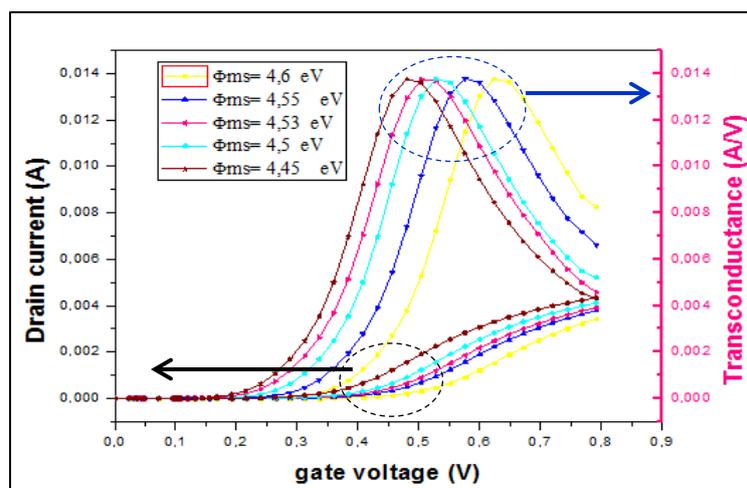


Figure IV.6: la caractéristique de transfert (I_d - V_g) pour différentes valeurs de travail de sortie (ϕ_{ms}) pour $V_d=0.1 \text{ V}$.

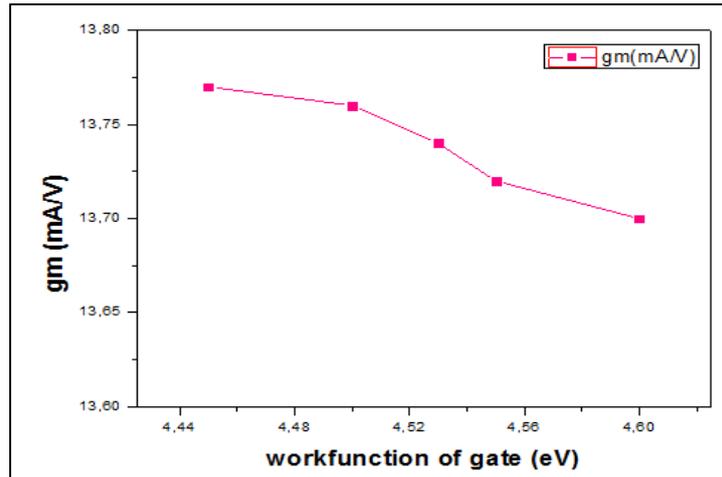


Figure IV.7: l'effet de la variation de travail de sortie de la grille (ϕ_{ms}) sur la transconductance (g_m) de dispositif DG-FinFET.

Nous pouvons remarquer à partir de la figure IV.6 que la tension de seuil dépend directement au travail de sortie de la grille métallique qui augmente avec l'augmentation de ce paramètre pour atteindre 0,5 V pour $\Phi_{ms}=4,6$ eV. on conclut que la valeur adéquate de la tension de seuil (V_{th}) peut être extraite à partir de cette caractéristique.

Nous observons aussi à partir des figures (IV.6 et IV.7) que l'augmentation de travail de sortie de la grille (Φ_{ms}) présente une légère augmentation de la transconductance (g_m). En effet, à partir de l'équation (III.19), lorsque Φ_{ms} diminue, la tension de seuil au niveau du canal est réduite pour une faible tension de grille de sorte que le courant de drain augmente la transconductance.

la figure IV.7 présente l'effet de la variation de travail de sortie (Φ_{ms}) sur la pente sous seuil (SS) du dispositif DG-FinFET.

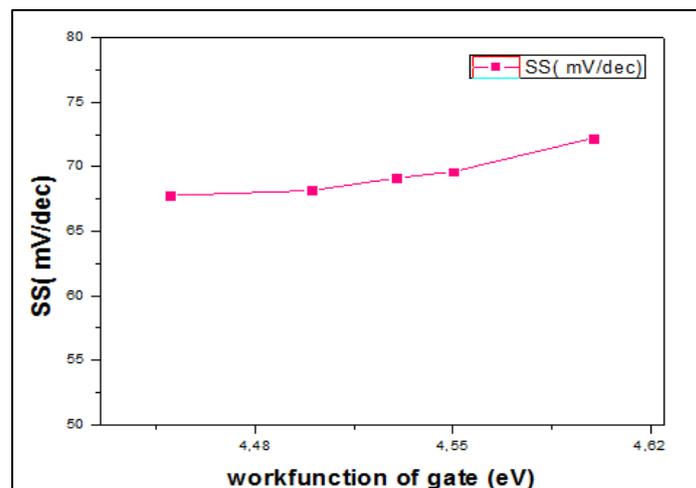


Figure IV.8: Effet de la variation de travail de sortie de la grille (ϕ_{ms}) sur la pente sous seuil (SS).

Les résultats prouvent que la pente sous seuil (SS) est diminuée légèrement de 72.23 mV/dec jusqu'à s'atteindre la valeur 67,77 mV/dec lorsque le travail de sortie est réduit de $\Phi_{ms}=4.6$ jusqu'à (4,45 e.V) comme le montre dans la **figure IV.8**. Cette réduction peut améliorer les performances du DG-FinFET. D'après ces résultats, on conclut qu'on peut sélectionner une valeur particulière de travail de sortie de la grille (Φ_{ms}) pour obtenir une meilleure valeur de la pente sous seuil.

- Généralement le courant de fuite (I_{off}) le moins élevé présente un rapport de courant de commutation plus élevée [135], alors il est nécessaire de réduire le travail de sortie du métal (ϕ_{ms}) pour maintenir I_{off} très faible, car les meilleurs dispositifs ont une maximale valeur du rapport (I_{on}/I_{off}) pour atteindre une vitesse de commutation élevée dans les applications logiques à faible puissance [120].

Nous allons étudier l'impact de la variation de travail de sortie du métal (ϕ_{ms}) sur les courants I_{off} , I_{on} et sur le rapport I_{on}/I_{off} comme il est montré dans la **figure IV.9**.

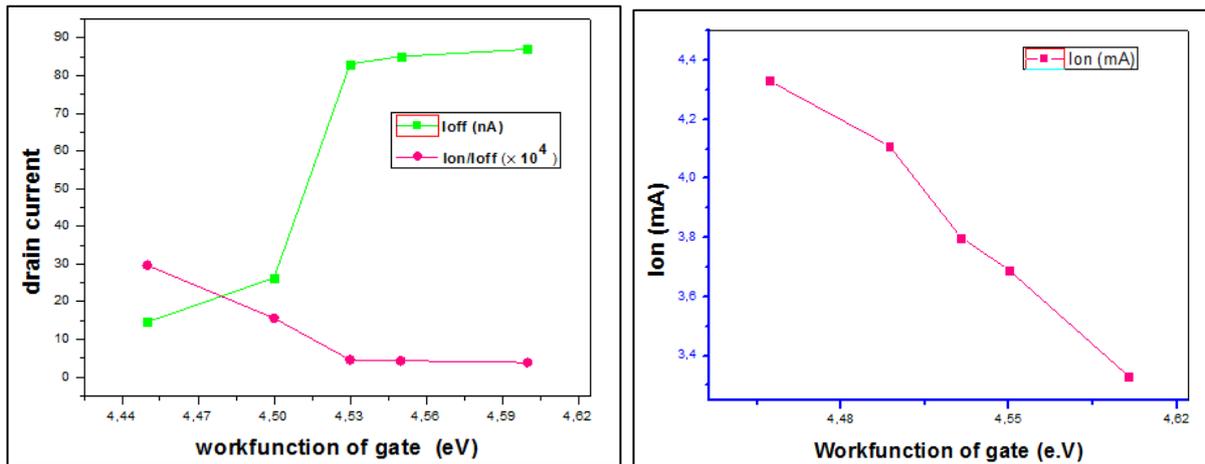


Figure IV.9 : l'influence de la variation de travail de sortie (ϕ_{ms}) sur les courants I_{on} , I_{off} , et sur le rapport I_{on}/I_{off} .

Il ressort clairement à partir de la **figure IV.9** que lorsque le travail de sortie de la grille diminue ($\Phi_{ms}=4.45$ e.V), le courant de fuite (I_{off}) réduit considérablement jusqu'à 14,58 nA, et en même temps, le courant (I_{on}) augmente, par conséquent, et comme prévu, le rapport des courants I_{on}/I_{off} est augmenté à une valeur maximale pour le travail de sortie $\Phi_{ms}=4.45$ e.V, ce qui permet d'améliorer les performances de dispositif DG-FinFET.

La **figure IV.10** illustre l'impact de travail de sortie de la grille sur le DIBL lorsque la tension de drain (V_d) augmente de 0,05 V à 0,1 V.

Généralement l'influence de Φ_{ms} sur le DIBL est négligeable, mais pour les longueurs de grilles à nano-échelles ($L_g < 10$ nm) cet effet devient significatif, on observe de la **figure**

IV.10 que lorsque Φ_{ms} augmente le DIBL augmenté également, la faible valeur de DIBL est atteinte à 40,2 mV/V pour un travail de sortie plus faible $\Phi_{ms} = 4,45$ e.V.

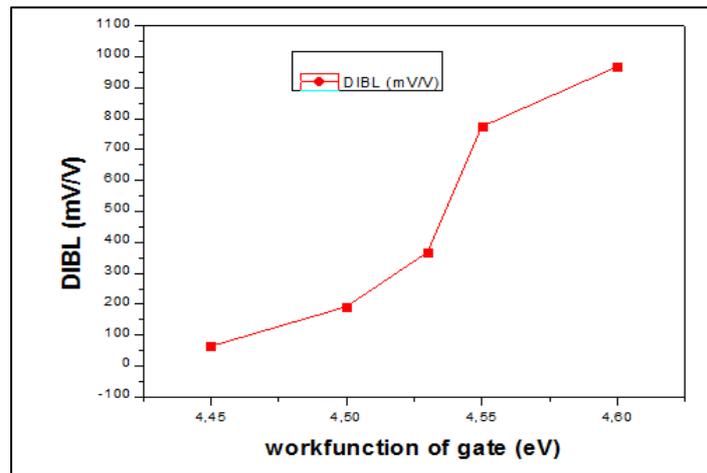


Figure IV.10 : l'effet de la variation de travail de sortie de la grille (ϕ_{ms}) sur le DIBL de dispositif DG-FinFET.

- Le choix de la valeur appropriée du travail de sortie de la grille (Φ_{ms}) pour le DG-FinFET :

Le choix de travail de sortie du métal doit être un compromis délicat entre les performances électriques (réduction du courant I_{off}) et le taux de commutation (passage de l'état bloqué à l'état passant) associé à V_{th} , de plus, on peut choisir la valeur appropriée de ϕ_{ms} par l'intersection des deux courbes (Φ_{ms} - V_{th}) et (Φ_{ms} - I_{off}) que nous avons présenté précédemment comme montre dans la figure IV.11.

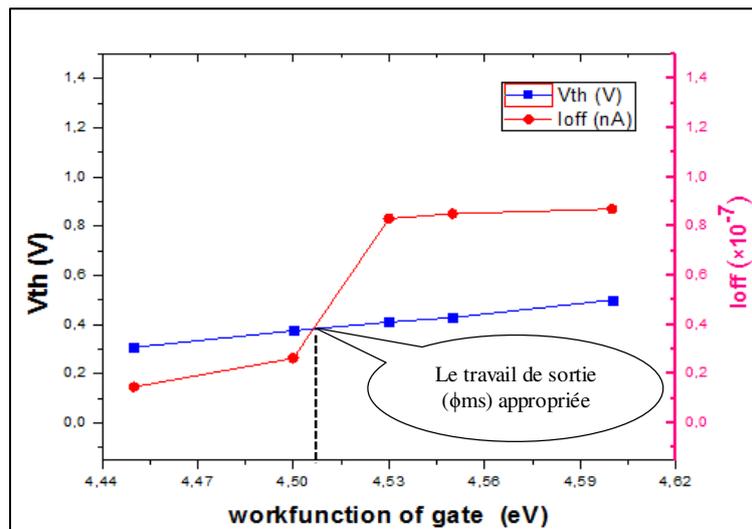


Figure IV.11: la valeur appropriée du travail de sortie (ϕ_{ms}) (l'intersection des courbes de la tension de seuil (V_{th}) et de courant de fuite (I_{off}) de DG-FinFET.

On constate à partir de cette figure que la valeur appropriée de travail de sortie de la grille métallique est atteinte à ($\phi_{ms}= 4,509$ e.V), cette valeur est obtenue à partir de l'intersection entre les deux courbes (Φ_{ms} - V_{th}) et (Φ_{ms} - I_{off}).

En outre, le point d'intersection de la pente SS et de DIBL donne aussi la valeur appropriée de ϕ_{ms} qui est égale à 4,45 e.V comme le montre la **figure IV.12**.

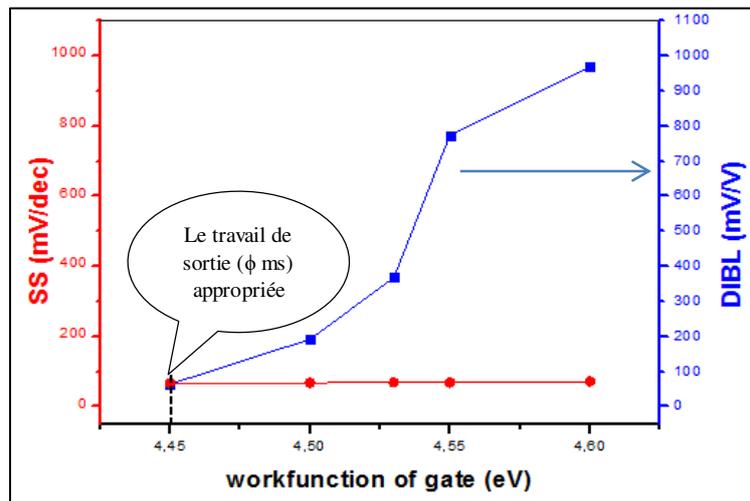


Figure IV. 12: la valeur appropriée du travail de sortie de la grille (ϕ_{ms}) (les courbes d'intersection entre la pente sous seuil (SS) et le DIBL) de DG-FinFET.

Les résultats de simulation montrent que le travail de sortie appropriée (ϕ_{ms}) de la grille se situe approximativement dans la gamme de 4,45 e.V à 4,509 e.V et plus précisément dans ce cas $\phi_{ms}=4,45$ e.V. Cette gamme fournit de meilleures valeurs des caractéristiques électriques (V_{th} , SS, gm, Ion, et le rapport Ion/Ioff), ce qui permet d'améliorer les performances du dispositif DG-FinFET, et les procédés de fabrication seront plus faciles en utilisant deux grilles métalliques.

IV.2.3 Impact de la variation de la température sur les caractéristiques électriques:

Dans cette section, pour examiner l'effet thermique sur le dispositif ultra-court DG-FinFET l'outil tridimensionnel 3D-TCAD Silvaco a été utilisé dans la simulation, différentes caractéristiques (telles que: la tension de seuil (V_{th}), la pente sous seuil (SS), le courant de saturation de drain I_d , le courant de fuite I_{off} , la transconductance gm, et le DIBL) ont été étudiées sous l'effet de la variation de la température dans la gamme 270 K à 570 K pour le dispositif DG-FinFET en utilisant la tension de drain $V_d = 0,1$ V.

IV.2.3.1 L'influence de la température sur la tension de seuil (V_{th}) et sur la pente sous seuil (SS):

Le maintien d'une tension de seuil plus élevée est une exigence clé pour les technologies logiques à faible puissance statique (LSTP) et la principale cause des faibles tensions de seuil c'est le partage de charge [106], en raison de l'effet de la température, le comportement électrique du dispositifs FinFET change. La nature de la mobilité des porteurs devient très complexe du fait de l'existence de mécanismes de diffusion en fonction de la température [185]. Deux paramètres dépendent du courant de drain (I_d): la mobilité du canal (μ) et la tension de seuil (V_{th}) [186], ce courant est présenté par:

$$I_d = \frac{W}{L} \mu(T) C_{ox} \frac{(V_{gs} - V_{th}(T))^2}{2m} \quad (IV. 2)$$

Où I_d : le courant de saturation, μ : la mobilité, L : la longueur de grille, W : la largeur de grille, V_{gs} : la tension grille-source, V_{th} : la tension de seuil, et m : le coefficient dépend de l'épaisseur d'oxyde de la grille (T_{ox}) et de l'épaisseur de silicium T_{si} :

$$m = 1 + \frac{3T_{ox}}{T_{si}} \quad (IV. 3)$$

Trois paramètres physiques dépendent de la température dans le transistor SOI-MOSFET : la mobilité, la tension de seuil et la vitesse de saturation, ces paramètres sont donnés par les relations suivantes [14,156,185]:

$$\mu = \mu_{T_{amb}} \left(\frac{T}{T_{amb}} \right)^{-k_1} = \mu \left(\frac{T}{300k} \right)^{-k_1} \quad (IV. 4)$$

$$V_{th} = V_{T_{amb}} - k_2(T - T_{amb}) \quad (IV. 5)$$

$$V_{sat} = V_{sat,T_{amb}} - A_T \left(\frac{T - T_{amb}}{T_{amb}} \right) \quad (IV. 6)$$

Tels que T : est la température du réseau (k), $k_1 \in [1.5, 1.7]$, $k_2 \in [0.5, 4]$, $A_T = 3.3 \cdot 10^4$, $V_{T_{amb}}$, $V_{sat,T_{amb}}$ et $\mu_{T_{amb}}$: sont la tension de seuil effective, la vitesse de saturation effective, et la mobilité effective à la température ambiante respectivement.

La figure IV. 13 illustre l'impact de la variation de la température de 270 k à 570 k sur la tension de seuil pour une polarisation de drain $V_{ds}=0.1V$ du dispositif DG-FinFET de technologie 5nm.

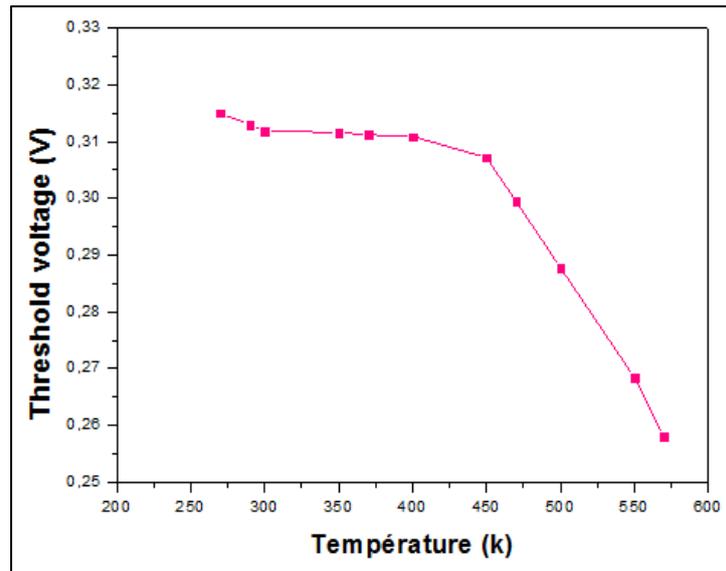


Figure IV.13: L'impact de la variation de la température T (K) sur la tension de seuil V_{th} .

La **figure IV.13** montre que l'augmentation de la température de 270K à 570 K est inversement proportionnelle à la tension de seuil (V_{th}) qui se détériore progressivement de 0,315 V à 0,258V respectivement. Ce dispositif reçoit de meilleures valeurs de la tension seuil (V_{th}) pour différentes températures.

La pente sous seuil (SS) est un autre paramètre qui indique de bonnes performances sur la température, comme nous avons vu précédemment pour la température ambiante (300 K), la valeur idéale de la pente (SS) est d'environ égale à 60 (mV/décade). Pour les autres températures, SS pourrait être calculée comme suit [180]:

$$SS = 60^{mV} \frac{T}{300k} \quad (IV. 7)$$

Divers résultats de la littérature prouvent le phénomène inverse entre la température et la tension de seuil (V_{th}) [156,152,153], tandis que la pente sous seuil (SS) est directement proportionnelle à la température dans le transistor FinFET [152].

La **figure IV.14** présente la caractéristique (I_d - V_g) à l'échelle logarithmique pour différentes valeurs de la température T (K), tandis que la **figure IV.15** présente l'impact de la température sur la pente sous le seuil.

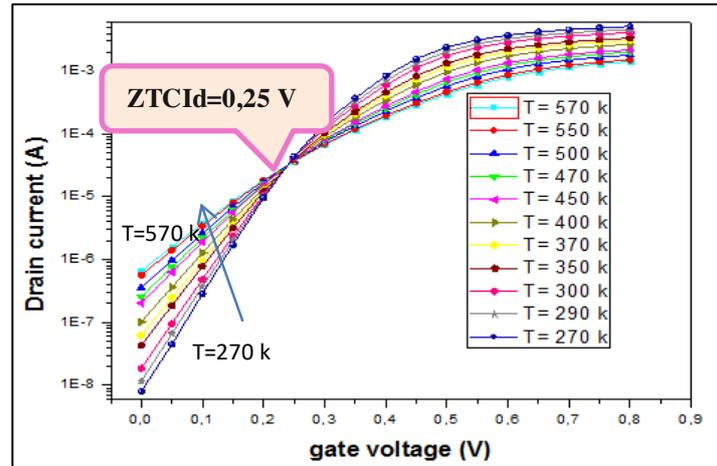


Figure IV.14: La caractéristique (I_d - V_g) à l'échelle logarithmique pour différentes valeurs de la température T (K).

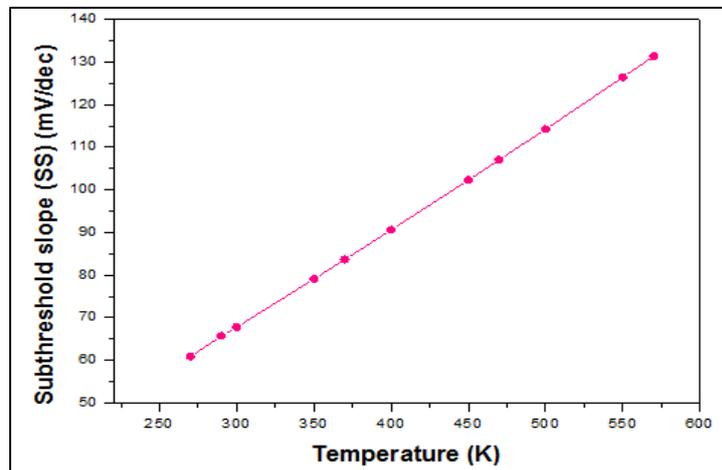


Figure IV.15: Impact de la variation de la température T (K) sur la pente sous seuil (SS).

Ces figures montrent que la pente sous seuil (SS) augmente linéairement en augmentant la température de 270 K à 570 K, la valeur la plus éloignée de ce paramètre est égale à 331,37 mV / déc pour la température la plus élevée $T=570$ K, et la valeur idéale de SS est atteinte à 60,87 mV / déc pour la température à 270 K.

IV.2.3.2 L'effet de la température sur la transconductance (gm):

La transconductance simulée présente à peu près la même forme avec une valeur maximale différente pour une tension de drain $V_d=0.1$ V. En particulier, la transconductance augmente puis diminue en augmentant la tension de grille [102]. Nous allons par la suite présenter l'impact de la variation de la température sur la transconductance pour différentes polarisations de la tension de grille V_{gs} de dispositif ultracourt DG-FinFET à $V_{ds} = 0,1$ V comme montre la figure IV.16.

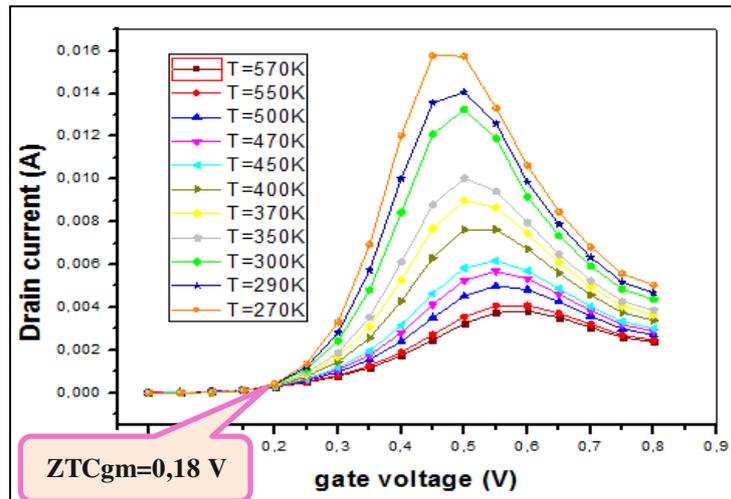


Figure IV.16: La transconductance (g_m) en fonction du voltage de la grille (V_g) pour différentes valeurs de la température T (K).

On observe de cette figure que la transconductance la plus élevée est obtenue pour la température la plus basse (270 K) car une transconductance plus élevée g_m entraîne une impédance d'entrée plus faible, ce qui réduit le taux d'amplification dans les applications à petit signal [180].

Il existe un point de polarisation de la grille auquel ces effets opposés se compensent, appelé le point «coefficient de température zéro» (ZTC) [122, 187], Fondamentalement, il y a deux points ZTC pour un transistor, l'un pour le courant de drain (ZTC_{Id}) et l'autre pour la transconductance (ZTC_{g_m}), et en général, ils ont différentes valeurs dans les régions linéaires et de saturation [188]. Sur les figures IV.14 et IV.16, le courant de drain le point $ZTC_{Id} = 0,25 \text{ Volt}$, et pour la transconductance le point $ZTC_{g_m} = 0,18 \text{ Volt}$, nous pouvons remarquer alors que le ZTC_{Id} est supérieur à ZTC_{g_m} . Ces deux points sont considérés comme des paramètres importants dans la conception des circuits analogiques pour une large gamme d'application de température [185].

IV.2.3.3 L'effet de la température sur la saturation du courant de drain (I_d), I_{off} , et sur le rapport I_{on} / I_{off} :

À partir de l'équation (IV.2), la dégradation de la mobilité diminue la saturation du courant de drain I_d , tandis que le courant I_d augmente avec l'augmentation de la température en raison de l'amélioration du terme $[V_{gs} - V_{th}(T)]$ [156], ainsi que l'amélioration de la densité électronique de la structure, et de l'abaissement de la résistance parasite qui résulte de la diminution des porteurs minoritaires (trous) [152]. Dans le régime de faible inversion, le

courant de drain augmente, tandis que dans le régime de forte inversion, ce courant diminue en raison de la réduction de la mobilité.

L'augmentation de la température entraîne une augmentation de la concentration des porteurs dans le silicium, la diminution du rapport I_{on} / I_{off} provoque l'augmentation du courant de fuite I_{off} , l'augmentation de la vitesse de saturation est limitée par l'augmentation le courant I_{off} et par la diminution du courant de saturation I_{on} [189]. Ceci est montré dans les figures IV.17, IV.18 et IV.19 lorsque la température passe de 270 K à 570 K.

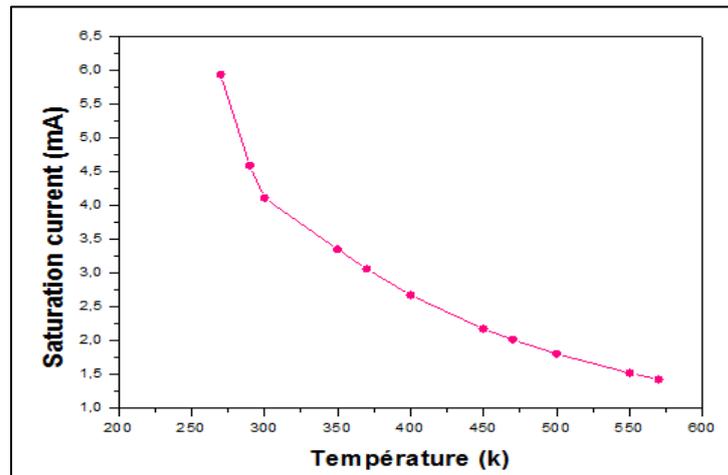


Figure IV.17: Impact de la variation de la température T (K) sur la saturation du courant de drain.

La figure IV.17 présente l'impact de la variation de la température T (K) sur la saturation du courant de drain. On observe à partir de cette figure que le courant de saturation le plus élevé ($I_d = 5,94$ mA) est obtenu pour la température $T = 270$ K, tandis que la valeur la plus basse de ce courant ($I_d = 1,422$ mA) est obtenue pour la température $T = 570$ K, cette diminution du courant est due à l'augmentation de la densité d'électrons dans ce dispositif.

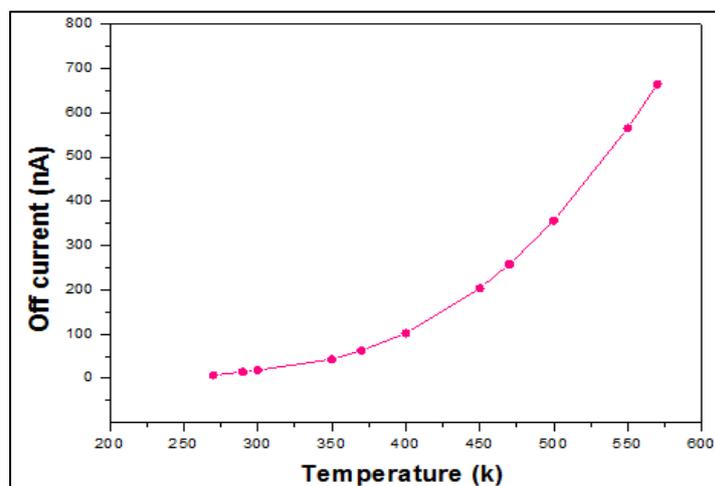


Figure IV. 18 : Impact de la variation de la température T (K) sur le courant I_{off} .

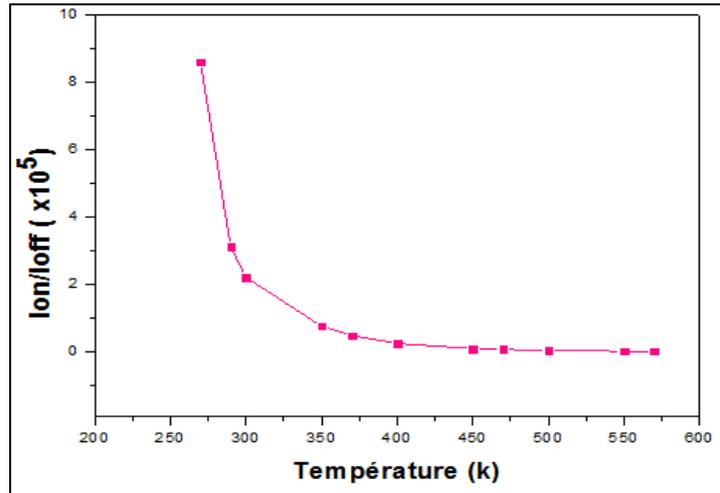


Figure IV. 19 : Impact de la variation de la température T (K) sur le rapport I_{on}/I_{off} .

La figure IV.18 montre l'impact de la variation de la température T (K) sur le courant de fuite (I_{off}), on peut observer que l'augmentation de la plage de températures (270K à 570K) entraîne l'augmentation du courant de fuite I_{off} de 6,83 nA à 663,9 nA respectivement.

La figure IV.19 présente l'impact de la variation de la température T (K) sur le rapport du courant (I_{on}/I_{off}). Comme précédemment prévu, cette figure montre clairement que la meilleur valeur de ce rapport est observé pour la température la plus basse 270K.

Par la suite nous allons étudier par simulation la dépendance de la variation de la température sur les caractéristiques de sortie $I_{ds}-V_{ds}$ pour différentes polarisations de drain ($V_{ds} = 0V$ à 0,8 V) et pour $V_g = 0,1$ V. Ces caractéristiques sont illustrées dans la figure IV.20.

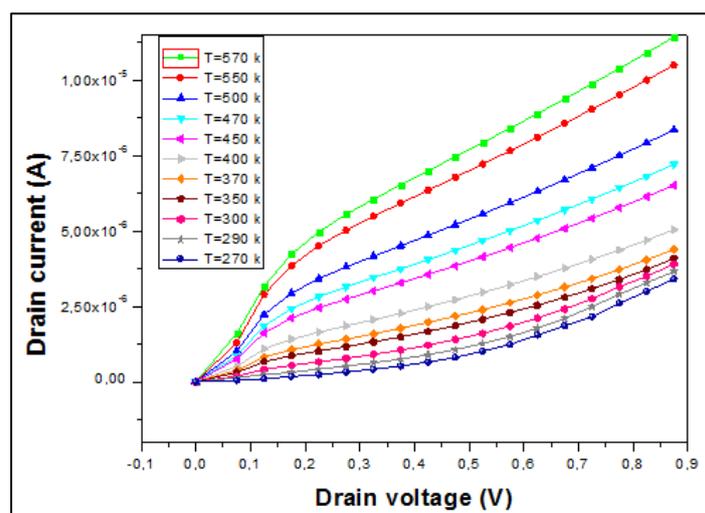


Figure IV. 20: La variation de courant de drain en fonction du voltage de drain pour différentes valeurs de la température T (K).

Nous pouvons remarquer que le courant de dispositif DG-FinFET diminue avec la température car la polarisation de la grille est plus grande que la polarisation du point ZTC.

IV.2.3.4 L'impact de la température sur l'abaissement de la barrière de potentiel (DIBL):

La **figure IV.21** montre l'influence de la température sur le DIBL.

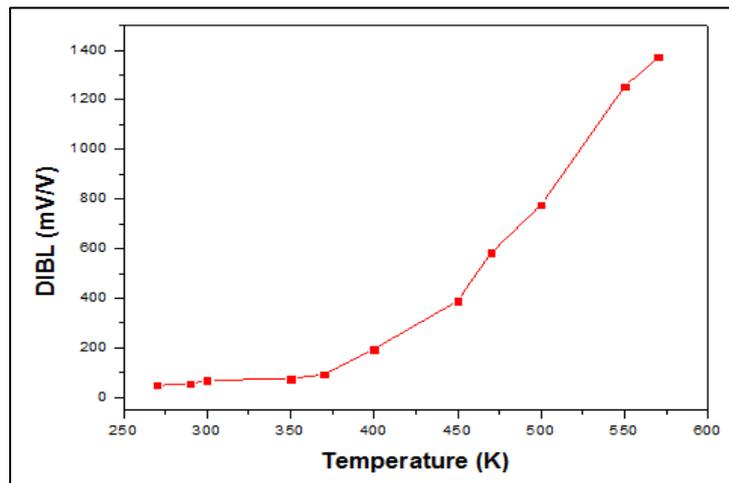


Figure IV. 21: L'impact de la variation de la température (T) sur le DIBL.

La **figure IV.21** montre clairement que l'augmentation de la température (de 270K à 570K) est directement proportionnelle au DIBL. Ce paramètre diminue à 48,3 mV/V pour la faible température ($T= 270$ k), puis le DIBL augmente fortement à 1372 mV/V pour la température la plus élevée ($T = 570$ k).

IV.2.3.5 Impact de la température sur la mobilité électronique:

Selon la relation entre la mobilité électronique et la température de **l'équation (IV.4)**, on conclut que la mobilité est inversement proportionnelle à la température pour les dispositifs FinFETs. Alors on va simuler la variation de la mobilité des électrons le long du canal pour différentes températures comme présentées dans la **figure IV.22**.

La **figure IV.22** indique que l'augmentation de la température de (270 à 570) K entraîne la diminution de la mobilité à cause de l'augmentation de la densité électronique avec la température. Dans ce cas, les électrons ont une température maximale dans le canal ce qui conduit à détruire la fiabilité de ce dispositif [189]. L'influence de la température n'a pas

seulement affecté la mobilité, mais aussi le potentiel de la puissance électrique de la structure [153].

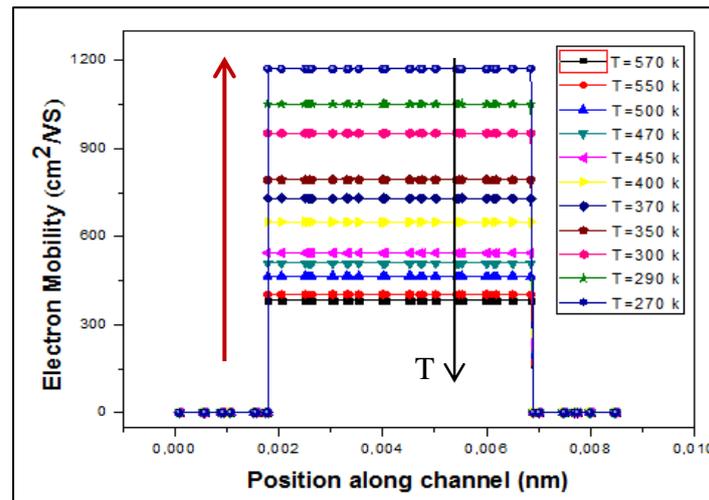


Figure IV.22 : La dépendance entre la température et mobilité électronique.

Le tableau suivant résume l'impact de la température sur les différentes caractéristiques électriques de la structure DG-FinFET de longueur de grille 5nm.

	T=270k	T=290k	T=300k	T=350k	T=370k	T=400k	T=450k	T=470k	T=500k	T=550k	T=570k
Vth (v)	0.315	0.313	0.312	0.3116	0.3112	0.3109	0.3072	0.2975	0.2878	0.2685	0.258
SS (mV/dec)	60.87	65.69	67.77	79.08	83.64	90.58	102.28	107.05	114.21	126.41	131.37
Ioff (nA)	6.83	12.58	14.58	42.95	62.23	101.8	203.2	257.6	355.6	564.9	663.9
Idsat (mA)	5.94	4.59	4.33	3.35	3.06	2.67	2.17	2.01	1.8	1.517	1.422
Ion/Ioff (*10⁵)	8.6	3.14	2.96	0.77	0.49	0.26	0.1	0.078	0.05	0.026	0.021
gm (mA/V)	15.75	14.06	13.77	10.04	8.98	7.62	6.18	5.68	5.01	4.09	3.82
DIBL (mV/V)	48.3	53.8	64	75.2	92.1	194.4	388.9	582.4	776	1254	1372

Tableau IV. 1 : Résumé de l'impact de la température sur les différentes caractéristiques électriques de la structure DG-FinFET de longueur de grille 5nm.

IV.2.4 Le confinement quantique:

Nous avons discuté jusqu'à maintenant la simulation numérique du transistor DG-FinFET sans tenir compte les effets quantiques. En fait, généralement lorsque la largeur du silicium (WSi) est inférieure à 20 nm, les effets quantiques doivent être pris en compte [157]. Dans les dispositifs multigrilles, l'origine des porteurs de charges confinées provient à la fois du confinement structurel et électrique, le confinement des fines couches semi-conductrices entraîne des changements des performances du dispositif. Les niveaux d'énergie dans les

directions y et z sont quantifiés par un mouvement continu dans la direction x . Cette quantification s'accompagne de l'existence des modes (ou sous-bandes), chaque mode à une certaine distribution de bande d'énergie le long du canal, et une probabilité de distribution des porteurs de charges traversant le canal [190]. Pour des faibles T_{Si} et H_{Si} et pour une tension de polarisation de grille élevée, la séparation entre ces modes d'énergie ainsi que l'énergie de la bande devient plus grande, par conséquent, T_{Si} peut être utilisé pour contrôler la tension de seuil, de sorte que des canaux légèrement dopés ou intrinsèques peuvent être utilisés, dans de plusieurs cas, afin qu'un courant suffisant circulant le long du canal H_{Si} est beaucoup plus grand que T_{Si} , de sorte que l'effet de confinement ne peut être pris en compte que dans une seule direction [191].

▪ **Le modèle 'Bohm Quantum Potential' (BQP):**

SILVACO a inclus la résolution de l'équation de Schrödinger-Poisson et le modèle de gradient-densité pour les dispositifs semi-conducteurs par le simulateur ATLAS, la résolution de l'équation de Schrödinger-Poisson (SP) est utile pour calculer le confinement quantique, mais ne peut pas prédire les courants circulant dans le dispositif. Pour surmonter cette limite, ATLAS a introduit le modèle gradient-densité. Il permet aux utilisateurs de prédire en même temps le confinement quantique et le courant dérive-diffusion pour une structure à 2D [146], afin d'obtenir les caractéristiques de confinement quantique d'un dispositif DG-FinFET, un modèle physique utilisé pour la simulation à 3D-Atlas-TCAD, c'est le modèle BQP « Bohm Quantum Potentiel », pour cette raison, la définition des instructions BQP.N ou BQP.P sont nécessaires dans l'instruction MODELS pour spécifier ce modèle pour les électrons ou pour les trous.

Ce modèle présente de nombreux avantages, pour les dispositifs planaires ou non planaires, Le modèle BQP montre une convergence très stable et une robustesse numérique, ce modèle est indépendant aux modèles de transport utilisés (dérive-diffusion ou hydrodynamique) [32]. Les effets quantiques sont introduisant en tant que correction du niveau d'énergie de la bande de conduction [157, 192]. Dans Atlas, la résolution de l'équation non linéaire du modèle BQP avec l'ensemble des équations semi-classiques est comme suit. Après avoir obtenu la solution semi-classique initiale, l'équation du modèle BQP est résolue grâce à sa propre solution itérative de Gummel pour donner Q à chaque noeud dans le dispositif. Le potentiel est modifié par la valeur Q à chaque nœud, puis l'ensemble des équations semi-classiques résoud la convergence comme d'habitude (pour les simulations à 2D, en utilisant la méthode newton

et Gummel et en même temps blank, et pour les simulations à 3D en utilisant la méthode bicgst (Voir [Annexe A](#)). Ensuite, le modèle BQP résoud la convergence à nouveau et le processus est répété jusqu'à ce que la solution de l'équation BQP soit l'auto-cohérente réalisée avec l'ensemble des équations semi-classiques [193]. La tension de seuil quantique ($V_{th,QM}$) de dispositif DG-FinFET est donnée par [194]:

$$V_{th,QM} = V_{FB} + 2 \cdot \phi_F - \frac{Q_b}{2C_{ox}} + \Delta V_{th,QM} \quad (IV. 8)$$

Q_b : la charge en silicium (bulk) est donnée par:

$$Q_b = -qN_A T_{fin} \quad (IV. 9)$$

Où $\Delta V_{th,QM}$: la variation de la tension de seuil selon l'effet quantique (QME), qui peut s'approximer en fonction du rapport effectif des porteurs limités aux masses des électrons libres et à l'épaisseur du film de silicium, étant donné que [195]:

$$\Delta V_{th,QM} \cong \frac{SS}{(KT/q)\ln(10)} \times \frac{0.3763}{(m_x/m_0q)T_{fin}^2} \quad (IV.10)$$

m_x/m_0 : est le rapport de la masse efficace des porteurs dans la direction de la masse d'électrons libres.

Si on prend en considération l'effet quantique (quantum-mechanical confinement), l'expression finale de la tension de seuil avec les corrections Q_M est obtenue par:

$$V_{th,QM} = V_{FB} + 2 \left(\frac{KT}{q} \ln \frac{N_A}{n_i} \right) - \frac{(-qN_A T_{fin})}{2C_{ox}} + \frac{SS}{(KT/q)\ln(10)} \times \frac{0.3763}{(m_x/m_0q)T_{fin}^2} \quad (IV.11)$$

Les caractéristiques I_d - V_g de transistor DG-FinFET de longueur de grille $L_g=5$ et $L_g=8$ nm sont présentées sur la [figure IV.23](#).

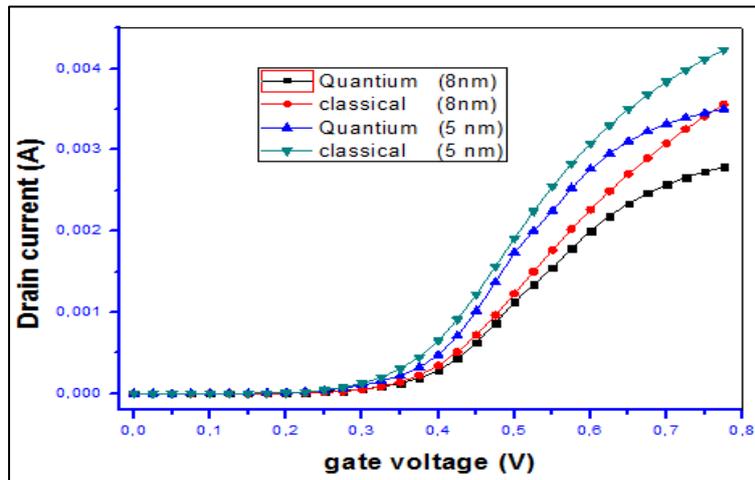


Figure IV. 23: La caractéristique linéaire (I_d - V_g) pour différentes longueurs de grilles $L_g=5$ nm et $L_g=8$ nm et $V_d=0.1$ V par l'utilisation de modèle BQP.

Cette figure présente la comparaison de comportement des caractéristiques courant-tension pour le modèle classique et pour le modèle quantique du dispositif DG-FinFET, pour cela la tension de grille V_{gs} est varié de 0 à 0.8 V par un pas de 0,025 V.

- On peut observer à partir de la [figure IV.23](#) que la tension de seuil (V_{th}) diminue avec la réduction de la longueur de grille L_g ce qui confirme la validité des résultats obtenus par S. Slimani et al. [\[112\]](#). Pour le modèle classique la valeur de la tension de seuil du dispositif DG-FinFET à la polarisation $V_{ds} = 0,1$ V est égale à 0,312 V pour $L_g=5$ nm, et égale à 0,3459 V pour $L_g=8$ nm. Généralement par rapport au cas classique, le confinement quantique permet de réduire le courant de drain car les porteurs ne sont pas autorisés sur l'interface Si/TiO₂, alors les effets quantiques ont modifiés la distribution des porteurs dans le canal, l'effet le plus important est le déplacement des charges dans le film de silicium. La quantification d'énergie (la séparation des niveaux d'énergie) est plus élevée pour les couches minces de silicium et pour les champs électriques de plus grandes surfaces. En raison de l'existence des sous-bandes, on peut dire que le confinement quantique élève le bord de la bande de conduction EC à la valeur propre de l'ordre le plus bas. Ce changement a une influence directe sur la tension de seuil (V_{th}) de dispositif car il nécessite plus de flexion de la bande (faible potentiel d'énergie) pour former la couche d'inversion, par conséquent, la variation de la tension de seuil dans les deux modèles classique et quantique pour les différentes longueurs de grille apportera un autre défi de conception, car les fluctuations de la longueur de la barrière conduisent à des valeurs imprévisibles de la tension de seuil [\[146\]](#).

- Dans la région d'inversion forte, nous pouvons remarquer aussi sur la [figure IV.23](#) que le courant augmente à mesure que la tension de la grille augmente et la longueur de grille diminue, cela peut être attribué à un champ électrique longitudinal plus grand pour des longueurs de grille courtes ce qui traduit par une amélioration du courant [\[112,196\]](#). La [figure IV.24](#) montre la comparaison de la pente sous seuil obtenu par la simulation numérique pour ces deux modèles de DG-FinFET de longueur de grille ($L_g=5$ nm et $L_g=8$ nm).

Pour toutes les longueurs de grille, la pente sous seuil est bien décrite dans la [figure IV.24](#) ci-dessous. On observe que pour des longueurs (L_g) plus courtes, la pente commence à diminuer car la barrière est non seulement contrôlée par la grille, mais elle est aussi contrôlée par le drain, ce qui confirme également la validité des résultats obtenus par Slimani et al. [\[112\]](#). Une meilleure valeur de la pente sous seuil est obtenue pour le modèle classique de longueur de grille $L_g=5$ nm du dispositif DG-FinFET (67,77 mV/dec).

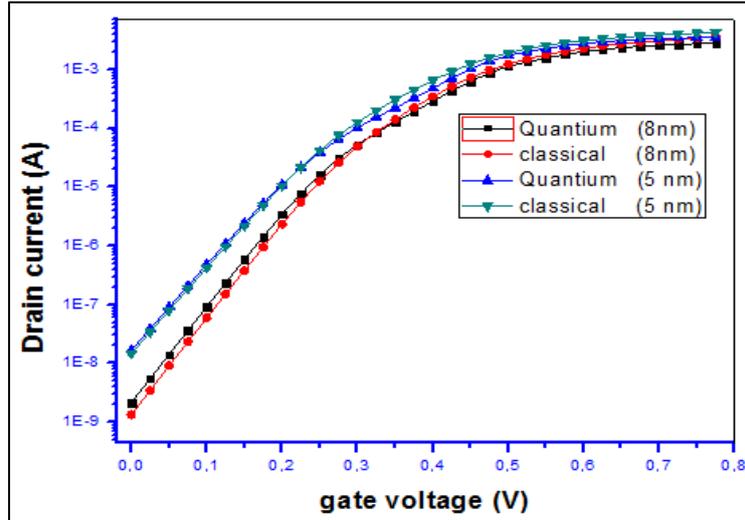


Figure IV.24 : La caractéristique logarithmique (I_d - V_g) pour différentes longueurs de la grille $L_g=5\text{nm}$ et $L_g=8\text{nm}$ et $V_d=0.1\text{V}$ par l'utilisation de modèle BQP.

Le meilleur comportement en forte inversion montre que le DG-FinFET prend bien en compte la saturation de la vitesse et l'effet quantique. Comme prévu, l'effet de confinement structurel est significatif pour les structures plus courtes, alors qu'il est négligeable pour des structures de $L_g > 5\text{nm}$.

-Avec un bon contrôle de la grille sur le potentiel de canal, les lignes de champ électrique seront correctement terminées à l'une ou l'autre des deux grilles, par conséquent, le potentiel de canal est réduit, ce qui traduit par une plus grande immunité au DIBL [197].

La figure IV.25 montre l'effet de la variation de la longueur de la grille sur le DIBL pour les deux modèles classique et quantique et pour $V_d = 0.05\text{V}$ et $0,1\text{V}$.

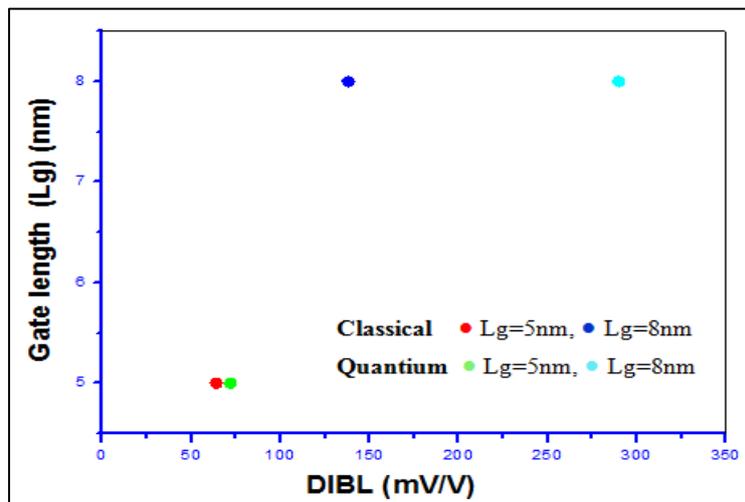


Figure IV.25 : La comparaison de DIBL pour le modèle classique et le modèle quantique de transistor DG-FinFET de différentes longueurs de grille et pour $V_d=0.05\text{V}$ et $V_d=0.1$.

La **figure IV.25** montre que le dispositif DG-FinFET avec $L_g=8$ nm présente un effet DIBL significatif, les résultats de cette figure montrent aussi que le potentiel classique est légèrement inférieur au potentiel quantique, une meilleure valeur du DIBL est obtenue pour le modèle classique de longueur de grille $L_g=5$ nm de dispositif DG-FinFET (64 mV/V).

La **figure IV.26** présente la transconductance pour le modèle classique et quantique du transistor DG-FinFET de longueur de grille 5nm et de 8 nm.

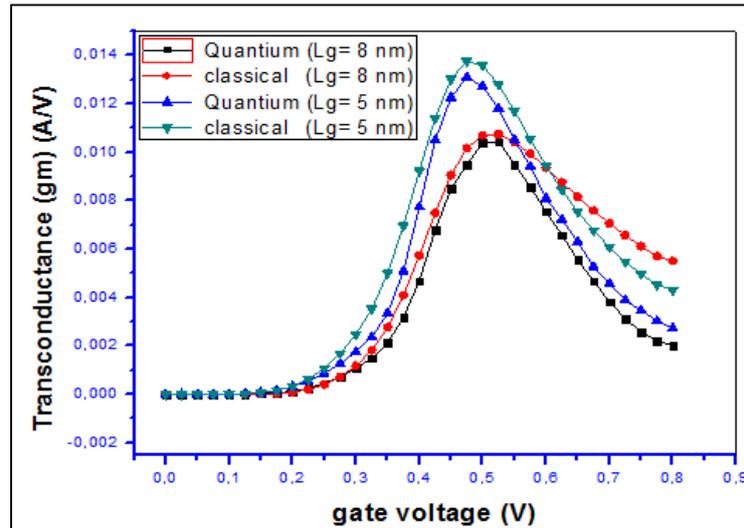


Figure IV. 26 : La comparaison de la transconductance de modèle classique et de modèle quantique de transistor DG-FinFET pour différentes longueurs de grille $L_g=5$ nm et $L_g=8$ nm et $V_d=0.1$ V.

Cette figure montre que pour la longueur de grille $L_g=8$ nm, la transconductance est élevée, ce qui peut s'expliquer par une contrainte plus élevée de ce paramètre dans le dispositif à canal court, en réduisant la longueur de la grille, la crête de la transconductance est augmentée, la valeur maximale de ce paramètre a été obtenue pour le dispositif DG-FinFET de $L_g = 5$ nm à $V_{ds} = 0,1$ V.

Généralement les plus courtes longueurs de grille (L_g) fournissent moins de résistance, entraînent la présence des SCEs et dégradent des performances, ce qui présente un signe d'une mauvaise évolution de ce dispositif, pour cela on remarque que le modèle BQM est plus perceptible pour le canal court en raison des champs électriques plus élevés.

Le tableau suivant résume la comparaison des caractéristiques classiques et quantiques de transistor DG-FinFET pour les deux longueurs de grille $L_g=5$ nm et $L_g=8$ nm.

	Lg = 5 nm		Lg = 8 nm	
	Classique	Quantique	Classique	Quantique
Vth (V)	0.312	0.3545	0.3459	0.355
SS (mV/dec)	67.77	70.05	59.91	65.65
Ion (mA)	4.33	3.49	3.69	2.78
gm (mA/V)	13.77	13.11	10.75	10.45
DIBL (mV/V)	64	72	138	290

Tableau IV. 2: la comparaison des caractéristiques électriques classiques et quantiques de transistor DG-FinFET de longueurs de grilles Lg=5nm et Lg=8nm.

IV.3 Les performances à haute fréquence RF :

L'importance des paramètres à haute fréquence (performances RF) comprend différentes capacités: grille/drain (Cgd), grille/source (Cgs) et fréquence de coupure (ft), la fréquence maximale (fmax), le gain de puissance maximale disponible (Gma), et le gain de puissance maximale stable (Gms) ont été étudiés dans cette partie pour le dispositif proposé DG-FinFET, ce qui est comparé avec celles de SG-FD-SOI-MOSFET, de plus, afin d'examiner la fiabilité, nous analysons l'effet de la variation de quelques paramètres sur les performances RF de dispositif proposé DG-FinFET de longueur Lg= 5 nm.

-Les capacités parasites (capacité grille/source et capacité grille/ drain) (Cgs) et (Cgd)
 Pour les dispositifs à haute performance les capacités parasites doivent être les plus faibles possible car ils dépendent avec la vitesse du transistor [198, 199], ce qui provoque un retard dans la cellule logique. Le temps de commutation des dispositifs digitales peuvent augmenter en raison de la capacité parasite, de nombreux amplificateurs RF peuvent avoir un gain faible, et parfois il y a une oscillation dans l'amplificateur en raison de ces pertes parasites (capacités parasites) [200].

Les figures IV.27 et IV.28 ci-dessous montrent les capacités parasites Cgs et Cgd en fonction de la fréquence pour le DG-FinFET et SG-FD-SOI-MOSFET.

Les résultats indiquent que le DG-FinFET présente de plus faibles capacités parasites Cgs et Cgd par rapport au SG-FD-SOI-MOSFET lorsque la fréquence augmente de la gamme de quelques Hz à GHz en raison de la mobilité élevée des porteurs à travers le canal.

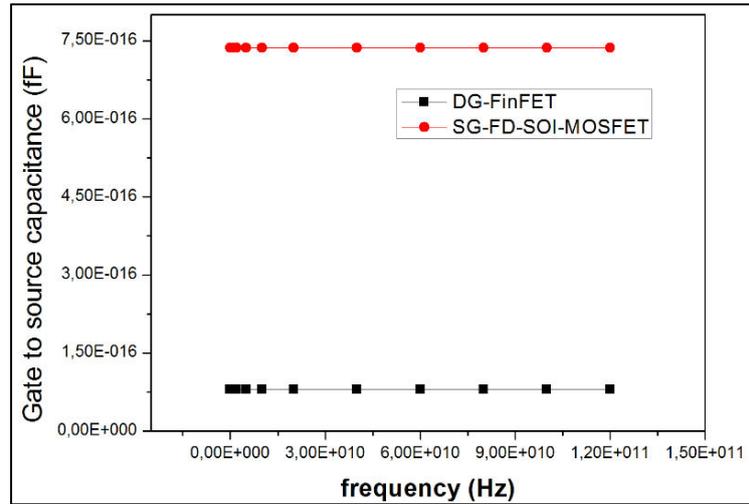


Figure IV.27: La variation de la capacité grille/source (C_{gs}) pour les transistors DG-FinFET et SG-FD-SOI-MOSFET.

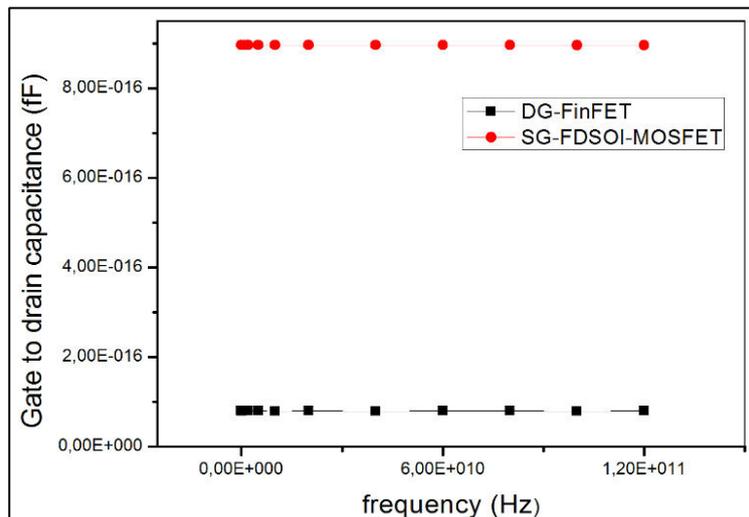


Figure IV.28: La variation de la capacité grille/drain (C_{gd}) pour les transistors DG-FinFET et SG-FD-SOI-MOSFET.

-La fréquence de coupure f_t [201] ce paramètre est pris en compte lors de la comparaison des transistors pour les applications RF, la valeur élevée de ce paramètre présente de bonnes conditions de fonctionnement à grande vitesse dans une large gamme d'applications digitales [202], la fréquence de coupure f_t est défini par :

$$f_t = \frac{g_m}{2\pi(C_{gs} + C_{gd})} \quad (IV.12)$$

où g_m : transconductance, C_{gd} et C_{gs} : capacité grille/drain et capacité grille/source, f_t est évaluée lorsque le gain de courant est égal à l'unité [199, 200].

La **figure IV.29** présente la variation du gain en courant en fonction de la fréquence (f) pour les transistors DG-FinFET et SG-FD-SOI-MOSFET.

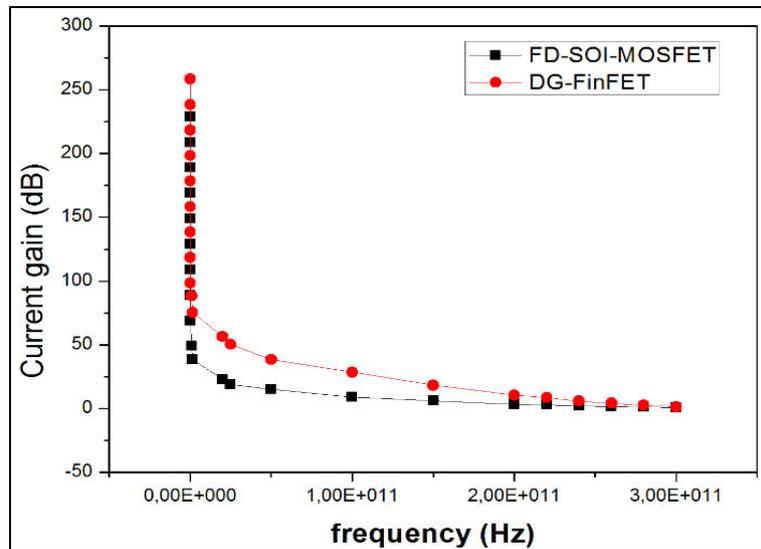


Figure IV.29 : Le gain en courant pour les transistors DG-FinFET et SG-FD-SOI-MOSFET.

Cette figure indique que la fréquence de coupure f_t augmente dans le DG-FinFET par rapport au SG-FD-SOI-MOSFET (lorsque le gain de courant est égal à l'unité) en raison de diverses augmentations du courant et de la transconductance.

L'évaluation de **la fréquence maximale (f_{max})** est plus nécessaire pour une commutation à grande vitesse et efficace pour les dispositifs CMOS, la fréquence f_{max} doit être la plus grande possible [203, 204], ce paramètre est calculé par:

$$f_{max} = \frac{f_t}{\sqrt{4R_g(g_{ds} + 2\pi f_t C_{gd})}} \quad (IV.13)$$

f_{max} est également mesuré lorsque la puissance de gain unilatéral est égale à l'unité [203].

Les **figures IV.30** et **IV.31** présentes la variation de gain en puissance maximale de la transconductance et le gain en puissance unilatérale en fonction de la fréquence pour les transistors DG-FinFET et SG-FD-SOI-MOSFET.

Les **figure IV.30** et **IV.31** montrent des valeurs plus élevées de la fréquence f_{max} à l'unité pour le DG-FinFET en raison de la mobilité des porteurs améliorée qui diminue la résistance de grille, et donc améliorer la fréquence f_{max} , puisque f_{max} est directement lié à la transconductance et inversement proportionnelle à la résistance de grille (**équation IV.13**)

[199]. Les résultats obtenus montrent que les valeurs plus élevées des fréquences f_t et f_{max} indiquent la possibilité d'utilisation des DG-FinFETs dans les applications à hautes fréquences RF.

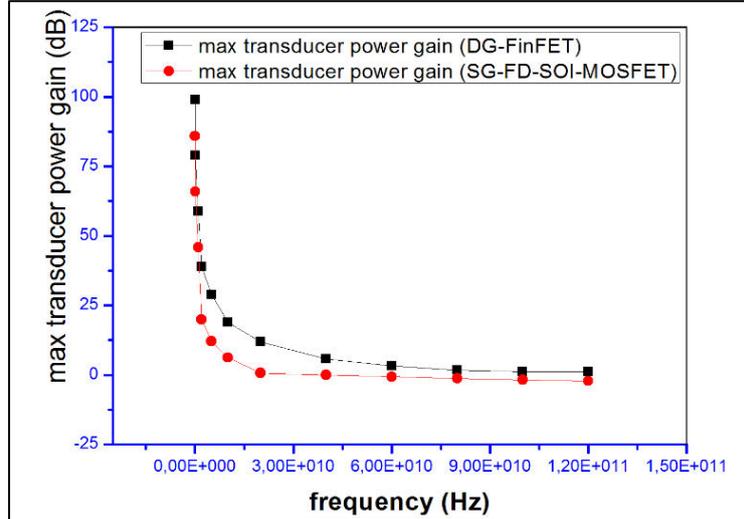


Figure IV.30 : Le gain de puissance maximale de la transconductance pour les transistors DG-FinFET et SG-FD-SOI-MOSFET.

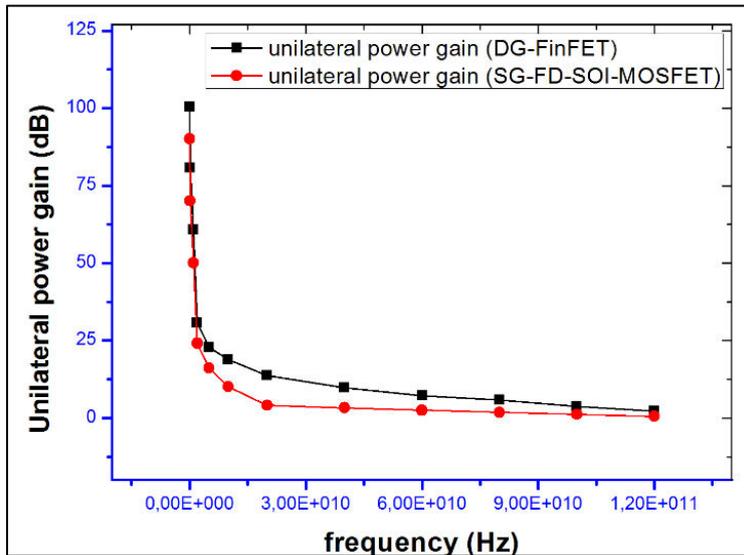


Figure IV.31 : Le gain de puissance unilatérale en fonction de la fréquence pour les transistors DG-FinFET et SG-FD-SOI-MOSFET.

-Le gain de puissance maximale disponible (G_{ma}) et le gain de puissance maximale stable (G_{ms}) sont d'autres paramètres RF, G_{ma} est défini par le rapport entre la puissance maximale disponible à la charge et la puissance maximale disponible à la source, ce paramètre est donné par [200]:

$$G_{ma} = \frac{P_{load,max}}{P_{source,max}} \quad (IV.14)$$

G_{ma} et G_{ms} sont comparés pour les dispositifs DG-FinFETs et SG-FD-SOI-MOSFETs comme le montrent dans les figures IV.32 et IV.33.

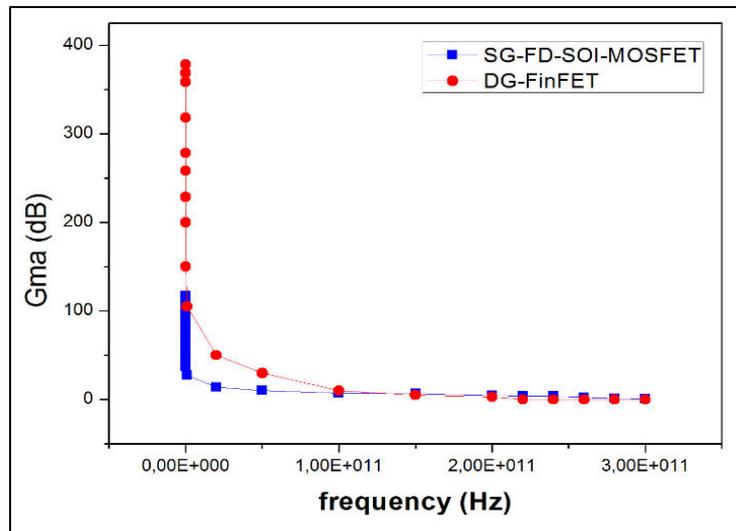


Figure IV.32: Le gain en puissance maximale disponible (G_{ma}) en fonction de la fréquence pour les transistors DG-FinFET et SG-FD-SOI-MOSFET.

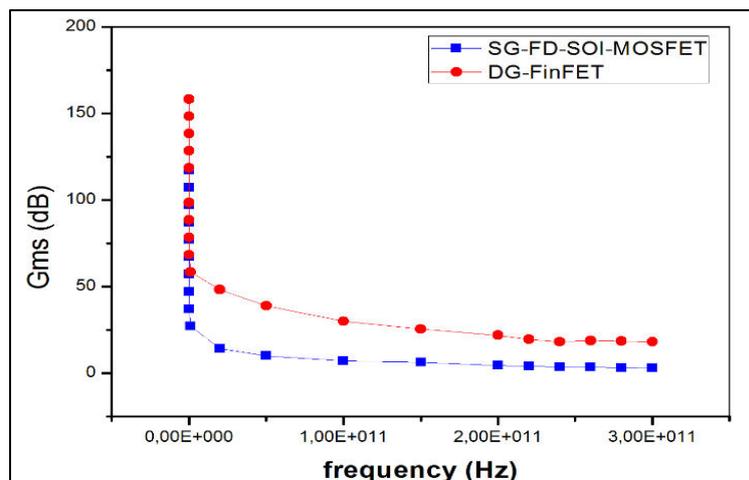


Figure IV.33 : Le gain de puissance maximale stable (G_{ms}) en fonction de la fréquence pour les transistors DG-FinFET et SG-FD-SOI-MOSFET.

Les résultats montrent une amélioration du gain de puissance maximale dans le dispositif DG-FinFET par rapport à SG-FD-SOI-MOSFET, ce qui permet d'utiliser ce dispositif pour les applications à hautes fréquences de l'ordre de (GHZ) où (THZ). Pour cela, les paramètres G_{ma} et G_{ms} doivent être élevés pour ces dispositifs, par conséquent, le DG-FinFET montre une amélioration significative en raison de sa structure géométrique et physique.

IV.4 Conclusion:

-Dans ce chapitre, les résultats ont prouvé que le dopage de canal joue un rôle important dans l'optimisation des paramètres des dispositifs. L'effet de la concentration de dopage du canal sur les caractéristiques des dispositifs DG-FinFET a été étudié, les résultats ont révélé que la tension de seuil peut être modifiée en faisant varier le dopage du canal, en outre, des valeurs de tension de seuil appropriées sont déterminées pour un faible dopage de canal de dispositif ultra-court DG-FinFET.

-D'autre part, la variation du travail de sortie de la grille métallique (Φ_{ms}) sur les caractéristiques électriques du dispositif nanométrique DG-FinFET a été étudié par l'outil TCAD-SILVACO, les résultats ont conclu que le choix appropriée du travail de sortie de la grille est très important pour les performances optimales du dispositif. Les résultats montrent que l'augmentation de Φ_{ms} augmente la tension de seuil (V_{th}) et réduire la transconductance (g_m) et le courant I_{on} pour atteindre la vitesse de commutation du circuit et le gain en tension. Par contre, un faible travail de sortie diminue légèrement la pente SS, tout en réduisant considérablement le courant de fuite (I_{off}), et en augmentant fortement le courant I_{on} et le rapport (I_{on} / I_{off}), ce qui permet d'améliorer les performances de ce dispositif.

-À partir des résultats de simulation de la variation de la température sur les caractéristiques de DG-FinFET, on a été constaté que l'augmentation de la température a provoqué la diminution de la mobilité des électrons, pour cette raison la tension de seuil (V_{th}), le courant de saturation, et le rapport I_{off}/I_{on} ont légèrement diminué. Cependant, une faible température permet de diminuer progressivement la pente sous seuil (SS) qui atteinte sa valeur idéale pour la température (270K). Le DIBL a également chuté fortement pour cette température. Nous avons conclu aussi que la transconductance (g_m) et le courant de fuite (I_{on}) dépendent inversement à la température. Cette étude a également évalué les points ZTC pour le courant de drain et pour la transconductance en faisant varier la température, l'extraction de ce point aide au fonctionnement du transistor. Les résultats montrent que la température la plus élevée affecte négativement la fiabilité des dispositifs. On constate alors que le modèle proposé du dispositif DG-FinFET présente de meilleures performances. Ce modèle intègre également l'influence des effets quantiques qui sont généralement importants pour des longueurs de grille de quelques nanomètres, mais pour la longueur de la grille supérieure ou égale à 5nm ces effets sont négligiables.

De plus, on observe une amélioration de performances à hautes fréquences (RF) pour le dispositif ultra-court DG-FinFET et les capacités parasites qui dégradent les performances de ces dispositifs sont considérablement réduites par rapport au SG-FD-SOI-MOSFET. La fréquence de coupure (f_t) et la fréquence maximale (f_{max}) sont considérablement améliorées, ce qui montre également que le DG-FinFET est un candidat potentiel pour les applications RF.

Conclusion générale

L'effet de canal court (SCE) est l'un des effets néfastes qui apparaît en raison de la réduction de la taille des dispositifs SOI-MOSFETs. L'objectif de cette étude est de trouver un modèle qui permet de supprimer ou de réduire au minimum cet effet. Nous proposons le DG-FinFET avec le diélectrique (TiO_2) de permittivité élevée ($k = 85$) dans la grille pour la technologie à $L_g=5$ nm. La comparaison entre les caractéristiques électriques de ce dispositif avec celles de SG-FD-SOI-MOSFET de longueur de grille $L_g=5$ nm montre que de meilleures caractéristiques ont été obtenues pour le DG-FinFET par rapport au SG-FD-SOI-MOSFET. Ce dispositif est donc le plus compatible pour réduire les effets de canal court SCE, et le champ électrique réduit le long du canal ce qui permet la suppression de l'effet des porteurs chauds (HCE). D'après les résultats obtenus, on peut conclure que les DG-FinFETs sont des dispositifs extrêmement rapides et économiques en énergie. Les changements dans la structure physique et géométrique de ces dispositifs sont analysés pour obtenir des meilleures performances.

- De la variation des paramètres géométriques du modèle proposé de DG-FinFET sur les différentes caractéristiques électriques, on remarque que :
 - ❖ La variation de la longueur de la grille (L_g) montre que la réduction de la longueur de la grille L_g jusqu'à 5 nm conduit à une diminution de V_{th} , I_{on} , I_{off} , le DIBL, et une augmentation de la pente SS et de la transconductance (g_m). Nous remarquons que le champ électrique est plus uniforme pour cette longueur de grille que pour les autres. Ces résultats permettent d'améliorer les performances de ce dispositif : une puissance plus faible et une augmentation de vitesse et de la fiabilité.
 - ❖ La variation de la hauteur et de la largeur des ailettes (H_{fin}) (W_{fin}) sont analysées dans le but de réduire le DIBL et le courant de fuite (leakage current) qui est due à l'augmentation des résistances parasites.
 - ❖ Les résultats de la variation de la hauteur des ailettes (H_{fin}) montrent que pour la hauteur la plus fine des ailettes (H_{fin}), la tension seuil (V_{th}) augmente, la pente (SS), le DIBL et le courant I_{off} sont légèrement diminués. Par contre, pour des hauteurs plus épaisses, la barrière perd son contrôle sur le canal, le courant de fuite (I_{on}) est réduit en raison de l'augmentation des résistances parasites, et de la réduction des capacités de jonction source/fin, donc la hauteur des ailettes plus fine offre plus de résistance par rapport à la hauteur des ailettes plus épaisse, ce qui montre un faible courant de fuite.

Conclusion générale

❖ La variation de la largeur des ailettes (W_{fin}) montre de meilleures performances de dispositif DG-FinFET. Le DIBL a réduit en raison de la réduction des capacités de jonction source/fin et drain/fin. Le courant de fuite (I_{off}) et la pente (SS) ont diminué légèrement en raison d'une plus grande augmentation du contrôle de la grille. Une largeur des ailettes plus mince est suitable pour obtenir un rapport I_{on}/I_{off} plus élevé. La largeur des ailettes doit être bien choisie pour compenser à la fois les effets de canal court et la résistance du drain /source.

-Les résultats suggèrent également que les effets de canal court et l'intégrité électrostatique peuvent être améliorés par la mise à l'échelle des paramètres H_{fin} et W_{fin} . Les paramètres W_{fin} ($=1\text{nm}$) et H_{fin} ($=10$) nm sont considérés comme des valeurs optimales pour l'avenir des processus technologiques des dispositifs nanométriques DG-FinFET.

❖ La variation de l'épaisseur d'oxyde (T_{ox}) (en introduisant des matériaux à permittivité k élevée dans la grille) est examinée dans le but d'augmenter la capacité grille-canal et de réduire le courant sous seuil. En outre, les matériaux à permittivité K élevée sont des clés importantes pour améliorer les performances du dispositif DG-Fin-FET par rapport aux matériaux à faible permittivité k . Les résultats de simulation montrent que les matériaux à permittivité élevée k peuvent fournir des meilleures caractéristiques, c'est pourquoi les dispositifs à double grille DG-FinFET avec un diélectrique élevé sont utilisés dans le but d'amplification. L'utilisation de diélectrique à permittivité k élevée est considérée comme une meilleure option dans les années à venir pour le développement des processus de fabrication des dispositifs DG-FinFET.

➤ De la variation des paramètres physiques du modèle proposé de DG-FinFET sur les caractéristiques électriques, et de l'étude des performances à hautes fréquences RF par le simulateur TCAD-Silvaco. Il en résulte que :

❖ La variation de travail de sortie du métal de la grille (Workfunction: ϕ_{ms}) a été analysé pour réduire le courant I_{off} et le taux de commutation, le choix de la valeur appropriée de ce paramètre est très important pour avoir des meilleures performances de DG-FinFET, les résultats ont montré que l'augmentation de ce paramètre augmente la tension de seuil (V_{th}) et la transconductance (g_m) pour atteindre la vitesse de commutation du circuit et le gain de tension d'amplification. Par contre, il a légèrement diminué la pente (SS) et il a réduit considérablement le courant de fuite (I_{off}), et comme prévu, il a augmenté le rapport (I_{on}/I_{off}) pour améliorer les dispositifs de vitesse de commutation plus élevée et

les applications logiques de faible puissance. Les résultats montrent que le choix de la valeur appropriée du travail de sortie (ϕ_{ms}) appartient à la gamme approximative 4.45 e.V à 4.509 e.V ce qui permet d'améliorer les performances, et permet de fabriquer plus facilement les dispositifs DG-FinFET en utilisant deux grilles métalliques.

- ❖ La variation du dopage de canal (N_a) et de source/drain (N_d) joue un rôle important dans l'optimisation des paramètres des dispositifs et dans la réduction des effets de canal court tel que la tension de seuil (roll-off (V_{th})) et la pente (SS). L'effet de la concentration de dopage du canal sur les caractéristiques du dispositif DG-FinFET a révélé que la tension de seuil peut être modifiée en faisant varier le dopage de canal. Les valeurs appropriées de ce paramètre ont été déterminées pour des faibles concentrations de dopage du canal (N_a) et pour des fortes concentrations de dopage du source/drain (N_d) du dispositif ultra-court DG-FinFET.
- ❖ La variation de la température est un paramètre important pour améliorer le contrôle du drain et la fiabilité de modèle proposé DG-FinFET. Une large gamme de températures (270-570) K a été étudiée pour caractériser le dispositif DG-FinFET par le simulateur TCAD-Silvaco. On constate que la température est inversement proportionnelle à la mobilité des électrons, ainsi que la tension de seuil (V_{th}), le courant de saturation, et le rapport I_{off}/I_{on} . Par contre, des faibles températures ont permis de diminuer progressivement la pente (SS). La valeur idéale a été obtenue pour la température 270K. Le DIBL a également chuté fortement pour cette température. Cette étude a également permis d'évaluer le point ZTC pour le courant de drain et pour la transconductance en faisant varier la température. Les résultats obtenus ont montré que les températures les plus élevées affectent négativement la fiabilité du DG-FinFET, de ce fait, nous concluons que ce dispositif a des meilleures performances pour les prochaines applications des transistors à haute température. Le modèle proposé de dispositif DG-FinFET est considéré comme un candidat potentiel dans l'avenir des circuits CMOS. Il offre également une meilleure compréhension du comportement de la commande électrique des dispositifs qui peuvent améliorer l'efficacité et les processus technologiques de fabrication à l'avenir.
- ❖ Les capacités parasites ont beaucoup diminué par rapport au SG-FD-SOI-MOSFET. En outre, la fréquence de coupure (f_t) et la fréquence maximale (f_{max}) ont été considérablement améliorées, ce qui fait du DG-FinFET un candidat approprié pour les applications RF et pour l'innovation du processus de fabrication des dispositifs à l'avenir.

Perspectives

Ce travail a permis de mieux comprendre les dimensions géométriques et physiques de dispositif nanométrique DG-FinFET, mais il reste encore beaucoup plus à apprendre aujourd'hui. Des mesures du bruit à basse fréquence et leur modélisation sur ce type de dispositif peuvent fournir des informations supplémentaires sur le rôle du piégeage de la charge d'oxyde pour confirmer les données de mobilité.

L'amélioration des performances des transistors reste l'objectif le plus difficile de la communauté microélectronique. De cette raison, Il est aussi recommandé de poursuivre les recherches pour étudier l'effet de l'introduction de nouveaux matériaux (sauf le silicium) dans la structure proposée de DG-FinFET tels que :

- Le carbure de silicium (SiC), SiGe ou le Ge pur dans le canal du DG-FinFET pour plus de mobilité et une meilleur compatabilité avec l'évolution des nœuds technologiques.
- Le composite (InAs/InGaAs) ou (InGaAs) dans le canal du DG-FinFET pour le développement et de l'amélioration des performances de ce dispositif dans les applications à faible consommation.
- Le double métal (DM) dans la grille de DG-FinFET pour fournir une fréquence de coupure plus élevée et d'améliorer les performances.

L'impact d'utilisation des matériaux high- κ /métal reste un sujet brûlant chez les chercheurs, comme par exemple l'utilisation des matériaux pérovskite pourrait mieux améliorer le modèle proposé, surtout en ce qui concerne l'analyse de diélectriques plus élevées et de combinaisons de grilles métalliques.

Productions Scientifiques

Publications internationales:

- ♣ N. Bourahla, B. Hadri, A. Bourahla, « 3-D Simulation of Novel High Performance of Nano-Scale Dual Gate Fin-FET Inserting the High-K Dielectric TiO₂ at 5 Nm Technology », 12 (6) pp 1301-1309 **Silicon**, DOI: [10.1007/s12633-019-00220-7](https://doi.org/10.1007/s12633-019-00220-7), Décembre 2019.
- ♣ N. Bourahla, A. Bourahla, B. Hadri, « Comparative performance of the ultra-short channel technology for the DG-FinFET characteristics using different high-k dielectric materials», **Indian journal of physics**, pp 1-8, <https://doi.org/10.1007/s12648-020-01846-9>, Octobre 2020.

Communications internationales:

- ♣ 1st international Workshop on multifunctional Materials (**IW2M'2017, 10-12 Octobre 2017**), The study of the short channel effect in n-MOSFET transistor, université Abd el hamid Ibn badis Mostaganem Algeria.
- ♣ 4th International conference on fracture mechanics and energy « Trends on the fracture and environment » (**FRACT'4, 26-29 Novembre 2018**), Performance Analyse of the electrical characteristic in the short channel n-MOSFET transistor, université hassiba benbouali-Chlef.
- ♣ International Symposium on Technology & Sustainable Industry Development, (**ISTSID'2019, 24-25-26 Février 2019**), Study of electrical characteristics of the nanoscale SOI-MOSFETs with HfO₂ dielectric material using different gate metal workfunction, université Echahid Hamma Lakhdar –El-Oued.
- ♣ 1^{ère} conférence Internationale sur les énergies renouvelables & Les matériaux avancés (**ERMA'2019, 18 février 2020**), The effect of parameters variation of the Nano-dual gate Fin-FET on the short channel effect, Centre Universitaire Ahmed Zabana- Rélizane.

Annexe A

I. Présentation des modules de TCAD-SILVACO:

1. **Virtual Wafer Fab (VWF) de Silvaco:** c'est un ensemble d'outils de simulation et d'outils interactifs peuvent être utilisés pour la conception et l'analyse de la plupart des dispositifs semi-conducteurs [18].

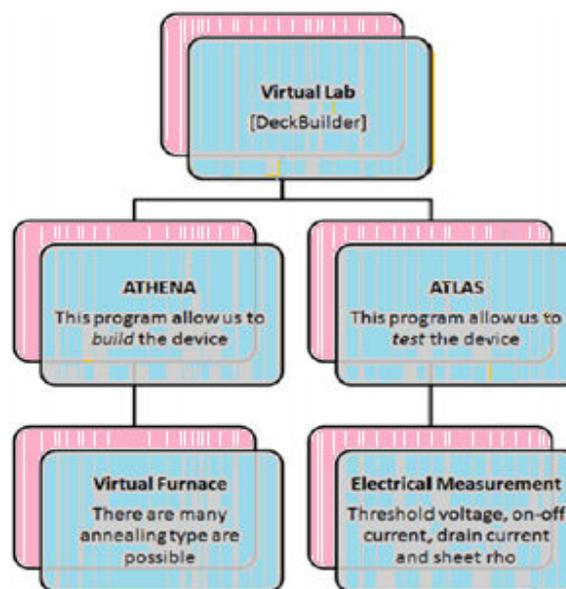


Figure 1 : L'environnement Virtual Wafer Fabrication (VWF) de Silvaco [32].

2. Les outils interactifs (VWF interactive tools):

Ces outils sont conçus pour être utilisés de manière interactive lors de la création d'un seul fichier d'entrée. En utilisant une interface graphique d'utilisateur (Graphical User Interface, GUI), la construction des fichiers d'entrée devient plus efficient. On peut utiliser les outils interactifs pour un ensemble des fichiers, ou d'utiliser comme des composants intégrés dans l'environnement « VWF automation tools ». Les outils interactifs sont :

- a) **DevEdit:** c'est un environnement de dessin des structures des dispositifs (dimension, dopage, ...) et son maillage, Il peut être utilisé pour générer des nouvelles mailles sur des structures existant pour créer ou modifier les dispositifs, qui peuvent être alors utilisé dans les simulateurs 2D et 3D de SILVACO [173, 205].

- b) **MaskViews**: c'est un outil de dessin des masques (layouts).
- c) **Manager**: c'est un outil de gestion des fichiers créés et utilisés par VWF.
- d) **Optimiseur**: il s'agit d'un outil d'optimisation qui permet d'ajuster automatiquement les paramètres technologiques et électriques par la variation d'un ou plusieurs paramètres d'entrée [206].
- e) **SPDB** : (Semiconductor Process Data Base), il s'agit d'un produit séparé, ce n'est pas un outil interactif, mais il peut être utilisé avec DeckBuild. Il est conçu pour stocker un grand nombre de profils de dopage mesurés expérimentalement et des données qui décrivent les conditions expérimentales [18].
- f) **DeckBuild**: il s'agit d'un environnement d'exécution graphique interactive, pour le développement des processus et la simulation des entrées de dispositif. Il se compose d'une fenêtre pour la saisie des commandes d'entrée, et une fenêtre pour la sortie et le contrôle du simulateur, et un ensemble d'autres fenêtres pour chaque simulateur comme les modules : **Athena** et **Atlas** et d'autres modules qui fournissent le support d'exécution le langage complet [173].

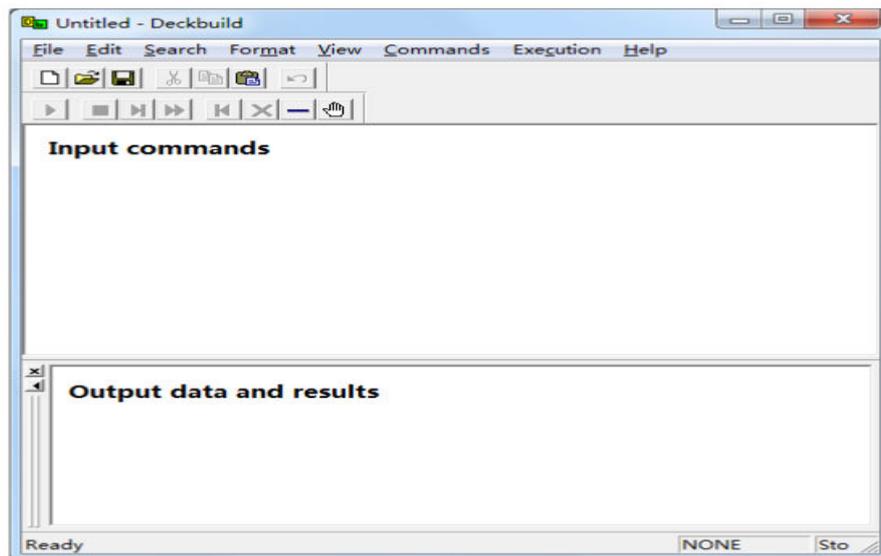


Figure 2 : Outil interactif DeckBuild.

- g) **TonyPlot** : Il s'agit d'un environnement de visualisation et d'analyse graphique des structures unidimensionnelles (1D) et bidimensionnelles (2D) des résultats de simulations générés par le simulateur SILVACO (structure du composant, distributions des grandeurs diverses dans celui-ci, caractéristiques électriques...). Il existe également un autre outil similaire à cet outil qui est appelé : TonyPlot3D , cet outil est conçu pour visualiser les structures à trois dimensions (3D) [205].



Figure 3: Environnement Tonyplot (2D).

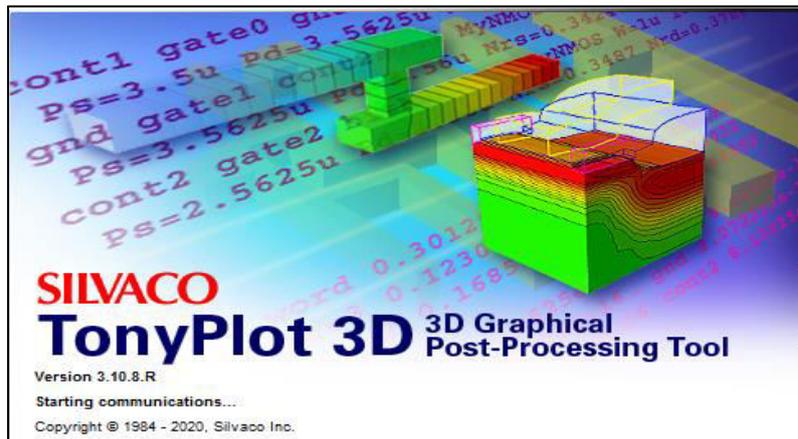


Figure 4 : Fenêtre de TonyPlot 3D [192].

3. Les modules de simulation (VWF core tools):

Ces outils peuvent simuler les caractéristiques électriques des processus technologiques de fabrication des dispositifs, de sorte que les outils de simulation peuvent remplacer l'expérience réelle pour réduire le coût de fabrication. Les modules de simulation comprennent:

- ✓ **SSuprem3**: c'est un simulateur de procédé unidimensionnel (1D) avec prolongements simples de simulations des dispositifs [18].
- ✓ **Athena** : c'est un outil de simulation bidimensionnelle (2D) de SILVACO-TCAD qui est utilisé à différentes étapes des procédés technologiques de fabrications qui sont réalisées dans la salle blanche de l'industrie des semi-conducteurs tels que les procédés de: dépôt l'implantation ionique, l'oxydation, la diffusion, la lithographie, la gravure... Par conséquent, Il permet de simuler rapidement et précisément toutes les étapes de fabrication utilisées dans diverses technologies bipolaires, MOSFET, HEMT, MESFET, optoélectronique, MEMS..., fournissant ainsi des informations importantes de la conception, et l'optimisation de flux des procédés technologiques comme : les concentrations des porteurs et les profondeurs de jonctions, etc... [207].
- ✓ **Atlas**: C'est un simulateur à deux dimensions (2D) ou à trois dimensions (3D) des dispositifs semi-conducteurs basés sur les principes de la physique des semi-conducteurs. Il

sert de donner des informations sur les équations des effets physiques internes des dispositifs et permet d'étudier les différentes caractéristiques électriques liées à leurs fonctionnements. Par conséquent, Atlas est donc le logiciel qui fournit le potentiel général de base physique et électrique en deux ou en trois dimensions (2D, 3D) pour la simulation des dispositifs [55].

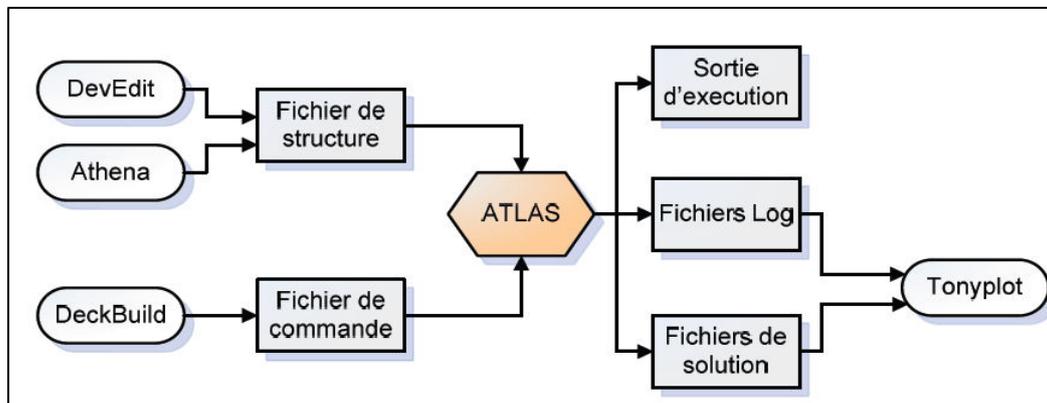


Figure 5 : Les modules utilisés par le simulateur TCAD-SILVACO [208, 209].

II. Description technologique de la structure DG-FinFET simulée:

Une nouvelle structure de dispositif à double grille (DG-FinFET) symétrique est proposée et comparée avec la structure SG-FD-SOI-MOSFET.

II. 1 Spécification de la structure :

II. 1.1 Le maillage (mesh):

Le maillage présente les cellules (nommées: réseau) obtenues de l'intersection d'un ensemble des lignes parallèles et verticales des points caractérisés par leurs coordonnées, ces cellules permettent de couvrir toute la surface du dispositif [210]. Dans Atlas, la modélisation des dispositifs semi-conducteurs se fait à travers d'un ensemble des équations différentielles partielles (PDE). Dans ce travail, on a trois équations PDE couplés (les équations de continuités des porteurs (électrons et trous), et l'équation de Poisson, et de transport), Atlas a résolu ces trois équations physiques numériquement par la méthode des éléments finis, cette méthode permet la discrétisation des éléments des équations du système algébrique à traiter pour chaque point de maillage de dispositif, il sert de calculer les valeurs des inconnues afin de convertir le modèle original continué vers un système algébrique non linéaire, de ce fait, le système algébrique est résolu par une procédure itérative qui permet d'optimiser les étapes successives de la solution, pour obtenir des résultats de simulation fiables et précis.

Annexe A

Le choix de maillage joue un rôle nécessaire et donne un compromis entre la vitesse d'exécution (rapidité de convergence) et la précision des résultats [13,208, 210], un maillage fin capable de résoudre toutes les équations et donne une simulation précise tandis qu'un maillage épais sert de diminuer le nombre des points total et permet de donner une efficacité numérique et une simulation rapide. Pour générer un maillage dans ATLAS-SILVACO, trois conditions importantes doivent être spécifiées [210]:

- La direction des lignes à 2D (x.mesh, y.mesh) ou bien à 3D (x.mesh, y.mesh ou z.mesh).
- La localisation des lignes principales (loc)
- L'espace entre chaque ligne (spac : c'est le pas en micromètres) permet de spécifier la distance entre les lignes secondaires.

Exemple :

- ♣ pour la simulation à deux dimensions (direction x, y, z) de la structure à simple grille (SG)-FD-SOI-FinFET:

```
x.mesh loc=0.00   spac=0.01
x.mesh loc=0.048  spac=0.0006
y.mesh loc=-0.0001 spac=0.0004
y.mesh loc=0.00   spac=0.00001
```

mesh : c'est une instruction utilisée pour spécifier le maillage d'une structure dans les directions données x et y en deux dimensions (2D).

Loc : définit l'intervalle de l'emplacement des maillages (dans cet exemple (la direction x), x varié entre 0 et 0.048)

Spac: présente la résolution (le pas) du maillage, (dans cet exemple, le maillage aura une résolution de $0.01\mu\text{m}$ à partir de $x=0$ et terminera par une résolution de $0.0006\mu\text{m}$ à $x=0.048$).

La même chose concernant le maillage de la direction y.

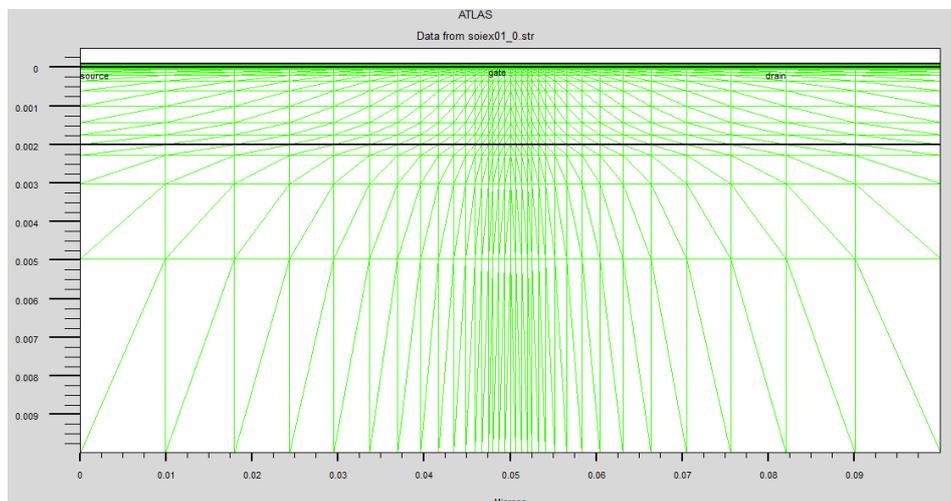


Figure 6 : Présentation de maillage de la structure SG-FD-SOI-MOSFET.

Annexe A

♣ pour le dispositif à trois dimensions (direction x, y, z) DG-FinFET simulé dans ce travail:

```
x.mesh loc=0.00      spac=0.0005
x.mesh loc=0.014     spac=0.0005
y.mesh loc=0.00      spac=0.0002
y.mesh loc=0.00065   spac=0.0002
z.mesh loc=0.00      spac=0.0002
z.mesh loc=0.004     spac=0.0002
```

mesh : c'est une instruction utilisée pour spécifier le maillage d'une structure dans les directions données x et y et z en trois dimensions (3D).

Loc : définit l'intervalle de l'emplacement des maillages (dans cet exemple (la direction x), x varié entre 0 et 0.014).

Spac: présente la résolution du maillage, (dans cet exemple, le maillage aura une résolution de $0.0005\mu\text{m}$ à partir de $x=0$ et terminera par une résolution de $0.0005\mu\text{m}$ à $x=0.014$).

La même chose concernant le maillage dans les directions y et z.

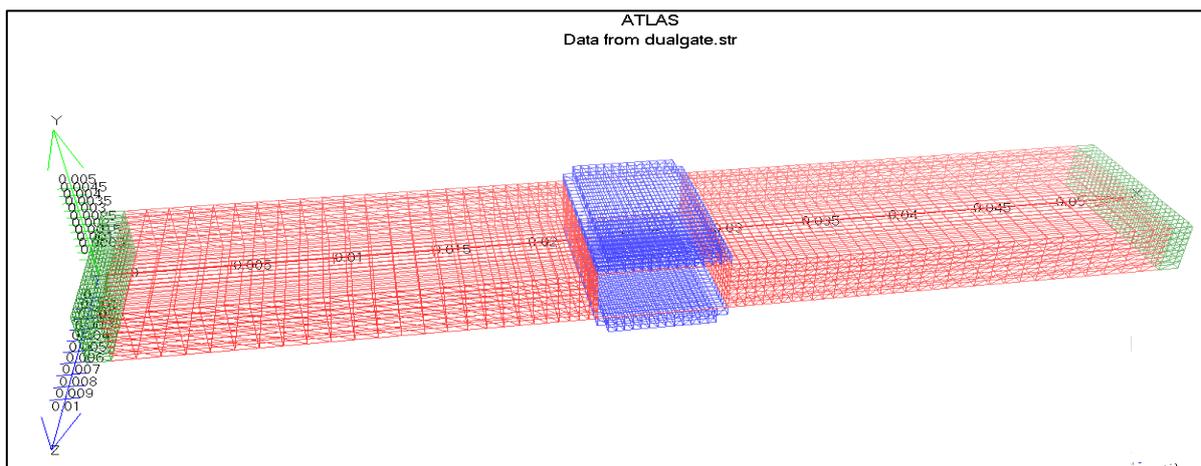


Figure 7 : Présentation de maillage de la structure DG-FinFET simulée dans ce travail.

II.1.2 Les régions :

Les régions sont définies par la commande "**Region**" qui peuvent être initialisées la région d'une structure. En utilisant le module ATLAS on peut accéder à 55 régions différentes [55].

Exemple:

♣ Pour la structure simulée à simple grille (SG)-FD-SOI-FinFET:

```
Region num=1 y.max=0 Oxide
```

Cet exemple montre que l'oxyde définit la première région dans la limite de y jusqu'à 0 pour le dispositif SG-FD-SOI-MOSFET.

Annexe A

♣ Pour la structure à trois dimensions DG-FinFET simulé dans ce travail:

**Region number=1 x.min=0 x.max=0.0216 y.min=0.001 y.max=0.004
material=Silicon**

Cet exemple montre que le silicium définit la première région dans l'intervalle de x [0, 0.0216] et dans l'intervalle de y [0.001, 0.004] pour le dispositif DG-FinFET.

II.1.3 Les électrodes:

Cette étape se fait via la commande "**Electrode**" qui nous indiquent l'emplacement et les noms des électrodes dans la structure, Atlas définit une limite de 50 électrodes différentes (source/drain/grille....) [212].

Exemple :

♣ Pour le dispositif à deux dimensions de la structure à simple grille (SG)-FD-SOI-FinFET simulée dans ce travail:

**Electrode name=gate x.min=0.047 x.max=0.053 y.min=-0.0001 y.max=-0.0001
material=SiO2**

Dans cet exemple l'électrode est nommée : gate

- . x.min, y.min : définit les points de départ de l'électrode dans les directions x, y
- . x.max, y.max : définit les derniers points de l'électrode dans les directions x, y
- . le matériau utilisé pour l'électrode définit (dans notre exemple : SiO₂).

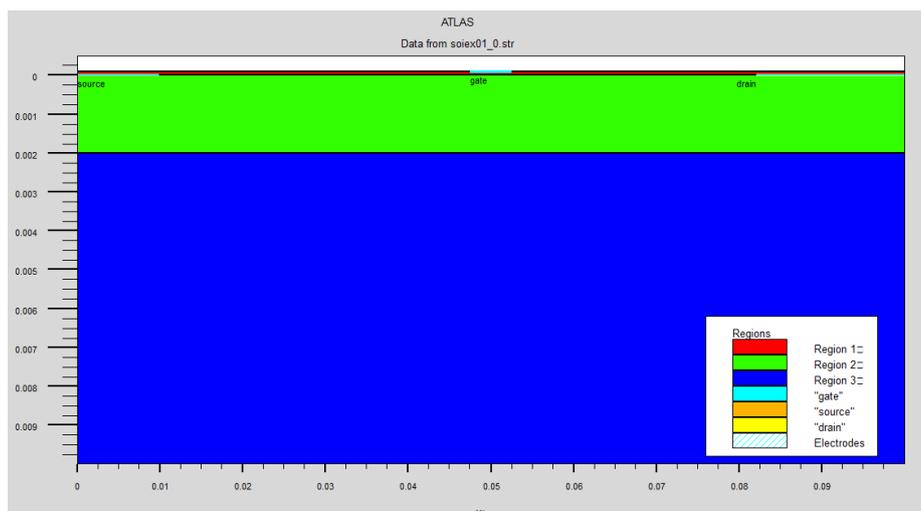


Figure 8 : Présentation des régions et des électrodes de la structure SG-FD-SOI-FinFET simulée dans ce travail.

♣ Pour le dispositif à trois dimensions DG-FinFET simulé dans ce travail:

Annexe A

Electrode name=source number=1 x.min=0 x.max=0.001 y.min=0.00085 y.max=0.004 z.min=0 z.max=0.01 material=NiSi

Electrode name=drain number=2 x.min=0.049 x.max=0.05 y.min=0.00085 y.max=0.004 z.min=0 z.max=0.01 material=NiSi

Dans cet exemple la première électrode (number=1) est nommé : source et la deuxième électrode nommé : Drain.

. **x.min, y.min, z.min:** définit les points de départ de l'électrode dans les directions x, y, z.

. **x.max, y.max, z.max:** définit les derniers points de l'électrode dans les directions x, y, z.

. le matériau utilisé pour les deux électrodes source et drain dans notre exemple c'est le: Nickel de silicium (NiSi). Ce matériau a été étudié intensivement pour la métallisation des deux électrodes source/drain dans les dispositifs nanométriques MOSFETs, il permet d'améliorer significativement leurs performances et pour réduire les résistances en série dans la source / drain afin de réduire le courant de drain, ce matériau est particulièrement préférable en raison de sa faible résistivité spécifique (10-15 $\mu\Omega$ cm), faible consommation de Si (consommation de 1,83-nm de Si par un nanomètre de Ni, donnant 2,21-nm NiSi) [213].

Electrode name=body number=5 x.min=0.0221 x.max=0.0271 y.min=0 y.max=0 z.min=0 z.max=0.01 material=tin

Electrode name=body number=6 x.min=0.0221 x.max=0.0271 y.min=0.005 y.max=0.005 z.min=0 z.max=0.01 material=tin

Dans cet exemple la métal de la grille utilisé c'est le : nitrure de titane (Tin)

L'utilisation de la grille métallique permet de supprimer les SCEs car il présente une meilleure compatibilité avec les diélectriques à k élevé que le polysilicium. Dans ce travail, le nitrure de titane (Tin) a été utilisé comme métal de grille pour réduire l'effet de déplétion de la grille, ce qui montre que les dispositifs plus minces (Tin) présentant une meilleure fiabilité HCE [214].

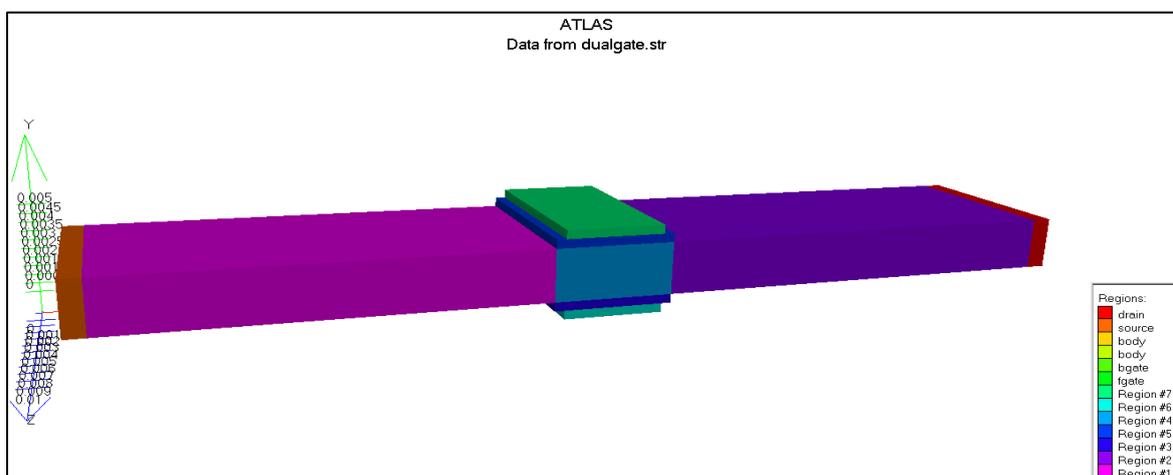


Figure 9: Présentation des régions et des électrodes de la structure simulée dans ce travail.

II.1.4 Le dopage:

Cette commande définit le type et le profil de dopage prédéfinis dans les fichiers dédiés par la commande "**Doping**"[215].

Exemple :

- ♣ Pour la structure à deux dimensions de dispositif à simple grille (SG)-FD-SOI-FinFET simulée dans ce travail:

doping uniform conc=1e19 p.type reg=2

Dans cet exemple, le dopage se fait pour la région 2 avec un dopage de type p et une distribution uniforme de concentration $1e19\text{cm}^{-3}$.

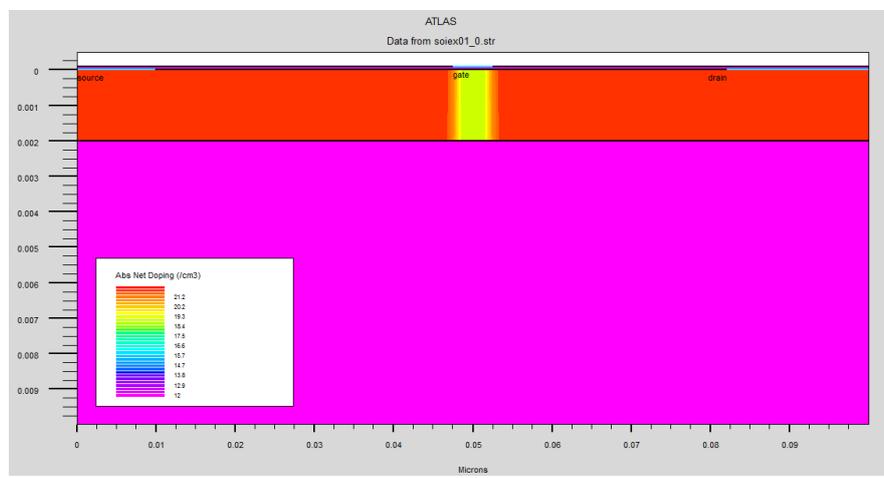


Figure 10 : Présentation des dopages de la structure SG-FD-SOI-FinFET simulée dans ce travail.

- ♣ Pour la structure à trois dimensions DG-FinFET simulé dans ce travail:

Doping uniform conc=6e21 n.type region=1

Dans cet exemple, le dopage se fait pour la région 1 avec un dopage de type n et une distribution uniforme de concentration $6e21\text{cm}^{-3}$.

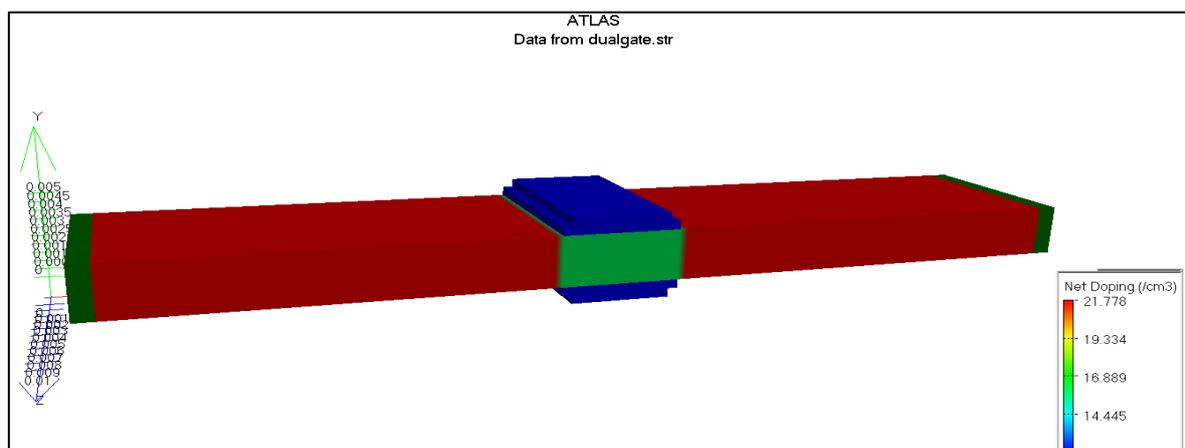


Figure 11: Présentation des dopages de la structure 3D-DG-FinFET simulée dans ce travail.

II.2 Spécification des matériaux et des modèles :

II.2.1 Spécification des matériaux utilisés:

La commande "**Material**" permet d'associer les paramètres physiques aux matériaux utilisés dans les régions ou bien dans les électrodes. Certains paramètres sont utilisés de ces matériaux tels que: la conductivité (isolants, semi-conducteurs, conducteurs), la permittivité relative ϵ_r , la mobilité des porteurs, les durées de vie des porteurs minoritaires, etc ..., dans Atlas, pour les semi-conducteurs standard les paramètres physiques sont définis par défaut.

Exemple :

- ♣ Pour la structure à simple grille 2D-(SG)-FD-SOI-MOSFET) simulée dans ce travail:
material material=my_SiO2 user.group=insulator permittivity=3.9

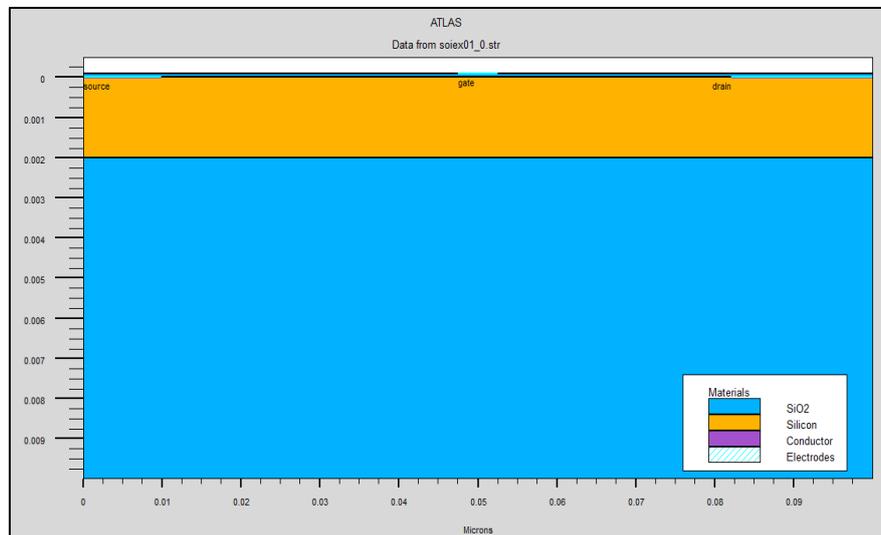


Figure 12 : Présentation des matériaux de la structure 2D-SG-FD-SOI-FinFET simulée dans ce travail.

- ♣ Pour la structure à trois dimensions DG-FinFET simulé dans ce travail:

Region number=4 x.min=0.0216 x.max=0.0276 y.min=0.00085 y.max=0.004
material=3C-SiC
material material=my_TiO2 user.group=insulator permittivity=85 Eg300=3.5

Le premier exemple signifie la définition de matériau 3C-SiC dans la quatrième région, cette région est formée dans l'intervalle de l'axe x de [0.0216 – 0.0276] et de l'axe y de [0.00085 – 0.004].

L'utilisation du matériau en carbure de silicium SiC est très importante dans les applications du dispositif MOSFET qui deviennent des commutateurs plus rapides et qui supportent des températures plus élevées sans perdre les propriétés du dispositif [216]. En outre, il possède

de meilleures propriétés que le Si pour la fabrication du dispositif, Le 3C-SiC est un excellent choix pour une utilisation à haute tension, haute puissance et haute température. Toutes ces propriétés montrent l'importance d'utilisation du SiC en hautes performances pour des dispositifs de micro/nanotechnologies [217], pour cette raison, nous avons inséré ce matériel dans le canal du transistor DG-FinFET de notre travail.

D'autre part, on a décidé de choisir le dioxyde de titane (TiO_2) pour remplacer le SiO_2 comme le matériau isolant pour l'oxydation de la grille car ce matériau c'est un bon candidat pour les générations des futures de mémoires DRAM, et également pour les transistors MOS [131, 192]. En pratique, le TiO_2 a été largement utilisé dans les industries de dispositifs nanotechnologiques, en particulier dans les domaines de technologie innovante [218]. En effet, ce matériau présente des meilleures propriétés physiques telles que le constant diélectrique (K) plus élevée (ϵ_r varié de 80 à 170). Cependant, ce matériau est caractérisé par une faible largeur de la bande interdite dans la température 300k ($E_g=3.5$ eV) [131,132, 219], et un décalage de la bande de conduction égale à 1,1 eV et un décalage de la bande de valence égal à 1,3 eV (ce matériau améliore également la capacité élevée, le courant de fuite de grille faible et fournit un meilleur courant de commande à l'état passant au dispositif, une dissipation de puissance plus faible) [112].

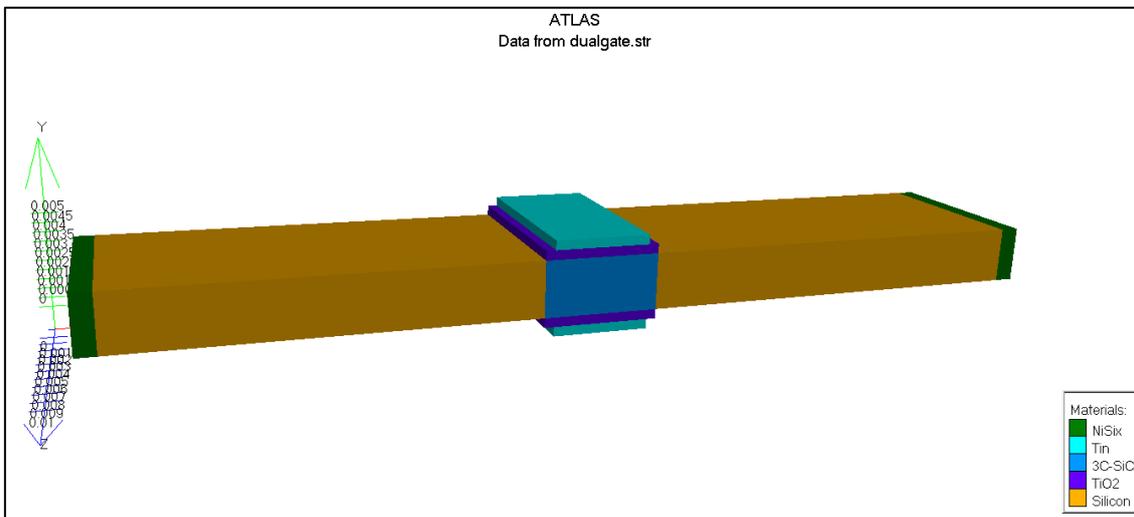


Figure 13 : Présentation des dopages de la structure 3D-DG-FinFET simulée dans ce travail.

II.2.2 Spécification des modèles physiques:

La mobilité des porteurs et les générations de recombinaisons sont pris en compte dans la modélisation physique. En fonction des dimensions et du choix de la technologie des dispositifs, plusieurs modèles ont été développés pour les semi-conducteurs. Ces quantités

doivent être choisies de manière judicieuse pour se rapprocher du comportement physique réel de dispositif [55].

À l'aide de la commande "**Models**" on peut utiliser plusieurs modèles physiques existant dans le logiciel, ces modèles sont divisés en différentes catégories nous citons parmi lesquels:

- Les modèles de mobilité tels que : CVT, FLDMOB, CONMOB....etc
- Les modèles de recombinaison tels que: Shockley Read Hall (SRH), Auger,....
- Les modèles de statistique des porteurs tels que: de Boltzmann, Fermi dirac, Bgn, ioniz, etc ...
- Les modèles d'impact ionisation : Selb....

le choix du modèle dépend du matériau utilisé dans la simulation.

Exemple:

♣ Pour la simulation de la structure 2D-SG-FD-SOI-FinFET:

models conmob srh auger bgn print

Conmob : c'est le modèle de la mobilité dépendant de la concentration.

Srh : c'est le modèle de recombinaison Shockley-Read-Hall.

Auger : c'est un autre modèle de recombinaison, principalement utilisé pour les niveaux d'injection élevés ou fortement dopés.

Print : permet la visualisation de l'état de simulation du modèle dans la fenêtre de sortie de DECKBUILD (sortie d'exécution).

♣ Pour la structure à trois dimensions DG-FinFET simulé dans ce travail:

**models fldmob srh auger print temp
impact selb**

Fldmob : c'est la commande de modèle dépend de champ électrique parallèle et permet la modélisation de la vitesse de saturation.

temp: spécifier la température globale de la structure.

Impact selb : le modèle Selberherr permet d'introduit des effets d'ionisation par impact.

II.2.3 Explication de ces modèles :

➤ Les modèles de la mobilité utilisés dans ce travail:

Plusieurs paramètres dépendent de la mobilité des porteurs tels que : la température, le champ électrique, et le dopage.

a) Le modèle de la mobilité à faible champ en fonction de la température:

Dans Atlas un modèle par défaut est utilisé dans la majorité des matériaux en cas de faible mobilité comme suit:

$$\mu_{n0} = \mu_n \left(\frac{T}{T_0} \right)^{-T\mu_n} \quad (1)$$

$$\mu_{p0} = \mu_p \left(\frac{T}{T_0} \right)^{-T\mu_p} \quad (2)$$

Où $T_0 = 300$ K, T : est la température en degrés Kelvin.

μ_n , μ_p , $T\mu_n$, $T\mu_p$: sont les paramètres proposés par l'utilisateur comme montré dans le tableau suivant :

Paramètres	Valeurs par défaut
μ_n (cm ² /v.s)	1000
μ_p (cm ² /v.s)	500
$T\mu_n$	1.5
$T\mu_p$	1.5

Tableau 1 : Les valeurs des paramètres des équations (1) et (2) [210].

b) Le modèle de la mobilité en fonction du champ électrique parallèle:

Fldmob: c'est la commande de modèle de mobilité dépend du champ électrique parallèle, il est nécessaire pour modéliser tout type de l'effet de saturation de vitesse [53].

Cette mobilité dépend avec la vitesse de saturation des porteurs [221], Dans la région de charge d'espace et sous un champ électrique élevé, la vitesse de dérive des porteurs commencera à saturer linéairement lorsque l'amplitude du champ électrique devient significative, **Caughey** et **Thomas** décrit un phénomène de la vitesse de saturation des porteurs qui met une relation entre la mobilité et le champ électrique élevé. En tenant compte de la vitesse de saturation, le modèle standard de la mobilité des électrons et des trous s'exprime par [221]:

$$\mu_n(\mathbf{E}) = \mu_{n0} \left[1 + \left(\frac{\mu_{n0} E_{\parallel}}{V_{sat,n}} \right)^{\beta_n} \right]^{-1/\beta_n} \quad (3)$$

$$\mu_p(\mathbf{E}) = \mu_{p0} \left[1 + \left(\frac{\mu_{p0} E_{\parallel}}{V_{sat,p}} \right)^{\beta_p} \right]^{-1/\beta_p} \quad (4)$$

Ou : E_{\parallel} : le champ électrique parallèle.

μ_{n0} , μ_{p0} : sont les mobilités à faible champ des électrons et les trous respectivement.

β_n , β_p : sont des facteurs de l'exposant (sans dimension).

Annexe A

La dépendance entre la vitesse de saturation des porteurs et la température du réseau (T_L) est donnée par la relation comme suit [222]:

$$V_{\text{sat}}^n = v_{\text{sat}}^p = \frac{2.4 \times 10^7}{1 + 0.8 \exp(T_L/600)} \quad (\text{cm/s}) \quad (5)$$

c) Le modèle de la mobilité à faible champ électrique en fonction de la concentration:

Dans Atlas, la commande **Conmob** permet de modéliser la dépendance de la mobilité des porteurs (électrons-trous) sur la concentration des impuretés, des mesures expérimentales de la mobilité électronique ont montré leur forte dépendance à la concentration des dopants [223]. Dans le cas de silicium, les valeurs de la mobilité pour une température de 300K sont présentées dans le tableau suivant :

Concentration (cm^{-3})	Mobilités ($\text{cm}^2 / \text{V.S}$)	
	Électrons	Trous
1×10^{14}	1350.0	495.0
6×10^{14}	1320.0	495.0
1×10^{15}	1300.0	491.1
6×10^{15}	1156.0	473.3
1×10^{16}	1076.0	460.9
6×10^{16}	760.0	369.2
1×10^{17}	675.0	331.5
6×10^{17}	321.0	210.3
1×10^{18}	252.0	178.0
6×10^{18}	113.6	74.5
1×10^{19}	90.5	61.0
6×10^{19}	78.8	52.9
1×10^{20}	67.8	52.0
6×10^{20}	23.6	48.9
1×10^{21}	17.8	48.0

Tableau 2: les mobilités des électrons et des trous dans le silicium à la température ($T=300\text{K}$) [224].

Généralement l'expression la plus utilisée reliant la mobilité électronique à la mobilité pour les deux valeurs extrêmes min et max sont donnés par [220]:

$$\mu_{\text{no}}(N_{\text{total}}) = \mu_{\text{nmin}} + \frac{\mu_{\text{nmax}} - \mu_{\text{nmin}}}{1 + \left(\frac{N_{\text{total}}}{N_{\text{refp}}}\right)^{\alpha_n}} \quad (6)$$

$$\mu_{\text{po}}(N_{\text{total}}) = \mu_{\text{pmin}} + \frac{\mu_{\text{pmax}} - \mu_{\text{pmin}}}{1 + \left(\frac{N_{\text{total}}}{N_{\text{refp}}}\right)^{\alpha_p}} \quad (7)$$

Annexe A

Où : $N_{total} = N_d + N_a$: c'est la concentration totale des dopants.

μ_{nmin} et μ_{nmax} , μ_{pmin} et μ_{pmax} : sont les valeurs extrêmes des mobilités des électrons et des trous respectivement dans l'intervalle expérimentale de l'étude.

N_{refn} , N_{refp} : les concentrations de référence des électrons et des trous qui sont présentes au début de la dégradation de la mobilité (la concentration minimale des dopants qui provoque le début de la dégradation de la mobilité).

α_n , α_p : C'est des constantes de dégradation de la mobilité électronique.

Un ajustement des paramètres plus récents de l'expression (6) (7) [225, 226] présenté dans le tableau suivant:

	Electrons (n)	Trous (p)
μ_{max} ($cm^2V^{-1}S^{-1}$)	1360	520
μ_{min} ($cm^2V^{-1}S^{-1}$)	92	65
N_{ref} (cm^{-3})	1.3×10^{17}	2.4×10^{17}
α	0.91	0.61

Tableau 3 : Les mesures des paramètres de la mobilité.

✓ Les modèles de recombinaison-génération utilisés dans ce travail:

Le processus de génération dans les semi-conducteurs c'est la création des paires électrons-trous. Cependant, la recombinaison est l'opposé de la génération. Il correspond au mécanisme qui provoque la perte de paire électron-trou, et l'émission de l'excès d'énergie sous forme de phonons ou de photons, ce processus est traduit par la durée de vie des porteurs minoritaires τ qui peut être mesurée expérimentalement. Cela correspond au temps moyen après la recombinaison des paires électrons-trous générés. Pour le silicium de type p ou de type n, la valeur de ce paramètre peut être déterminée à partir du taux de recombinaison U [227]:

$$\tau_n = \frac{\Delta n}{U} \quad (8)$$

$$\tau_p = \frac{\Delta p}{U} \quad (9)$$

Δn , Δp : sont les densités d'électrons et trous en excès respectivement.

Les modèles de recombinaisons les plus utilisés pour les simulations des dispositifs semi-conducteurs c'est le modèle **Shockley-Read-Hall** et le modèle **Auger**, pour les dispositifs en bulk Si, ces deux modèles sont considérés comme des principaux processus de recombinaison, en raison de sa nature indirecte du gap, et sa recombinaison radiative est négligeable, la recombinaison causée par les excitons et les pièges peu profonds nécessite une basse température [224].

○ Le modèle Shockley-Read-Hall :

Ce modèle a été expliqué à l'origine par Schokley, Read [227] et Hall [225], lorsque le semi-conducteur est subit à des perturbations (comme l'impact des ions), cette excitation produit une génération des paires électrons-trous. Ensuite, le système revient à un état équilibré par le processus de recombinaison, la simulation sous ATLAS prend en compte les recombinaisons SRH sur des niveaux profonds.

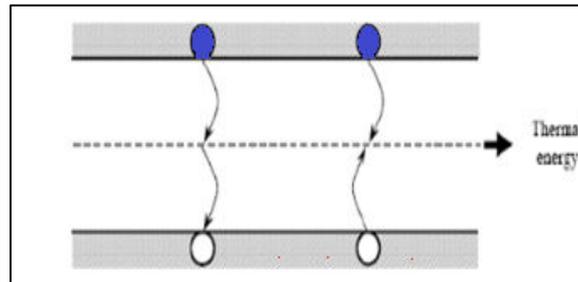


Figure 14 : le processus de recombinaison [228].

La commande **SRH** (Shockley Read Hall) permet d'exécuter le modèle de ce phénomène et d'utiliser la durée de vie des porteurs minoritaires, le modèle Shockley Read Hall est utilisé dans la majorité des simulations des différents dispositifs, l'expression du taux de recombinaison est donnée par [229]:

$$U_{SRH} = \frac{n \cdot p - n_i^2}{\tau_p \cdot \left(n + n_i \exp\left[\frac{E_{trap}}{kT_L}\right]\right) + \tau_n \cdot \left(p + n_i \exp\left[-\frac{E_{trap}}{kT_L}\right]\right)} \quad (10)$$

E_{trap} : est la différence entre le niveau d'énergie du piège et le niveau de Fermi intrinsèque.

T_L : la température du réseau en degrés Kelvin.

τ_n, τ_p : les durées de vie des porteurs (électrons et trous) respectivement. Ces deux paramètres sont modélisés comme un produit d'un comportement dépendant du dopage, du champ, et de facteur de température :

Paramètres	Valeur par défaut
E_{trap}	0 e.V
τ_n	10^{-7}
τ_p	10^{-7}

Tableau 4 : Les paramètres par défaut utilisé pour le modèle SRH dans Atlas-Silvaco [205].

○ Recombinaisons Auger :

La commande **Auger** indique la recombinaison Auger qui est principalement utilisée pour les forts niveaux d'injection ou pour les dopages élevés, ce modèle se produit à travers une

Annexe A

transition de trois particules où l'énergie libérée lors d'une recombinaison d'un électron de la bande de conduction avec un trou de la bande de valence est transférée à un autre électron ou à un autre trou.

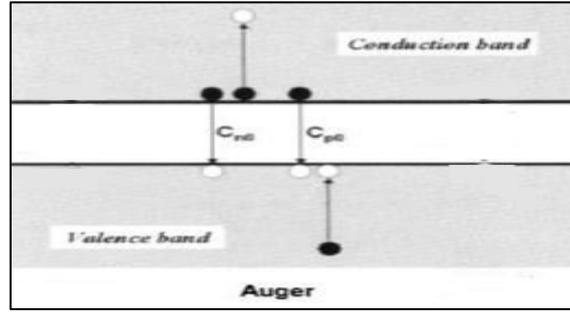


Figure 15 : La recombinaison Auger [228].

Recombinaison Auger est couramment modélisée en utilisant l'expression [230]:

$$R_{\text{Auger}} = (C_{nn} + C_{pp})(p_n - n_{ie}^2) \approx C_n n^2 p + C_p p^2 n \quad (11)$$

C_n et C_p : sont les coefficients Auger pour les électrons et les trous respectivement.

Paramètres	Valeurs par défaut
C_n (cm ⁶ /s)	2.8×10^{-31}
C_p (cm ⁶ /s)	9.9×10^{-32}

Tableau 5: Les paramètres de l'équation (11)

✓ les modèles de statistique des porteurs utilisés dans ce travail :

♣ Le modèle de la densité effective (Bandgap Narrowing):

La commande **BGN** (Band gap Narrowing model) : autorise la diminution de la largeur de bande interdite d'un semi-conducteur lorsque le dopage augmente. Pour les semi-conducteurs fortement dopés, l'expérience prouve que la multiplication de $n.p$ dans le silicium devient dépendant du niveau de dopage. À mesure que le dopage augmente, une réduction de la bande interdite est causée par l'apparition d'autres états dans la bande interdite. Dans Atlas, ce phénomène se présenter par la relation suivante:

$$n_{ie}^2 = n_i^2 \exp\left(\frac{\Delta E_g}{KT}\right) \quad (12)$$

Où ΔE_g : est la réduction de la bande interdite, et son expression est représentée par le modèle suivant Via **Graaf et Slotboom**:

$$\Delta E_g = \text{BGN} \cdot E \left\{ \ln \frac{N}{\text{BGN} \cdot N} + \left[\left(\ln \frac{N}{\text{BGN} \cdot N} \right)^2 + \text{BGN} \cdot C \right]^{\frac{1}{2}} \right\} \quad (13)$$

Les paramètres de cette équation sont montrés dans le tableau suivant [224]:

Paramètres	Valeurs par défaut
BGN.E	$9.10^{-3}V$
BGN.N	$10^{17}cm^{-3}$
BGN.C	0,5

Tableau 6 : Les valeurs par défaut des paramètres de l'équation (13) [205].

✓ Les modèles d'ionisation par impact utilisé dans ce travail :

Ce phénomène se produit pour un champ électrique supérieur à 100 kV.cm⁻¹, par exemple dans la zone de charge d'espace (ZCE) d'une jonction en inverse. Une augmentation de l'énergie cinétique des porteurs accélérés par ce champ jusqu'à que celle-ci fonctionne comme une radiation ionisante, c'est-à-dire qu'il peut abandonner une partie de cette énergie pour générer des paires électrons-trous. Les porteurs résultant à également subissent à l'accélération du champ électrique et peuvent générer d'autres paires, ce qui donne lieu au phénomène d'avalanche, et au claquage de jonction [229], le processus général d'ionisation par impact est décrit par l'équation :

$$G_{imp} = \frac{1}{q} [\alpha_n |J|_n + \alpha_p |J|_p] \quad (14)$$

Où : G_{imp} : est le taux de génération des paires électrons-trous.

α_n, α_p : sont le coefficient d'ionisation pour des électrons et des trous qui sont représentés le nombre des paires électrons-trous générés par un porteur par unité de distance parcourue.

J_n, J_p : sont les densités de courant des électrons et des trous [205].

Il existe un modèle proposé par Selberherr [230] qui définit l'ionisation par impact, c'est un modèle recommandé pour la plupart des cas. Il inclut les paramètres qui dépendent de la température on introduit l'instruction : **Impact Selb**

II.3 Les contacts :

"**Contact**" c'est une commande sert de spécifier les contacts nommés grille, source ou drain, et indiquent également les propriétés physiques de ces électrodes telles que: le travail de sortie, la résistivité..., cependant, SILVACO-Atlas peuvent être définies une limite de 50 électrodes [215].

Exemple:

♣ Pour la structure 3D-DG-FinFET simulé dans ce travail:

Contact name=gate workfunction=4.45

La grille c'est le contact réalisé dans cet exemple et le travail de sortie de matériau de ce contact (workfunction) est défini.

II.4 Les interfaces:

"**Interface**" c'est l'instruction qui indique les paramètres d'interface aux frontières de semi-conducteur/ isolant, par exemple, la vitesse de recombinaison en surface et la densité de charge à l'interface [231].

Exemple :

- ♣ Pour les deux structures à deux dimensions (2D)-SG-FD-SOI-MOSFET et à trois dimensions (3D)-DG-FinFET simulé dans ce travail:

Interface qf=3e10 y.max=0.001

La valeur qf spécifie la densité de charge d'oxyde fixe (en cm^{-2}), et les valeurs max ou bien min déterminent les limites.

II.5 Le choix de la méthode numérique :

Le choix d'une méthode numérique c'est très important pour assurer la convergence des calculs dans la résolution des équations différentielles à plusieurs inconnues (l'équation de poisson et les équations de continuités), l'instruction "**Method**" permet d'activer cette étape. Les trois méthodes les plus utilisées sont : **Newton, Gummel, et Block** [55,74].

Exemple:

- ♣ La méthode utilisée pour la structure à deux dimensions de dispositif SG-FD-SOI-MOSFET simulé dans ce travail:

method newton trap

newton : c'est l'une des méthodes de résolution des équations numériques.

trap : c'est une instruction permet de résoudre les problèmes avec estimation initiale pour assurer la convergence.

- ♣ La méthode utilisée pour la structure 3D-DG-FinFET simulé dans ce travail:

method bicgst maxtrap=6 trap

bicgst : c'est la méthode de résolution des équations numériques à trois dimensions.

maxtrap : est le maximum autorisé de nombre d'essais, dans ce cas 6 (mais la valeur par défaut est 4)

♣ Les différentes méthodes utilisées dans Atlas :

Il existe plusieurs différences entre les simulations à 2D et à 3D, pour les méthodes d'itération non linéaires, les trois méthodes, **Newton**, **Gummel** et **Block**, sont prises en charge dans la simulation 2D, alors que seules Newton et Gummel sont prises en charge pour les simulations à 3D. La mise en œuvre de la méthode Block est attendue dans une prochaine version, la solution des sous-problèmes linéaires est traitée différemment pour les simulations à 2D et à 3D, la résolution du sous problème linéaire augmente avec le temps de calcul. Pour les petits problèmes, les méthodes directes sont plus rapides, et pour les problèmes plus importants, les méthodes itératives sont préférées. Il s'avère que les méthodes itératives deviennent moins lourdes coïncidées grossièrement avec la transition entre 2D et 3D. Pour les simulations à 2D seules les méthodes directes sont prises en charge par défaut dans Atlas [229].

II.5.1 La méthode de Gummel:

Consiste à découpler le système global décrit précédemment en trois sous-systèmes: les trois équations sont résolues itérativement jusqu'à l'obtention de la convergence globale des solutions. L'intérêt potentiel de cette méthode par rapport au précédent réside dans la réduction des dimensions des systèmes matriciels à résoudre, ce qui permet de diminuer le temps de calcul. Cette méthode est préférée à une polarisation faible, à cause de sa rapidité de convergence avec moins d'itérations dans le calcul [55,74].

II.5.2 La méthode de Newton:

C'est la méthode la plus répandue dans le module Atlas, elle est utilisée pour la résolution itérative d'un système regroupant les trois équations différentielles à plusieurs inconnues (l'équation de poisson, les équations de continuités et les équations de transport) qui gouvernent le fonctionnement de la structure étudiée. La méthode la plus utilisée dans presque tous les cas c'est la méthode de **Newton**, par conséquent, cette méthode est recommandée et c'est la méthode par défaut. Dans ce travail, la méthode de Newton doit être définie pour la simulation de dispositif SG-FD-SOI-MOSFET [232].

II.5.3 La méthode Block :

Il est possible de commencer par la méthode de GUMMEL et puis ressortir à la méthode de NEWTON si la convergence n'est pas réalisée dans un certain nombre d'itérations. L'avantage de cette méthode est que l'itération de GUMMEL peut raffiner les prédictions à un point de sorte que l'itération de Newton peut converger [186].

II.5.4 La méthode Bicgst (biconjugate gradient squared stabilised), et GMRES: (generalized minimum residual):

Ce sont des méthodes pour les simulations à trois dimensions (3D), la méthode par défaut est un résolveur itératif, deux solutions itératives sont disponibles pour les simulations à 3D telles que : les méthodes directes (Newton et Gummel) qui peuvent être utilisées pour les simulations à 3D en introduit le mot : **Direct** dans l'instruction **Method**. L'expérience pratique montre que pour les simulations 3D, les méthodes itératives aient plus rapide que la méthode directe, mais dans certains cas, la précision produite par les méthodes itératives peut empêcher la convergence dans la boucle externe non linéaire [229].

II.6 Extraction et visualisation des résultats:

La description finale des résultats obtenus peut présenter par les commandes: "**Log**", "**Solve**", "**Load**", et "**Save**", lorsque les solutions obtenues, les données seront affichées graphiquement:

- ❖ **Log**: permet la sauvegarde des caractéristiques secondaires et les données dans un seul fichier [43]:

Exemple:

- ♣ Pour les structures à deux dimensions SG-FD-SOI-MOSFET et à trois dimensions DG-FinFET simulées dans ce travail en utilise l'instruction log comme suit:

```
log outf=soiex01_1.log master
```

```
Log outf=dualgate_1.log
```

Ces deux exemples présentent la sauvegarde des données dans un fichier nommé: « soiex01_1.log » pour le dispositif SG-FD-SOI-MOSFET, et la sauvegarde des données dans un fichier nommé «dualgate_1.log» pour le dispositif DG-FinFET.

- ❖ **Solve**: cette commande permet de trouver les solutions (courant-tension) pour chaque point de polarisation [212].

Exemple:

```
Solve vfgate=0 vstep=0.025 vfinal=0.8 name=gate
```

Dans cet exemple, l'obtention des solutions par l'instruction « Solve » ce fait pour un courant continu (DC) à partir de la valeur initiale de la polarisation de la grille supérieure $V_{fg}=0$ V jusqu'à la valeur finale $V_{final}= 0.8$ V avec un pas de 0,025V

- ❖ **Load:** permet de charger les solutions précédentes proposées en tant qu'initialisation pour les autres points de polarisation.
- ❖ **Save:** permet la sauvegarde de toutes les données trouvées pour un noeud dans un fichier de sortie [233].

II.6.1 Extract :

Les valeurs des paramètres et des résultats des dispositifs seront sauvegardées dans le fichier : fichier.log qui peut être extrait précisément via la commande "**Extract**" [233], en particulier dans les dispositifs nanométriques il permet d'extraire les valeurs de la structure d'une manière plus précise pour éviter les erreurs de la lecture.

Exemple :

```
extract name="vth" (xintercept (maxslope (curve (v."fgate", abs (i."drain"))))\-  
abs (ave (v."drain"))/2.0)
```

Cet exemple permet l'extraction de la tension de seuil (Vth).

II.6.6.2 Tonyplot:

Cette commande permet de visualiser graphiquement les résultats obtenus des simulations [212].

Exemple :

```
tonyplot dualgate_1.log
```

Cet exemple permet la visualisation de la structure réalisée et sauvegardée dans le fichier de sortie dualgate_1.log

Quit : le programme est terminé par cette instruction qui permet de déclarée la fin du programme dans Atlas, et les résultats obtenus seront affichés directement sous Tonyplot.

Références

- [1] E. Sicard, Introducing 7-nm FinFET technology in Microwind, Hal-01558775, pp. 1–22, 2017, [Online]. Available: <http://arxiv.org/abs/1007.1062v1> <https://newsroom.intel.com/newsroom/wp-content/uploads/sites/11/2017/03/Kaizad-Mistry-2017-Manufacturing.pdf>.
- [2] N. Chevillon, Etude et modélisation compacte du transistor FinFET ultime, thèse de doctorat, université de strasbourg, 2012.
- [3] E. Sicard, Introducing 14-nm FinFET technology in Microwind, Proc. 49th Des. Autom. Conf. - DAC '12, vol. 637371, no. 3, pp. 37, 2017, doi: 10.1145/2228360.2228414.
- [4] <https://www.nextinact.com/dossier/corei7-980x-intel-gulftown-32nm/2.htm>, Core i7 980X : 32 nm, 6 coeurs, 3.33 GHz, (accessed Oct. 01, 2020).
- [5] iphone x. <https://www.apple.com/iphone-x/>, Refurbished iPhone - iPhone X - Apple, (accessed Oct. 01, 2020).
- [6] J. P. Duarte, Mathematical Compact Models of Advanced Transistors for Numerical Simulation and Hardware Design, Electrical Engineering and Computer Sciences University of California at Berkeley, 2018.
- [7] R. Talmat, Etude des phénomènes de transport de porteurs et du bruit basse fréquence en fonction de la température dans les transistors MOSFETs nanométriques (FinFETs), thèse de doctorat, Université de CAEN/Basse-Ormandie et université de Tizi-Ouzou (Algérie), 2011.
- [8] A. kumar Mushwaha, On the modeling of Dual-Material Double-Gate Fully-Depleted Silicon-On-Insulator MOSFET, National Institute of Technology Kurukshetra Deemed University India, 2018.
- [9] The International Technology Roadmap for Semiconductors, (ITRS), 2011. <http://www.itrs2.net/>, (accessed Oct. 01, 2020).
- [10] The International Technology Roadmap for Semiconductors, (ITRS), 2012. <http://www.itrs2.net/>, (accessed Oct. 01, 2020).
- [11] R. Bensegueni, Contribution à l'étude du transport électrique à travers des oxydes très minces (< 10nm) dans des structures MOS, thèse de doctorat, Université Frères Mentouri Constantine, 2016.
- [12] S. Monfray et al., First 80nm SON (silicon-on-nothing) MOSFETs with perfect morphology and high electrical performance, Tech. Dig. Int. Electron Devices Meet., pp. 645–648, 2001, doi: 10.1109/iedm.2001.979591.
- [13] C. Pavageau, Utilisation des technologies CMOS SOI 130 nm pour des applications en gamme de fréquences millimétriques, thèse de doctorat, Université des sciences et technologies de Lille, 2005.

- [14] D. Renaud, Etude en radiofréquences de transistors à effet de champ MOS partiellement désertés en technologie avancée Silicium-Sur-Isolant, thèse de doctorat, Institut National des Sciences Appliquées de Lyon (INSA), 2006.
- [15] D. Muller, Optimisation des potentialités d'un transistor LDMOS pour l'intégration d'amplificateur de puissance RF sur silicium, thèse de doctorat, Université de Limoges, 2006.
- [16] M. S. Benlatreche, Caractérisation des dispositifs électroniques dans les technologies MOS avancées, thèse de doctorat, Université M'hamed Bouguerra Boumerdes, 2013, doi: 10.13140/RG.2.1.4956.0085.
- [17] F. Crepy, Méthologie de conception de circuits analogiques pour des applications radiofréquence à faible consommation de puissance, thèse de doctorat, Université de Bordeaux, 2015.
- [18] C. Diouf, Caractérisation électrique des transistors MOS déca-nanométriques d'architecture innovante, thèse de doctorat, Université de Grenoble, 2018.
- [19] M. Bruel, Silicon on insulator material technology, Electron. Lett., vol. 31, no. 14, pp. 1201–1202, 1995, doi: 10.1049/el:19950805.
- [20] I. Bertrand, Réalisation de structures silicium-sur-isolant partielles pour applications aux circuits de puissance, thèse de doctorat, Institut National des Sciences Appliquées de Toulouse, <https://tel.archives-ouvertes.fr/tel-00245808>, 2008.
- [21] L. De Conti, Design of 3D protection against electrostatic discharges (ESD) in advanced silicon on insulator FDSOI thin film multilayer technology, thèse de doctorat, Université Grenoble Alpes, 2019.
- [22] M. Moreau, Modélisation et simulation numérique des nano-transistors multi-grilles à matériaux innovants, thèse de doctorat, Université de Provence (Aix-Marseille I), 2010.
- [23] A. A. Talib, Modelling and Simulation Study of NMOS Si Nanowire Transistors, thèse de doctorat, University of Glasgow, 2018, [Online]. Available: <https://theses.gla.ac.uk/30651/>.
- [24] B. Pelloux-prayer, Optimisation de l'efficacité énergétique des applications numériques en technologie FD-SOI 28-14nm, thèse de doctorat, Université de Grenoble, 2015.
- [25] T. Karatsori, Caractérisation et modélisation de UTBB MOSFET sur SOI pour les technologies CMOS avancées et applications en simulations circuits, thèse de doctorat, cotutelle de l'université Grenoble Alpes et l'Université Aristote de Thessalonique, 2018.
- [26] A. Karel et al., Resistive Bridging Defect Detection in Bulk, FDSOI and FinFET Technologies, Journal of Electronic Testing, Vol.33, no 4, P. 515-527, 2017, DOI 10.1007/s10836-017-5674-9.
- [27] R. Ritzenthaler, Architectures avancées des transistors FinFETs: Réalisation, caractérisation et modélisation, thèse de doctorat, INP, Grenoble, 2006.
- [28] Y. Guerfi, Réalisation et caractérisation de transistors MOS à base de nanofils verticaux en silicium, thèse de doctorat, Université de Toulouse et Université Toulouse

III-Paul Sabatier, 2015.

- [29] A. Delphine, Modulation du travail de sortie de grilles métallique totalement Siliciures pour des dispositifs CMOS Déca-Nanométriques, thèse de doctorat, Institut National Des Sciences Appliquées de Lyon, France, 2007.
- [30] B. Razavi, Fundamentals of Microelectronics, Wiley, 2006.
- [31] A. Lakhlef, Caractérisation de Dispositifs MOSFETs Fortement Submicronique par les techniques Courants Tensions I(V), thèse de Doctorat, Université Mouloud Mammeri, Tizi-Ouzou, 2015.
- [32] N. Boukortt, Study and Simulation of a Nanoscale Structure of a Multi-gate MOS Transistor, thèse de doctorat, Université abd el hamid ibn badis de Mostaganem, 2016.
- [33] B. Razavi, Design of Analog CMOS Integrated Circuits, Mc Graw Hill, New york, 2001.
- [34] I. Ben Akkez, Études théorique et expérimentale des performances des dispositifs FD SOI sub 32 nm, thèse du doctorat, Université de Grenoble, 2012.
- [35] J. Innocenti, Conception et procédés de fabrication avancés pour l' électronique ultra-basse consommation en technologie CMOS 80 nm avec mémoire non volatile embarquée, thèse de doctorat, Université Nice Sophia-Antipolis, 2016.
- [36] F. Rochette, Etude et caractérisation de l'influence des contraintes mécaniques sur les propriétés du transport électronique dans les architectures MOS avancées, thèse de doctorat, Institut national polytechnique de Grenoble, 2008.
- [37] R. Berthelon, Strain integration and performance optimisation in sub-20 nm FD SOI CMOS technology, thèse de doctorat, Université de toulouse, 2018.
- [38] L. Guilhem, Elaboration et caractérisation de transistors MOS Schottky en régime nanométrique, thèse de doctorat, Université de Lille, pp. 1-240, 2004.
- [39] M. Bescond, Modélisation et simulation du transport quantique dans les transistors MOS nanométrique, thèse de doctorat, Université de provence-AIX-Marseille I, 2004.
- [40] T Di Gilio, Etude de la fiabilité porteurs chauds et des performances des technologies CMOS 0.13 μm - 2nm, thèse de doctorat, université de prevence, 2007.
- [41] K. Romanjek, Caractérisation et modélisation des transistors CMOS des technologies 50nm et en Decà, thèse de doctorat, L'INPG France, 2004.
- [42] B. Diagne, Etude et modélisation compacte d'un transistor MOS SOI double-grille dédié à la conception, thèse de doctorat, Institut Louis Pasteur Strasbourg, France, 2007.
- [43] D. Chanemougame, Conception et fabrication de nouvelles architectures CMOS et étude du transport dans les canaux de conduction ultra minces obtenus avec la technologie SON, thèse de doctorat, Th: Phys.: Institut national des sciences appliquées de Lyon, 2005.
- [44] A. Valentian, Etude de la technologie SOI partiellement désertée à très basse tension pour minimiser l'énergie dissipée et application à des opérateurs de calcul, thèse de

doctorat, l'École Nationale Supérieure des Télécommunications de Paris, 2005.

- [45] R. Das, R. Goswami and Baishya, Tri-gate heterojunction SOI Ge-FinFETs, Superlattices Microstruc., vol.91, pp.51-61. 2016, doi: 10.1016/j.spmi.2015.12.039.
- [46] Ivana, InGaAs N-MOSFETS with CMOS Compatible Source/Drain Technology and the Integration on Si Platform, thèse de doctorat, University Singapore, vol. 1, 2013.
- [47] M. Ridaoui, Fabrication et caractérisation de MOSFET III-V à faible bande interdite et canal ultra mince, thèse de doctorat, Université des Sciences et technologies de Lille 1, 2017.
- [48] C. Douillard et A. Thépaut, Logique combinatoire et circuits MOS ELP304/203: Electronique Numérique, 2009.
- [39] K. Tachi, Etude physique et technologique d'architectures de transistors MOS à nanofils, thèse de doctorat, Université Grenoble, <https://tel.archives-ouvertes.fr/tel-00721968>, 2012.
- [50] D. Source: Data source: <http://www.intel.com/technology/timeline.pdf> , (accessed Oct. 01, 2020).
- [51] G. E. Moore, "No Exponential is Forever: But ' Forever ' Can Be Delayed !, [semiconductor industry], In : 2003 IEEE International Solid-State Circuits Conference, Digest of Technical Papers, ISSCC. IEEE, vol.1, p. 20-23, 2003.
- [52] "International Technology Roadmap for Semiconductors (ITRS), <http://www.itrs.net/reports.html>, (accessed Oct. 01, 2020).
- [53] F. Z. Rahou, Etude, Conception et simulation des performances des MOSFET à grilles multiples sur SOI MUGFET SOI, thèse de doctorat, Université Abou-Bakr Belkaid, Tlemcem, 2015.
- [54] J. Penaud, Contributions à la conception et à la réalisation des transistors MOS à grilles multiples, Université de Lille 1, 2006.
- [55] M.Khaoui, Etude et conception d'un transistor nanométrique à grille enrobant GAA MOSFETs, thèse du doctorat, Université Aboubakr Belkaïd, Tlemcen, 2018.
- [56] J. Lacord, Développement de modèles pour l'évaluation des performances circuit des technologies CMOS avancées sub- 20nm, thèse de doctorat, Université de Grenoble, 2012.
- [57] M. Trabelsi, Caractérisation des transistors à nanocristaux de silicium et des transistors SON par les techniques de bruit basse fréquence et de bruit télégraphique, thèse de doctorat, institut national des sciences appliquées (INSA) de Lyon, 2009.
- [58] F. Djeflal, Modélisation et simulation prédictive du transistor MOSFET fortement submicronique. Application à la conception des dispositifs intégrés, thèse de doctorat, vol.19, Université de Batna, 2006.
- [59] K. Roy, S. Mukhopadhyay et H. Mahmoodi-Meimand, Leakage current mechanisms and leakage reduction techniques in deep-sub micrometer CMOS circuits, Proceedings

of the IEEE, vol. 91, no. 2, pp. 305-327, 2003

- [60] S. Chang, Caractérisation , mécanismes et applications mémoire des transistors avancés sur SOI, thèse de doctorat, Université de Grenoble, 2013.
- [61] R. Bensegueni, S. Latreche, Tunnelling current through ultra-thin Silicon Dioxide in Submicronic MOS, Information & Communication Technologies: From Theory To Applications - ICTTA'06", 24-26 April, 2006, Damascus, Syria, IEEE, Library of congress, Oct. 2006, pp. 1974-1979, doi: 10.1109/ictta.2006.1684693.
- [62] T. Skotnicki, G. Merckel, et T. Pedron, The voltage-doping transformation a new approach to the modelling of MOSFET short-channel effects, IEEE Electron Device Letters, vol.9, no.3, pp.109-112, 1988.
- [63] A. Litty, Conception, fabrication, caractérisation et modélisation de transistors MOSFET haute tension en technologie avancée SOI (Silicon-On- Insulator), thèse de doctorat, INP, Université de Grenoble Alpes, 2016.
- [64] B. Smani, Etablissement de modèles compacts de transistors MOS multi grilles nanométriques en vue de leur application pour la conception de circuits, thèse de doctorat, Université Frères Mentouri-Constantine, 2015.
- [65] A. Laurent, Etude des mécanismes de fiabilité sur transistors Trigate/Nanowire, thèse de doctorat, Université de Grenoble Alpes, 2018.
- [66] W. Maes, K. De Meyer, et R. Van Overstraeten, Impact ionization in silicon: A review and update, Solid State Electron., vol. 33, no. 6, pp. 705–718, 1990, doi: 10.1016/0038-1101(90)90183-F.
- [67] H. Achour, Etude en courant continu et en bruit basse fréquence, en fonction de la température (10 K – 300 K), de transistors FinFETs, thèse de doctorat, Université Mouloud Mammeri de Tizi-ouzou, 2014.
- [68] L. J. McDaid, S. Hall, P. H. Mellor, W. Eccleston, and J. C. Alderman, Physical origin of negative differential resistance in soi transistors, Electron. Lett., vol. 25, no 13, pp. 827-828, 1989.
- [69] D. Sharma, J. Gautier et G. Merckel, Negative Dynamic Resistance in Mos Devices, IEEE Journal of Solid-State Circuits, vol. 13, no 3, pp. 378-380, 1978.
- [70] S. Hall, D., Donaghy, O., Buiu, et al., Recent developments in deca-nanometer vertical MOSFETs, Microelectronic Engineering, vol. 72, no 1-4, pp. 230-235, 2004.
- [71] F. Gamiz, J.B. Roldan, P. Cartujo-Cassinello et al., Role of surface-roughness scattering in double gate silicon-on insulator inversion layers, Journal of Applied Physics, vol. 89, no 3, pp. 1764-1770, 2001.
- [72] S.-M Jérôme, Etude par simulation Monte-Carlo d'architectures de MOSFET ultracourts a grille multiple sur SOI, thèse de doctorat, Université de Paris-Sud, 2006.
- [73] H. Byron, Evolutionary MOSFET Structure and Channel Design for Nanoscale CMOS Technology, thèse de doctorat, University of California, Berkeley, 2012.
- [74] Y. Chang, Etude de caractérisation de matériaux diélectriques de grille a forte

- permittivité pour les technologies CMOS ultimes, thèse de doctorat, Institut National des Sciences Appliquées (INSA) de Lyon, 2003.
- [75] S. Baudot, MOSFETs contraints sur SOI: analyse des déformations par diffraction des rayons X et étude des propriétés électriques, thèse de doctorat, Université Joseph-Fourier - Grenoble I, 2011.
- [76] J. Ajayan, D. Nirmal, P. Prajoon et J. Charles Pravin, Analysis of nanometer-scale InGaAs/InAs/InGaAs composite channel MOSFETs using high-K dielectrics for high speed applications, *AEÜ-Int. J. Electron. Commun.*, vol. 79, pp.151–157, 2017, doi: 10.1016/j.aeue.2017.06.004.
- [77] J. Zhang, Multiple-Independent-Gate Field-Effect Transistors for High Computational Density and Low Power Consumption, thèse de doctorat, École Polytechnique Fédérale de Lausanne (EPFL), suisse, 2016.
- [78] D. Minh Nguyen, Conception et caractérisation de diodes en SiC pour la détermination des coefficients d'ionisation, thèse de doctorat, Institut National des Sciences Appliquées de Lyon, 2011
- [79] M. Gassoumi, Etude des défauts électriquement actifs dans les composants hyperfréquences de puissance dans les filières SiC et GaN, Thèse de doctorat, Institut National des Sciences Appliquées (INSA) de Lyon et Université de Monastir, 2006.
- [80] M. Lazar, Technologie pour l'intégration de composants semiconducteurs à large bande interdite, thèse d'habilitation, l'Institut National des Sciences Appliquées de Lyon, Université Claude Bernard Lyon, 2018.
- [81] T. Ernst, J.-M. Hartmann, V. Loup, et al., Fabrication of a novel strained SiGe: C-channel planar 55 nm n MOSFET for high-performance CMOS, In: 2002 Symposium VLSI Technology Digest of Technical Papers, pp. 92-93, 2002, doi: 10.1109/vlsit.2002.1015402.
- [82] K. Suzuki, T. Tanaka, Y. Tosaka, et al., Scaling theory for double-gate SOI MOSFETs, *IEEE Trans. Electron Devices*, vol. 40, no 12, pp. 2326-2329, 1993, doi: 10.1109/16.249482.
- [83] J. S. Martine, Modélisation du transport Quasi-Balistique pour la simulation de circuits à base de Nano-Transistors multigrilles, thèse de doctorat, Université de Provence-Aix-Marseille I, 2009.
- [84] P. R. Pathak, Nano-Scaled Fet Device For Cmos Technology, thèse de doctorat, North Carolina Agricultural and Technical State University, 2010.
- [85] F. Z. Rahou, A. G. Bouazza et B. Bouazza, 3D-Numerical Simulation of nanoscale Pi GATE SOI N- MOSFET transistor with High-k dielectric and gradual doping of the channel, Faculty of Technology, University of Abou-Bekr Belkaid, Tlemcen, Algeria, *European Scientific Journal*, vol.10, no.24, pp. 286-295, 2014.
- [86] H. H. Radamson, X. He, Q. Zhang, et al., Miniaturization of CMOS, *Micromachines*, vol. 10, no 5, pp. 293, doi: 10.3390/mi10050293, 2019.
- [87] A. Wagadre, S. Mane, Design & Performance Analysis of DG-MOSFET for Reduction

- of Short Channel Effect over Bulk MOSFET at 20nm, *Int. J. Eng. Res. Appl. (ijera)*, vol. 4, no. 7, pp. 30–34, www.ijera.com, 2014.
- [88] A. Shrivastava, N. Tripathi, E. Agarwal, et al., Comparative study of double gate SOI-MOSFET and single gate SOI MOSFET through simulation, *Intern. J. Electr. And Electron. Engineers*, vol. 7, no 6, pp.223-228, [Http://Www.Arresearchpublication.Com](http://Www.Arresearchpublication.Com) IJEEE, 2015.
- [89] S. Bathla et V.-K. Lamba, Comparison of Single-Gate SOI & Multi-Gate SOI MOSFETs, *International Journal of Emerging Technology and Advanced Engineering*, vol. 3, no 3, pp.578-580, <http://www.itrs.net>, 2013.
- [90] A. Lakhanpal, S. B. Rana, et A. K. Rana, Review on Double-gate MOSFETs- Scaling, Operation, Challenges and Opportunities, *Int. J. Adv. Res.*, vol. 4, no 6, pp.367-372, 2016, doi: 10.21474/IJAR01.
- [91] F. Al Mahmud, M. Islam et H. Maruf, Comparative study on single gate MOSFET and double gate MOSFET, *Applied Research Journal*, vol. 3, no 2, pp.80-86, <https://www.researchgate.net/publication/315663158>, 2017.
- [92] A. F. Roslan, F. Salehuddin, A.-S.-M. Zain, et al., 30nm DG-FinFET 3D Construction Impact Towards Short Channel Effects, *Indones. J. Electr. Eng. Comput. Sci.*, vol. 12, no 3, pp. 1358-1365, 2018, doi: 10.11591/ijeecs.v12.i3.
- [93] Y. Taur, An Analytical Solution to a Double-Gate MOSFET with Undoped Body, *Proc. IEEE Electron Device Lett.*, vol. 21, no. 5, pp. 245-247, 2000, doi: 10.1109/55.841310.
- [94] Y. Taur, X. Liang, W. Wang, et al., continuous, analytic drain- current model for DG MOSFETs. *IEEE Electron Device Lett.*, vol. 25, no. 2, pp. 107-109, 2004, doi: 10.1109/LED.2003.822661.
- [95] J. G. Fossum, L. Ge, M. H. Chiang, et al., A process/physics-based Compact Model for Nonclassical CMOS Device and Circuit Design, *Solid-State Electronics*, vol. 48, no. 6, pp. 919-926, 2004.
- [96] M. Reyboz, P. Martin, T. Poiroux, et al., Continuous model for independent double gate MOSFET, *Solid. State Electron.*, vol. 53, no. 5, pp. 504-513, 2009, doi: 10.1016/j.sse.2009.02.005.
- [97] N. Fasarakis, A. Tsormpatzoglou, D.-H Tassis, et al., Analytical unified threshold voltage model of short-channel FinFETs and implementation. *Solid. State Electron.*, vol. 64, no 1, pp. 34-41, 2011.
- [98] N. Fakarasis, A. Tsormpatzoglou, D.-H. Tassis, et al., Compact model of drain current in short-channel triple-gate FinFETs. *IEEE Trans. Electron Devices*, vol. 59, no. 7, pp.1891-1898, 2012, doi: 10.1109/TED.2012.2195318.
- [99] F. Djeflal, A. Ferdi et M. Chahdi, A fuzzy-logic-based approach to accurate modeling of a double gate MOSFET for nanoelectronic circuit design, *J. of Semicon.*, vol. 33, no. 9, pp. 094001, doi:[10.1088/1674-4926/33/9/094001](https://doi.org/10.1088/1674-4926/33/9/094001), 2012.
- [100] N. Boukortt, B. Hadri et S. Patanè, Effects of High-k Dielectric Materials on Electrical Characteristics of DG n-FinFETs, *Int. J. Comput. Appl.*, vol. 139, no. 10, pp. 28-32,

2016, doi: 10.5120/ijca2016909385.

- [101] N. Shashank, S. Basak et R. K. Nahar, Design and Simulation of Nano Scale High-K Based MOSFETs with Poly Silicon and Metal Gate Electrodes, *Int. J. Adv. Technol. (IJoAT)*, vol. 1, no 2, pp. 252-261, <http://ijict.org/> ISSN 0976-4860, 2010.
- [102] S. K Mohapatra, K.-P Pradhan et P.-K Sahu, Some Device Design Considerations to Enhance the Performance of DG-MOSFETs, *Trans. electr. electron. mater*, vol. 14, no. 6, pp. 291-294, 2013, doi: 10.4313/TEEM.2013.14.6.291.
- [103] N. Fakarasis, Unified Threshold Voltage Model of Short channel FinFETs, Aristotle University of Thessaloniki, 2011.
- [104] N.Patchrasardtra et W. Pengchan, The Influence of gate scaling to electrical characteristics on n-MOS FinFET, In : MATEC Web of Conferences. EDP Sciences, vol. 108, 2017, doi: 10.1051/710809002.
- [105] A. Chakkikavil, N. Kuruvilla, A. Khan, et al., Structural Optimization of Wavy FinFET for Leakage Reduction and Performance Enhancement, *Advances in Science, Technol. and Engin. Syst. J., ASTESJ*, vol. 2, no. 3, pp. 913-917, 2017, doi: 10.25046/aj0203114.
- [106] V. Kumar, R. Gupta, R. Preet Pal Singh et al., Performance analysis of double gate n-FinFET using high-k dielectric materials, *Int. J. Innov. Res. Sci. Eng. Technol*, vol. 5, no. 7, pp. 13242-13249, 2016, doi: 10.15680/IJRSET.2016.0507090.
- [107] Y. Swami et S. Rai, Modeling and analysis of sub-surface leakage current in nano-MOSFET under cutoff regime, *Superlattices and Microstruct.*, vol. 102, pp. 259-272, <http://dx.doi.org/10.1016/j.spmi.2016.12.044>, 2017, doi: 10.1016/j.spmi.2016.12.044.
- [108] M. S. Adhikari, et Y. Singh, A Nanoscale Dual-Channel Trench (DCT) MOSFET for Analog/RF Applications, *Superlattices Microstruct.*, vol.88, pp. 567-573, 2015, doi: [10.1016/j.spmi.2015.10.019](http://dx.doi.org/10.1016/j.spmi.2015.10.019).
- [109] D. Ranka, A. K. Rana, R. K Yadav, et al., Performance Analysis of FD-SOI MOSFET with Different Gate Spacer Dielectric, *Int. J. of Comput. Appl.*, vol.18, no. 5, pp. 22-27, 2011, doi: 10.5120/2280-2952.
- [110] A. Kumar et A. Kumar Swain, Comparative analysis of technology advancement from single to multi-gate MOSFET, *Int. J. Res. Eng. Technol. (IJRET)*, vol. 5, no. 1, pp. 152-154, 2016, doi: 10.15623/ijret.2016.0501030.
- [111] V. Narendar et R. A. Mishra, Analytical Modeling and Simulation of Multigate FinFET Devices and the Impact of High-K Dielectrics on Short Channel Effects (SCEs), *Superlattices and Microstruct.*, vol. 85, pp. 357-369, 2015, doi: 10.1016/j.spmi.2015.06.004.
- [112] S. Slimani et D. Bouaza, High dielectric permittivity impact on SOI Double-Gate, *Microelectron. Eng.*, vol. 112, pp. 213-219, 2013, doi: 10.1016/j.mee.2013.04.015,
- [113] R. Kumar et R. Mehra, Impact Analysis of DGMOSFET using High-k Dielectric material, *Int. J. Eng. Trends and Technol. (IJETT)*, vol. 34, no. 4, pp. 179-183, 2016, doi: 10.14445/22315381/ijett-v34p237.

- [114] V. P. Gopi et V. Sureshbabu, Independently driven double gate FinFET scalable to 10nm, 10th Nat. Conf. on Technological Trends (NCTT09), pp. 6-7 <https://scholar.google.co.in/scholar?oi=bibs&cluster=14639427282327168961&btnI=1&hl=en>, 2009.
- [115] A. Mahmood, y. Hashim et H. B. Manap, Nano-Dimensional Properties of Si-FinFET Transistor Based on Ion/Ioff Ratio and Subthreshold Swing, *j. Nanosci. technol.*, vol. 4, no. 1, pp. 431-434, University of Malaysia, 2018.
- [116] S. Prasanna Kumar, P. Sandeep et S. Choudhary, Changes in transconductance (gm) and Ion/Ioff with high-K dielectrics in MX2 monolayer 10 nm channel double gate n-MOSFET, *Superlattices Microstruct.*, vol. 111, pp. 642-648, 2017, doi: [10.1016/j.spmi.2017.07.021](https://doi.org/10.1016/j.spmi.2017.07.021).
- [117] T. Kim et D. H. Kim, Scaling and carrier transport behavior of buried-channel In_{0.7}Ga_{0.3}As MOSFETs with Al₂O₃ insulator, *Solid. State Electron.*, vol. 111, pp. 218-222, 2015, doi: [10.1016/j.sse.2015.05.040](https://doi.org/10.1016/j.sse.2015.05.040).
- [118] B. Sethupathy et P. Aruna Priya, Simulation and Performance of Double Gate FinFET Devices, *Int. J. Adv. Res. Comput. Sci. & Technol. (IJARCST)*, vol. 2, pp. 43-45, www.ijarcst.com, 2014.
- [119] M.-W. Maa, T.-S. Chaob, K.-H. Kaob, et al., Impacts of High-κ Offset Spacer on 65-nm Node SOI Devices, . In : 2006 NSTI Nanotechnology Conference and Trade Show- NSTI Nanotech 2006 Technical Proceedings, vol. 1, pp. 697-700, www.nsti.org , 2006.
- [120] G. James T, S. Joseph et V. Mathew, The Influence of Metal Gate Work Function on Short Channel Effects in Atomic-layer Doped DG MOSFETs, *Journal of Electron Devices*, vol. 8, p. 310-319, 2010.
- [121] G. Saini et A. K Rana, Physical Scaling Limits of FinFET Structure: A Simulation Study, *Int. J. of VLSI design & Commun. Syst. (VLSICS)*, vol. 2, no.1, pp. 26–35, 2011, doi: [10.5121/vlsic.2011.2103](https://doi.org/10.5121/vlsic.2011.2103) 26.
- [122] C. Meinhardt, A. L. Zimpeck et R. A. L. Reis, Predictive evaluation of electrical characteristics of sub-22 nm FinFET technologies under device geometry variations, *Microelectron. Reliab.*, vol. 54, no. 9-10, pp. 2319-2324, 2014. doi: [10.1016/j.microrel.2014.07.023](https://doi.org/10.1016/j.microrel.2014.07.023).
- [123] D. Gopinadh et A. George, Variation in Parameters on Electrical Characteristics of FinFET with High-k Dielectric, *Int. J. Adv. Res. Electr., Electron. and Instrument. Eng. (IJAREEIE)*, vol. 4, pp. 8293-8299, 2015, doi: [10.15662/IJAREEIE.2015.0410079](https://doi.org/10.15662/IJAREEIE.2015.0410079).
- [124] K. Mishra et R. Singh Sawhney, Impact of Varying Fin Width in an n-FinFET at 20nm Gate Length, *Int. J. Comp. Applic.*, vol. 122, no. 6, pp. 8–10, 2015.
- [125] K. Biswas, A. Sarkar et C. Kumar Sarkar, Impact of Fin Width Scaling on RF/Analog Performance of Junctionless Accumulation-Mode Bulk FinFET, *ACM J. on Emerg. Technol. in Comput. Syst. (JETC)*, vol. 12, no. 4, pp. 1-12, 2016, doi: <http://dx.doi.org/10.1145/2903143>.
- [126] S. H. Hua, C.-Lin Yu, C.-Hung Yu, et al., Theoretical Investigation of DIBL Characteristics for Scaled Tri-Gate InGaAs-OI n-MOSFETs Including Sensitivity to

Process Variations, journal of the electron devices society, Vol. 5, no 1, pp. 45-52, http://www.ieee.org/publications_standards/publications/rights/index.html, 2017.

- [127] E. D. Kurniawan, H. Yang, C. C. Lin, and Y. C. Wu, "Effect of fin shape of tapered FinFETs on the device performance in 5-nm node CMOS technology," *Microelectron. Reliab.*, vol. 83, pp. 254–259, 2018, doi: 10.1016/j.microrel.2017.06.037.
- [128] V. Vukicevic, Evolution of FinFETs from 22nm to 7nm, <https://www.researchgate.net/publication/336242413>, 2019, doi: 10.13140/RG.2.2.14696.2176.
- [129] T. W. Kim, Effects of Equivalent-Oxide-Thickness and Fin-Width Scaling on In_{0.53}Ga_{0.47}As Tri-Gate Metal-Oxide-Semiconductor-Field-Effect-Transistors with Al₂O₃/HfO₂ for Low-Power Logic Applications, *Electron.*, vol. 9, no. 1, pp. 29, 2020, doi:10.3390/electronics9010029.
- [130] J. S. Madhukar et G. Vitthal Janardan, Enhancement of Short Channel Effect and Drain Induced Barrier Lowering in Fin-FET, *Int. J. Innov. Technol. and Explor. Eng. (IJITEE)*, vol. 9, 2020, doi: 10.35940/ijitee. G6007.059720.
- [131] D. Nirmal, P. Vijaya kumar, P. P. C Samuel, et al., Subthreshold analysis of nanoscale FinFETs for ultralow power application using high-k materials, *Int. J. Electron.*, vol. 100, no. 6, pp. 803-817, 2013, doi: 10.1080/00207217.2012.720955.
- [132] R. Gupta et R. Vaid, TCAD performance analysis of high-K dielectrics for gate all around InAs nanowire transistor considering scaling of gate dielectric thickness, *Microelectron. Eng. (jmee)*, vol. 160, pp. 22-26, 2016, doi: 10.1016/j.mee.2016.02.057.
- [133] J. C Pravin, D. Nirmal, P. Prajoon, et al., Implementation of nanoscale circuits using dualmetal gate engineered Nanowire MOSFET with high-k dielectrics for low power applications, *Phys. E: Low-dimensional Sys. nanostructures*, vol. 83, pp. 95-100, 2016, doi: 10.1016/j.physe.2016.04.017.
- [134] Y. Nidhi Ratiram et A. Chawla, Performance Comparison of FD-SOI MOSFET with Different Gate Dielectric at 32nm Technology *IJESC*, vol. 6, no. 5, 2016, doi: 10.4010/2016.1462.
- [135] M. Daga et G. Prasad Mishra, Subthreshold Performance Improvement of Underlapped FinFET Using Workfunction Modulated Dual-metal Gate Technique, *Silicon*, pp. 1-8, 2020, doi: 10.1007/s12633-020-00550-x.
- [136] M. R. Hasan, K. Ullah, M. Hossain, et al., M. R. Hasan *et al.*, Metal Gate Work Function Engineering: Sub-Nano Regime Double Gate MOSFETs," 2nd Int. Conf. Electr. Comput. Commun. Eng. ECCE 2019, pp. 1–5, 2019, doi: 10.1109/ECACE.2019.8679134.
- [137] D. K. Jatav et P. Srivastava, Effect of Work Function on Double Gate MOSFET, 5th international conference on electrical computer and communications engineering, 2019.

- [138] V. Raju, K. Sivasankaran, Impact of high k spacer on RF stability performance of double gate junctionless transistor, *Int. J. Numer. Model. Electron. Networks, Devices Fields*, vol. 32, no. 1, pp. 1–13, 2019, doi: 10.1002/jnm.2481.
- [139] N. Ajit Kumar, A. Dinamani Singh, and N. Basanta Singh, Examining the Electrical characteristic for Triple Material Double-Gate Silicon-On-Nothing (SON) MOSFETs with High Dielectric Oxide: A Comparative Study, In : 5th International Conference on Computers and Management Skills (ICCM), pp. 98–101, 2019.
- [140] N. Sachdeva, T. Kumar Sachdeva, et N. Julka, Effect of Variation of gate workfunction on electrical characteristics of lightly doped PMOSFET, *Int. J. Futur. Gener. Commun. Netw. (IJFGCN)*, vol. 12, no. 4, pp.17-26, 2019, doi: 10.33832/ijfgen.2019.12.4.02.
- [141] S. Jabeen, S. Jha, et P. Anuradha, Impact of Variation of Device Parameters on the Electrical Characteristics of Double-Gate Mosfets, *Int. J. Innov. Technol. Explor. Eng.*, vol. 9, no. 3, pp. 3658–3661, 2020, doi: 10.35940/ijitee.c8640.019320.
- [142] X. Wang, Z. Zhang, J. Tang, et al., Dipole-induced modulation of effective work function of metal gate in junctionless FETs, *AIP Adv.*, vol. 10, no. 5, pp. 055203, 2020, doi: 10.1063/1.5143771.
- [143] A. Jiménez, R. C. Ambrosio, J.-Jr. Mireles, et al., Analysis of threshold voltage fluctuations due to short channel and random doping effects, *Superficies y Vacío*, vol. 26, no. 1, pp. 1-3, 2013.
- [144] K. Ullah, S. Riaz, M. Habib, et al., Effect of Channel Doping Concentration on the Impact ionization of n-Channel Fully Depleted SOI MOSFET, *Int. J. of Engineering Works*, vol. 2, pp. 1-5, www.kwpublisher.com, 2015.
- [145] N. Somra et R. Singh Sawhney, 32 nm Gate Length FinFET: Impact of Doping, *Int. J. Comput. Appl.*, vol. 122, no. 6, pp. 11-14, Université Amritsar, 2015, doi: 10.5120/21703-4816.
- [146] N. Boukortt, B. Hadri, S. Patanè, A. Caddemi, et G. Crupi, Investigation on TG n-FinFET Parameters by Varying Channel Doping Concentration and Gate Length, *Silicon*, vol. 9, no. 6, pp. 885–893, 2017, doi: 10.1007/s12633-016-9528-3.
- [147] R. Mahajan et D. K. Gautam, Analytical Study of Effect of Channel Doping on Threshold Voltage of Metal Gate High-k SiGe MOSFET, *Silicon*, vol. 10, no. 1, pp. 85-90, <https://doi.org/10.1007/s12633-017-9631-0>, 2018.
- [148] N. Boukortt, S. Patanè, et G. Crupi, “3D Investigation of 8-nm Tapered n-FinFET Model,” *Silicon*, vol. 12, no. 7, pp. 1585–1591, <https://doi.org/10.1007/s12633-019-00253-y>, 2020.
- [149] A. Goel et N. Rup Prakash, The Effect of Doping on Different FET Structures: MOSFET, TFET and FinFET, *Int. J. Innov. Technol. Explor. Eng. (IJITEE)*, vol.9, no. 6, pp. 972-979, 2020, doi : 10.35940/ijitee.F4051.049620.
- [150] Y. Hashim, Temperature effect on on/off current ratio of FinFET transistor, In: 2017 IEEE Reg. Symp. Micro Nanoelectron. (RSM), IEEE, pp. 231-234, 2017, doi: [10.1109/RSM.2017.8069160](https://doi.org/10.1109/RSM.2017.8069160).

- [151] R. Rani Das, S. Maity, D. Muchahary, et al., Temperature dependent study of Fin-FET drain current through optimization of controlling gate parameters and dielectric material, *Superlattices microstruct.*, vol. 103, pp. 262-269, 2017, doi:10.1016/j.spmi.2017.01.041.
- [152] Y. Atalla, Y. Hashim et A. N. A. Ghafar, Temperature sensitivity based on channel length of FinFET transistor, *J. Nanosci. Technol.*, vol. 4, no. 1, pp. 338-341, <https://doi.org/10.30799/jnst.105.18040111>, 2018.
- [153] W. Pengchan, Effect of Temperature on 16 nm n-FiNFET. In : *Key Eng. Mater. Trans Tech Publications Ltd*, vol. 775, pp. 260-265, 2018, doi: 10.4028/www.scientific.net/KEM.775.260.
- [154] H. T. AlAriqi, W. A. Jabbar, Y. Hashim, et al., Temperature Characteristics of Silicon Nanowire Transistor Depending on Oxide Thickness, *J. nano-electron. phys.*, vol. 11, no 3, pp. 4-7, 2019, doi: 10.21272/jnep.11(3).03027.
- [155] Y. Atalla, Y. Hashim, A. N. Abd Ghafar, et al., A temperature characterization of (Si-FinFET) based on channel oxide thickness, *Telkomnika (Telecommunication Comput. Electron. Control.*, vol. 17, no. 5, pp. 2475–2480, 2019, doi: 10.12928/TELKOMNIKA.v17i5.11798.
- [156] K. P. Pradhan, Priyanka, P. K. Sahu et al. Investigation of asymmetric high-k underlap spacer (AHUS) hybrid FinFET from temperature perspective. *Microsyst. Technol.*, vol. 23, no. 7, pp. 2921-2926, 2019. doi: 10.1007/s00542-016-2966-4.
- [157] M. Tang, Etude et modélisation compacte du transistor FinFET, thèse de doctorat, université de Strasbourg, 2009.
- [158] J. P. Colinge, Multi-gate SOI MOSFETs, vol. 84, no. 9-10, pp. 2071–2076, 2007, doi: 10.1016/j.mee.2007.04.038.
- [159] V. M. Srivastava et G. Singh, *MOSFET Technologies for Double-Pole Four-Throw Radio-Frequency Switch*, Springer International Publishing, pp. 1.22, 2014.
- [160] G. V. Angelov, D.-N. Nikolov et M. H. Hristov, Technology and Modeling of Nonclassical Transistor Devices, *Hindawi J. of Elect. Comput. Eng.*, Vol. 2019, no.18, <https://doi.org/10.1155/2019/4792461>, 2019.
- [161] F. Merad, conception et simulation des caractéristiques électriques d'un transistor MOSFET nanométrique à conduction latérale de type Tri-Gate (FinFET), thèse de magister, Université de Abou bakr belkaid, Tlemcen, 2014.
- [162] R. H. Yan, A. Ourmazd, et K. F. Lee, Scaling the Si MOSFET: From Bulk to SOI to Bulk, *IEEE Trans. Electron Devices*, vol. 39, no. 7, pp. 1704–1710, 1992, doi: 10.1109/16.141237.
- [163] Semiconductor Industry Association (SIA), *National Technology Roadmap for Semiconductors*, 2004. <http://www.itrs2.net/> (accessed Oct. 16, 2020).
- [164] M. A. Riyadi, J. E. Suseno et R. Ismail, The future of non-planar nanoelectronics MOSFET devices : A review, *J. appl. sci.*, vol. 10, no 18, pp. 2136-2146, 2010.
- [165] H. S. Wong, K. K. Chan et Y. Taur, Self-aligned (top and bottom) double-gate

- MOSFET with a 25 nm thick silicon channel, In : Int. Electron Devices Meet. (IEDM), Tech. Dig. IEEE, pp. 427-430, 1997, doi: 10.1109/iedm.1997.650416.
- [166] J. El Husseini, Modélisation et caractérisation de la conduction électrique et du bruit basse fréquence de structures MOS à multi-grilles, thèse de doctorat, Université de Montpellier II , 2011.
- [167] T. Schulz, W. Rösner, L. Risch, et al., Short-channel vertical sidewall MOSFETs, in IEEE Trans. Electron Dev., vol. 48, no. 8, pp. 1783–1788, 2001, doi: 10.1109/16.936708.
- [168] D. Hisamoto, T. Kaga, Y. Kawamoto, et al., A fully depleted lean-channel transistor (DELTA)-A novel vertical ultra thin SOI MOSFET, in: Int. Tech. Dig. Electron Devices Meet., IEEE, pp. 833–836, 1989, doi: 10.1109/iedm.1989.74182.
- [169] M. A. Bounouar, Double-Gate Single Electron Transistors: Modeling, Design & Evaluation of Logic Architectures, Transistors mono-electroniques double-grille: Modélisation, conception and évaluation d'architectures logiques, thèse de doctorat, L'institut National Des Sciences Appliquées (INSA) de Lyon, Université de Sherbrooke (Québec, Canada), <https://tel.archives-ouvertes.fr/tel-00967363>, 2013.
- [170] Y. K. Choi, N. Lindert, P. Xuan, et al., Sub-20 nm CMOS FinFET technologies, Electron Devices Meeting, IEDM Tech. Digest. Int. Lett. (Cat. No. 01CH37224), IEEE, vol. 23, no 1, pp. 19.1.1-19.1.4, 2001.
- [171] Y. K. Choi, T. J. King, et C. Hu, Nanoscale CMOS spacer FinFET for the terabit era, IEEE Electron Dev. Lett., vol. 23, no. 1, pp. 25-27, 2002, doi: 10.1109/55.974801.
- [172] S. International, Atlas User's Manual Device Simulation Software (Silvaco Int., Santa Clara), 2012, [Online]. Available: https://www.academia.edu/37940297/ATLAS_Users_Manual_Device_simulation_software.
- [173] N. Mordi, Simulation, modélisation et caractérisations électriques des transistors HEMT's à base de composés III-V nitrurés, thèse de doctorat, Université Djillali Liabes de Sidi Bel Abbes, 2018.
- [174] A. Chovet et P. Masson, Physique des semi-conducteurs, Ecole Polytechnique-Université de Marseille, 2004.
- [175] O. Bonnaud, Physique des Solides, des Semiconducteurs et Dispositifs, Université de Rennes, vol. 1, pp. 78, 2003.
- [176] Y. Berrichi, Modélisation des caractéristiques électriques d'un transistor bipolaire à hétérojonction InP/InGaAs, 2018.
- [177] S. Derrouiche, Étude, modélisation et simulation des Transistors HEMT à base de l'InAlAs/InGaAs/InAsP, thèse de doctorat, Université Aboubakr Belkaïd, Tlemcen, 2019.
- [178] M. Zareiee et A. Orouji, A. Superior electrical characteristics of novel nanoscale MOSFET with embedded tunnel diode, Superlattices Microstruct., vol. 101, pp. 57-67, 2017, doi: 10.1016/j.spmi.2016.11.022.

- [179] K. Kim, K. K. Das, R.V Joshi et al., Nanoscale CMOS circuit leakage power reduction by double-gate device. In: Proc. int. symp. Low power electron. des., pp. 102-107, 2004, doi: 10.1109/LPE.2004.240810.
- [180] M. Zareiee, A novel high performance nano-scale MOSFET by inserting Si₃N₄ layer in the channel, *Superlattices and Microstructures*, vol. 88, p. 254-261, 2015.
- [181] L. Jing, Développement de cellules élémentaires radiofréquences faible consommation en technologie FDSOI pour des applications liées à l'internet des objets, thèse de doctorat, Université Grenoble Alpes, 2019.
- [182] S. S. Mohantay, S. Mishra, M. Singh, et al. Effect of delta doping on the RF performance of nano-scale dual material MOSFET, *Procedia Comput. Sci.*, vol. 57, pp. 282-287, 2015, doi: 10.1016/j.procs.2015.07.485.
- [183] S. Sharma, R. Shukla et M. R. Tripathy, An Explicit Drain Current Model in Subthreshold Regime for Graded Channel Schottky Barrier Gate All Around MOSFET to Improve Analog/RF Performance, *Pertanika j. sc. technol.*, vol. 26, no. 2, pp. 873-886, 2018.
- [184] V. K. Yadav, et A. K. Rana, Impact of Channel Doping on DGMOSFET Parameters in Nano Regime-TCAD Simulation. *Int. J. Comput. Appl*, vol. 37, no. 11, pp. 36-41, 2012.
- [185] P. k. Sahu, S. K. Mohaparta et K. p. Pradhan, Zero temperature-coefficient bias point over wide range of temperatures for single-and double-gate UTB-SOI n-MOSFETs with trapped charges. *Mater. Sci. in Semicond. Process.*, vol. 31, pp. 175-183, 2015, doi: 10.1016/j.mssp.2014.11.036.
- [186] S. M. Sze, *Semiconductor devices: physics and technology*. John wiley & sons, 2008.
- [187] P. Aminzadeh, M. Aalvi et D. Scharfetter, Temperature dependence of substrate current and hot carrier-induced degradation at low drain bias. In : *IEEE Dig. Tech. Pap. Symp. VLSI tech.*, pp. 178-179, 1998, doi: 10.1109/vlsit.1998.689247.
- [188] D. S Jeon et D. E Burk, MOSFET electron inversion layer mobilities-a physically based semi-empirical model for a wide temperature range, *IEEE Trans. Electron Devices (ITED)*, vol. 36, pp. 1456-1463, 1989, doi: 10.1109/16.30959.
- [189] N. E. I. Boukortt, B. Hadri, A. Caddemi, e al., Temperature Dependence of Electrical Parameters of Silicon-on-Insulator Triple Gate n-Channel Fin Field Effect Transistor, *Trans. Electr. Electron. Mater.*, vol. 17, no. 6, pp. 329-334, 2016, doi: 10.4313/TEEM.2016.17.6.329.
- [190] Y. S. Chauhan, D. D Lue, D. Darsen, et al., *FinFET Modeling for IC Simulation and Design Using the BSIM-CMG Standard*, Academic press, Elsevier, pp. 293, 2015.
- [191] W. Han et Z. M. Wang , *Toward Quantum FinFET* , vol.17, pp. 369, Cham: Springer, International Publishing, 2013.
- [192] A. user Manuel, Silvaco Support - Download User Manuals, <https://dynamic.silvaco.com/dynamicweb/jsp/downloads/DownloadManualsAction.do?req=silen-manuals&nm=atlas> (accessed Nov. 05, 2020).

- [193] V. S. Patnaik, A. Gheedia et M. J. Kumar, 3D Simulation of Nanowire FETs using Quantum Models, The Simulation Standard Silvaco, 2008, [Online]. Available: <http://arxiv.org/abs/1008.3006>.
- [194] M. H. Chiang, C. N. Lin, and G. S. Lin, Threshold voltage sensitivity to doping density in extremely scaled MOSFETs, *Semicond. Sci. Technol.*, vol. 21, no. 2, pp. 190–193, 2006, doi: 10.1088/0268-1242/21/2/017.
- [195] V. P. Trivedi, J. G. Fossum et A. Vandooren., Non-classical CMOS device design, In : IEEE Process. internat. SOI conference, pp. 155–157, 2003, doi: 10.1109/soi.2003.1242935.
- [196] B. Raj, A. K. Saxena et S. Dasgupta, Quantum Mechanical Analytical Drain Current Modeling and Simulation for Double Gate FinFET Device Using Quasi Fermi Potential Approach, In : Proc. Inter. Conf. Soft Comput. for Probl. Solv. (SocProS 2011) December 20-22, 2011, Springer, New Delhi, pp. 365-375, 2012.
- [197] U. Monga, T. A. Fjeldly, et S. K. Vishvakarma, Modeling of quantum mechanical effects in ultra-thin body nanoscale double-gate FinFET, In: IEEE int. workshop Electron. dev. semicond. tech., p. 1-4, 2009, doi: 10.1109/EDST.2009.5166135.
- [198] A. Kumar, Effect of trench depth and gate length shrinking assessment on the analog and linearity performance of TGRC-MOSFET, *Superlattices and Microstructures*, vol.109, P.626-640, 2017.
- [199] B. Nae, A. Lazaro, B. Iniguez, High frequency and noise model of gate-all-around MOSFETs, *Electron Devices*, 2009. CDE 2009. Spanish Conference on, IEEE, pp. 112-115, 2009.
- [200] Kumar, Ajay, Tripathi, M. M., et Chaujar, Rishu. Comprehensive analysis of sub-20 nm black phosphorus based junctionless-recessed channel MOSFET for analog/RF applications. *Superlattices and Microstructures*, vol. 116, p. 171-180, 2018.
- [201] N. Gupta, R. Chaujar, Investigation of temperature variations on analog/RF and linearity performance of stacked gate GEWE-SiNW MOSFET for improved device reliability, *Microelectronics Reliability*, Vol.64, P.235-241, 2016.
- [202] Kaharudin, ke, et al., Effect of channel length variation on analog and RF performance of Junctionless double gate vertical MOSFET, *Journal of Engineering Science and Technology* vol.14, no. 4, P.2410-2430, 2019.
- [203] A. Sarkar, R. Jana, The influence of gate underlap on analog and RF performance of III–V heterostructure double gate MOSFET, *Superlattices and Microstructures*, vol.73, P.256-267, 2014.
- [204] Pandey, C. K., D. Dash, and S. Chaudhury, Improvement in analog/RF performances of SOI TFET using dielectric pocket, *International Journal of Electronics*, Vol.107 no.11, P.1844-1860, 2020.
- [205] ATLAS User's Manual Device Simulation Software, 2007. [Online]. Available: www.silvaco.com.

- [206] R. Negro, Conception et modelisation de pixels de Photodetection Photodiodes PIN en silicium amorphe en vue de leurs utilisations comme detecteurs de particules, thèse de doctorat, école polytechnique, France, 2008.
- [207] Z. Ziani, Etude des Propriétés Physiques et Optiques des Couches Minces et des Nanomatériaux pour les Matériaux IV-IV. Application aux Cellules Solaires de Troisième Génération, thèse de doctorat, Université Abou-Bakr Belkaid Tlemcen, 2013.
- [208] A. Khadir, Conception d'un transistor bipolaire à base de Si/SiGe par SILVACO, thèse de doctorat, Université Mohamed Khider, Biskra, 2019.
- [209] R. Kumar et R. Mehra, Impact Analysis of DGMOSFET using High-k Dielectric material, *Int. J. Eng. Trends and Technol. (IJETT)*, vol. 34, no. 4, pp. 179-183, 2016, doi: 10.14445/22315381/ijett-v34p237.
- [210] J. Luo, D. Wu, Z. Qiu et al., On different process schemes for MOSFETs with a controllable NiSi-based metallic source/drain, *IEEE trans. electron devices*, vol. 58, no 7, pp. 1898-1906, 2011, doi: 10.1109/TED.2011.2145381.
- [211] L. Weichun, Y. Hong, W. Wenwu, et al., Accurate lifetime prediction for channel hot carrier stress on sub-1 nm equivalent oxide thickness HK/MG nMOSFET with thin titanium nitride capping layer, *Microelectron. Reliab.*, vol. 62, pp. 70-73, 2016, doi: 10.1016/j.microrel.2016.03.008.
- [212] G. S. Chung, K. S Kim et F. Yakuphanoglu, Electrical characterization of au/3C-SiC/n- Si/Al Schottky junction, *J. Alloys Compd.*, vol. 507, no. 2, pp. 508-512, 2010, doi: 10.1016/j.jallcom.2010.08.004.
- [213] Z. E. Touati, Contribution à la modélisation non linéaire et l'optimisation des transistors à effet de champ à hétérojonction par des méthodes intelligentes, thèse de doctorat, Université Mohamed Khider , Biskra, 2019.
- [214] S. Zellag, Modélisation et simulation des propriétés électriques d'une structure Métal-Isolant-Semi-conducteur MIS, thèse de doctorat, Université Mohamed Khider, Biskra, 2018.
- [215] M. Belarbi, Étude à deux dimensions et optimisation des paramètres physiques et géométriques de cellules solaires de divers contacts interdigités, thèse de doctorat, Université Abdel Hamid Ibn Badis de Mostaganem, 2016.
- [216] H. Tang, K. Prasad, R. Sanjinès, P. E. Schmid, and F. Lévy, Electrical and optical properties of TiO₂ anatase thin films, *J. Appl. Phys.*, vol. 75, no. 4, pp. 2042–2047, 1994, doi: 10.1063/1.356306.
- [217] D. M. Caughey et R.E. Thomas, Carrier Mobilities in Silicon Empirically Related to Doping and Field, *Proceeding of the IEEE*, vol. 55, no. 12, pp. 2192-2193, 1967.
- [218] W. R. Thurber, R. L. Mattis, et Y. M. Liu, Resistivity-Dopant density Relationship for Phosphorus Doped Silicon, *Journal of the Electrochemical Society: Solid State Sci. & Technol.*, vol. 127, no. 8, pp. 1807-1812, 1980.
- [219] B. Benyelles, Dimensionnement des émetteurs enterrés EWT des cellules solaires

- industrielles à base de silicium multicristallin, thèse de doctorat, université Abou-bakr belkaid, Tlemcen, 2018.
- [220] J. Boldemore Garcia, Indium gallium nitride multijunction solar cell simulation using silvaco atlas, pp. 1-95, Naval Postgraduate school, Montrey, california, 2007.
- [221] G. Baccarani et P. Ostoja, Electron mobility empirically related to the phosphorus concentration in silicon, *Solid. State Electron. (SSEle)*, vol. 18, no. 6, pp. 579-580, 1975. doi: 10.1016/0038-1101(75)90036-2.
- [222] D. Hadji, Modélisation et simulation tridimensionnelle des composants a semiconducteur de taille submicronique, thèse de doctorat, Institut national polytechnique, Grenoble, 1999.
- [223] W. Shockley et W.T Read, Statistics of the recombinations of holes and electrons, *Phys. Rev.*, vol. 87, no. 5, pp. 835-842, 1952, doi: 10.1103/PhysRev.87.835.
- [224] G.A. Armstrong, et C.-K Maiti, *Technology Computer Aided Design for Si, SiGe and GaAs Integrated Circuits*, pp. 373, Institution of Engineering and Technology (IET), London, 2007.
- [225] R. N. Hall. Electron Hole Recombination in Germanium, *Physical Review*, vol. 87, no. 2, pp.387, 1952.
- [226] W. DIB, Modélisation des structures photovoltaïques: Aspects fondamentaux et appliqués. Thèse de doctorat, Université Abou Bakr Belkaid de tlemcen, 2010
- [227] O. Terghini, Simulation numérique des effets de radiation dans les détecteurs de particules à base de silicium de type p, thèse de doctorat, Université Mohamed Khider, Biskra, 2015.
- [228] S.M. SZE , *Physics of Semiconductor Devices*, Editions J. Wiley & Sons, 1981.
- [229] Silvaco Inc., *Atlas User's Manual*, Silvaco Inc., no. 408, p. 89, 2016, [Online]. Available:<https://dynamic.silvaco.com/dynamicweb/jsp/downloads/DownloadManualsAction.do?req=silen-manuals&nm=atlas>.
- [230] J. Dzewior et W. Schmid, Auger Coefficient for Highly Doped and Highly Excited Silicon, *Appl. Phys. Lett.*, vol. 31, no 5, pp. 346-348, 1977.
- [231] V. Pavan, K. Reddy, and S. Kotamraju, *Materials Science in Semiconductor Processing* Improved device characteristics obtained in 4H-SiC MOSFET using high-k dielectric stack with ultrathin SiO₂ -AlN as interfacial layers, *Mater. Sci. Semicond. Process.*, vol. 80, no. February, pp. 24–30, 2018, doi: 10.1016/j.mssp.2018.02.012.
- [232] R. Belroul, *Etude des Nanocomposants a base des materiaux III-V, Caractérisations electriques et modélisations des phénomènes de transport associées*, thèse de doctorat, Université Djillali Liabes de Sidi Bel Abbès, 2019.
- [233] D. Schiavo, *Modeling Radiation Effects on a Triple Junction Solar Cell using Silvaco ATLAS*. Naval post graduate shool Montrey CA, 2012, [Online]. Available: <http://www.dtic.mil/dtic/tr/fulltext/u2/a563655.pdf>.