



**MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA  
RECHERCHE SCIENTIFIQUE**

**Université Abdelhamid Ibn Badis de Mostaganem**

**Faculté Des Sciences Exactes et de l'Informatique**

**Domaine des Sciences de la Matière**

**Département de physique**

**Projet de Fin d'Etudes**

**Pour obtenirle diplôme de Master en Physique**

**Option : Modélisation et Caractérisation des Matériaux**

**Présenté par :**

HEDJAR Hakima

**Sujet :**

**PROPRIETES STRUCTURALES ET ELECTRIQUES DE TRANSISTOR DE  
PUISSANCE DE TYPE LD-MOS**

**Soutenu le : 30/05/2016**

Devant le jury composé de :

Mme H. HENTITE	MCA	Université de Mostaganem	Présidente
Mme Z.MGOUFEL	MCB	Université de Mostaganem	Examinatrice
Mr B. HADRI	PROF	Université de Mostaganem	Co-Encadreur
Mr A.BOURAHLA	MCA	Université de Mostaganem	Encadreur

Année Universitaire: 2015/2016

# Tables de matières

Introduction générale.....	1
----------------------------	---

## CHAPITRE I

### FONCTIONNEMENT D'UN MOSFET

I.	Introduction.....	4
II.	Principe de fonctionnement .....	4
	II.1 Structure d'un MOS.....	4
	II.2 Régime de fonctionnement .....	6
	II.2.1 La tension de seuil.....	7
III.	Calcul du courant de drain $I_d$ .....	8
	III.1 La mobilité.....	10
	III.2 La transconductance du MOSFET.....	11
IV.	La fabrication d'un MOSFET.....	11
	L'oxydation.....	12
	La photolithographie.....	12
	La diffusion.....	13
V.	Comportement du transistor MOS pour des applications de puissance.....	13
	V.1 phénomène d'avalanche .....	14
	V.2 perçage (Punch-through).....	15
	V Les transistors de puissance.....	15
VI.	Les transistors MOS de puissance.....	15
	VI.1 Transistor VDMOS.....	15
	VI.2 Transistor UDMOS.....	16
	VI.3 Transistor LDMOS.....	17
	Conclusion.....	17

## CHAPITRE II

### CARACTERISTIQUE D'UN LDMOS DE PUISSANCE

I.	Introduction.....	20
II.	Principe de fonctionnement d'un LDMOS.....	20
	II.1 Structure du LDMOS .....	20

II.2 Régime de saturation .....	22
II.3 Régime de quasi-saturation.....	23
III. Le régime de fonctionnement statique .....	23
III.1 La tension de seuil.....	23
III.2 La tension de claquage.....	24
III.3 la résistance à l'état passant .....	25
III.4 Le compromis $R_{on} \cdot BV_{ds}$ .....	26
III.5 L'auto-échauffement.....	27
IV. Le régime de fonctionnement dynamique .....	27
V. Procédés de fabrication .....	28
VI. Les différents types du LDMOS.....	30
VI.1 Le LDMOS LOCOS.....	30
VI.2 Le LDMOS Resurf .....	31
VII. Applications d'un transistor LDMOS.....	32
Conclusion.....	33

### **CHAPITRE III**

#### **SIMULATION TCAD-SILVACO**

I. Introduction.....	35
II. Présentation du logiciel TCAD-SILVACO.....	35
II.1 L'environnement ATLAS.....	35
II.2 L'ordre des commandes.....	37
II.3 Equations de bases .....	38
• L'équation de Poisson.....	38
• Les équations de continuité.....	38
• Les équations de courant .....	38
II.4 Les modèles physiques .....	39
a. Modèle de Lombardi.....	39
b. Modèle de SRH.....	40
II.5 Les méthodes numériques.....	42
• Méthode de Newton .....	42
III. L'organigramme de fabrication LDMOS.....	43

IV.	Les procédés technologiques pour la fabrication du LDMOS.....	44
IV .1	Maillage du dispositif.....	44
IV.2	Initial et choix des matériaux.....	45
IV.3	Oxydation de masque .....	46
IV.4	Oxydation de grille .....	46
VI.5	Ajustement de la tension de seuil.....	46
VI.6	Déposition de la grille en poly-silicium.....	47
VI.7	Implantation du caisson N <sup>+</sup> .....	47
VI.8	Oxydation de poly-silicium.....	47
VI.9	Métallisation.....	48
V.	Caractéristiques courant-tension de drain.....	48
	Conclusion .....	49

## CHAPITRE IV

### RESULTAT DE SIMULATION

I.	Introduction.....	51
II.	Effets de variation des dimensions sur la tension de claquage .....	51
II.1	Variation de la longueur de grille .....	51
II.2	Variation de la largeur de dispositif.....	52
II.3	Variation de l'épaisseur de la grille .....	53
III.	Effet du dopage.....	54
III.1	Variation du dopage de substrat.....	54
III.2	Variation du dopage de PBody.....	56
III.3	Variation du dopage de la zone de drain/source (drift).....	58
IV.	Détermination du compromis Ron*BVds .....	60
V.	Bilan.....	65
	<b>Conclusion générale</b> .....	<b>68</b>
	<b>Bibliographie</b> .....	<b>69</b>



### Introduction générale

Aujourd'hui la technologie des semiconducteurs se développe fortement et elle devient un enjeu important dans le domaine de l'automobile, l'électroménager et les télécommunications par exemple. Les progrès technologiques accomplis dans ce domaine depuis la réalisation du premier composant ont permis un développement d'applications toujours plus performantes et diversifiées.

Depuis les années 1930, un nouveau dispositif « le transistor à effet de champ » à base des semi-conducteurs est connu. Mais ce n'est que dans les années 1960 que sa réalisation a été rendue possible. Le TEC transistor à effet de champ ou FET field effect transistor, tire son nom de son principe de fonctionnement selon lequel l'intensité du courant traversant le dispositif est contrôlée par le champ électrique créé par la tension appliquée à l'électrode de commande.

Au milieu des années 70, un nouvel type de transistor à effet de champ est apparu : le MOSFET « Métal –Oxyde –Semiconducteur » qui repose sur une structure MIS « Métal-Isolant-Semiconducteur », où l'isolant ici est un oxyde. Les transistors MOSFET sont plus simples et moins onéreux que leurs rivaux les transistors bipolaires, et ont connu un envol grâce à la technologie CMOS (Complementary MOS) inventée en 1968 qui consomme très peu d'énergie.

Actuellement, le transistor MOSFET est la base de la conception des circuits intégrés et a mené la technologie CMOS au rang incontesté de technologie dominante de l'industrie du semiconducteur.

Au fil des années, la complexité des circuits intégrés a augmenté de façon continue, principalement grâce aux performances accrues de nouvelles générations de transistors MOSFET.

Le LDMOS devient la composante de choix pour les applications de puissance. Ils sont très matures et offrent des composants avec des performances très honorables à des coûts relativement plus faibles.

Cette étude a pour le but d'expliquer et de montrer le fonctionnement d'un LDMOS. Nous avons essayé de faire varier quelques paramètres (la tension de

## INTRODUCTION GENERALE

---

claquage, la résistance à l'état passant et sa caractéristique  $I(V)$ ) pour comprendre le comportement de ce type de transistor à l'aide du logiciel de simulation TCAD.

Dans cette étude, nous avons étudié l'effet de la variation de plusieurs paramètres sur le comportement de la tension de claquage.

TCDA-SILVACO est le logiciel de simulation utilisé dans cette étude. SILVACO comporte deux modules de simulation, ATHENA et ATLAS.

Ce mémoire comporte quatre chapitres :

- Le premier chapitre est consacré à une étude bibliographique des transistors classiques à effet de champ, à leur principe de fonctionnement et leurs caractéristiques électriques.
- Dans le deuxième chapitre, nous avons passé en revue quelques propriétés physiques du LDMOS.
- Le troisième chapitre est consacré à la présentation du logiciel de simulation « SILVACO », ses commandes et ses modèles physique et méthodes numériques.
- Dans le quatrième chapitre, nous avons étudié la variation de différents paramètres (dopage, dimensions,...) sur la tension de claquage.

# **CHAPITRE I**

***FONCTIONNEMENT D'UN MOSFET***



## I. Introduction

La majorité des circuits intégrés CMOS (complementary- Metal- Oxide Semiconductor) logiques ou analytiques sont fabriqués en utilisant des transistors de type MOS (métal-oxyde-semi-conducteur). Le principe des transistors MOS à effet de champ a été proposé au début des années 1930 par Julius Edgar Lilienfeld et Oskar Heil, ensuite a été étudié par William Bradford Shockley et Roger Pearson au cours de la fin des années 1940 aux Bell labs. En 1960, Joseph R.Ligenza et W.G. Spitzer ont réalisé le premier dispositif de qualité qui a utilisé le système Si/SiO<sub>2</sub> par oxydation thermique. Cette structure qui est basée sur ce système a été proposée et déclarée par Martin M.Atalla par D.Kahng en 1960.

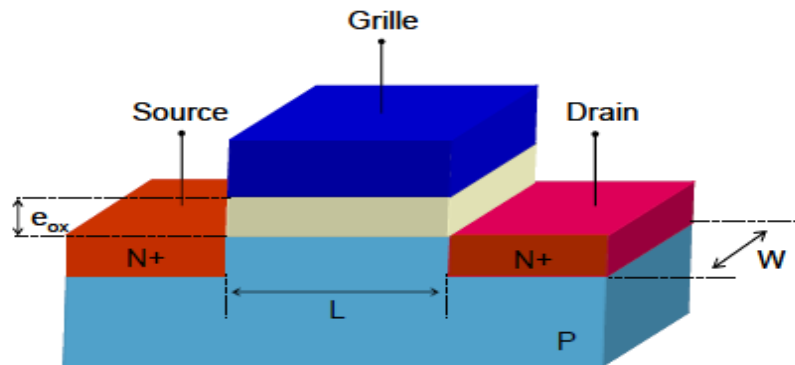
Le transistor MOSFET est utilisé dans de multiples applications.il est utilisé comme un amplificateur de puissance, courant ou tension dans les applications analogiques ou comme un bit pour stocker et lire les informations sous forme de zéros et uns.

## II. Principe de fonctionnement du transistor MOS

D'une manière idéale, le principe de fonctionnement du transistor MOS est basé sur la modulation du transport d'une densité de charges dans une couche semi-conductrice (le canal de conduction) par le biais d'un champ électrique qui est appliqué perpendiculairement à la direction du mouvement de ces charges. La création des porteurs des charges (électrons pour un transistor nMOSFET, trous pour un transistor pMOSFET) par effet de champ est régie par la polarisation ( $V_g$ ) d'une électrode de commande appelée « grille » à travers une couche isolante (le diélectrique de la grille). Le canal est relié par deux régions appelées « drain » et « source » entre lesquelles on applique une tension donnant lieu à la circulation d'un courant.

### II.1 Structure d'un MOS

La réalisation d'un transistor MOSFET est basée sur une structure MIS (Métal-Isolant –Semi-conducteur), où l'isolant ici est un oxyde. La structure de base du transistor Métal Oxyde Semi-conducteur à effet de champ (MOSFET) est représentée par la Figure 01:



**Figure 1** : Schéma d'un MOSFET de type N [12].

Généralement, la structure d'un MOSFET est réalisée à partir d'un substrat semi-conducteur de type P, dans lequel deux régions implantées N+ définissent les électrodes de source et de drain. L'électrode de grille est obtenue à partir d'un oxyde ( $\text{SiO}_2$ ) recouvert par une couche de poly-silicium fortement dopée et métallisée. Les principaux paramètres géométriques du composant sont :  $L$  (la longueur de la grille, distance entre le drain et la source),  $W$  (la largeur transversale de la structure) et  $e_{ox}$  (l'épaisseur de l'oxyde) [12].

Le transport des porteurs dans le canal se fait sous l'impulsion d'une différence de potentiel ( $V_D$ ) entre les deux réservoirs des charges (la source et le drain) établissant un courant de drain ( $I_D$ ) [18].

Le transistor assure donc la transition d'un état bloqué ( $V_g=0V$ ) pour lequel le courant de drain équivaut au courant de fuite  $I_{OFF}$ , à un état passant pour lequel la polarisation de la grille  $V_G$  est égale à celle du drain ( $V_g=V_D=V_{DD}$ ); ( $V_{DD}$  est la tension nominale), permettant le passage du courant de drain  $I_{ON}$ . Le passage du premier état au second est effectif lorsqu'un nombre suffisant de porteurs est présenté dans le canal, c'est à dire quand une tension de grille  $V_g$  supérieure à la tension dite de seuil ( $V_T$ ) est appliquée [18].

$$\log(I_{OFF}) = \log(I_{Th}) - \frac{V_{Th}}{S} \quad (01)$$

Avec  $I_{Th}$ : le courant de drain à  $V_{GS} = V_T$

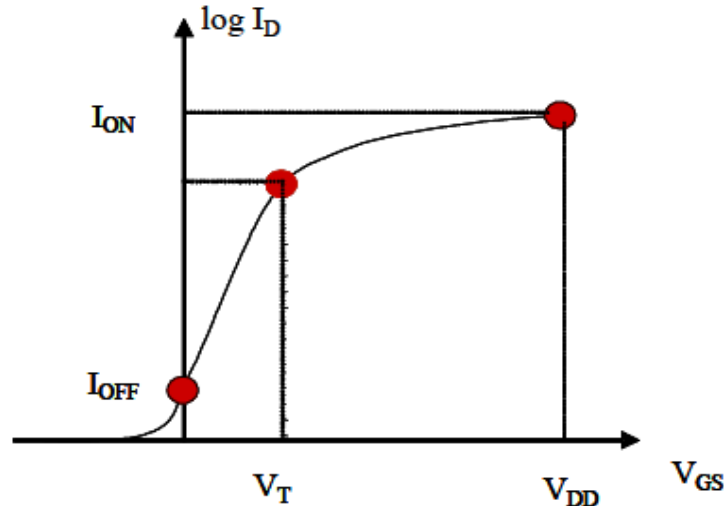


Figure 2 : caractéristique de sortie d'un transistor de type nMOSFET [18].

## II.2 Régime de fonctionnement du transistor MOS

Il existe trois régimes de fonctionnement électrique d'un transistor MOSFET selon la polarisation de la grille. Le régime sous le seuil (d'accumulation), régime de faible inversion et le régime de forte inversion.

Les différents régimes de fonctionnement du transistor nMOS sont ensuite définis selon les valeurs de  $V_G$  (tension de grille) et  $V_{FB}$  :

### ❖ $V_G < V_{FB}$ régime d'accumulation

Les porteurs majoritaires du substrat sont attirés à l'interface oxyde/ semi-conducteur, la capacité est en accumulation. Le transistor est à l'état bloqué.

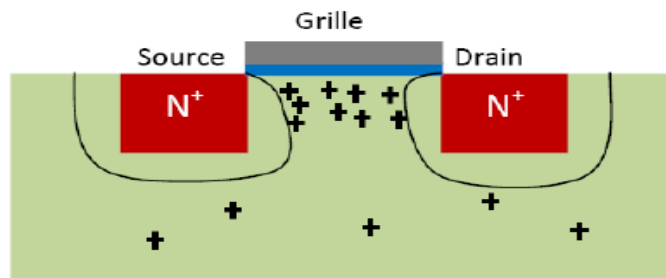


Figure3 : régime d'accumulation [22].

### ❖ $V_G > V_{FB}$ régime de déplétion ou de désertion

Les porteurs majoritaires sont repoussés de la surface du semi-conducteur et une zone désertée en porteurs se crée. Le transistor ne conduit pas.

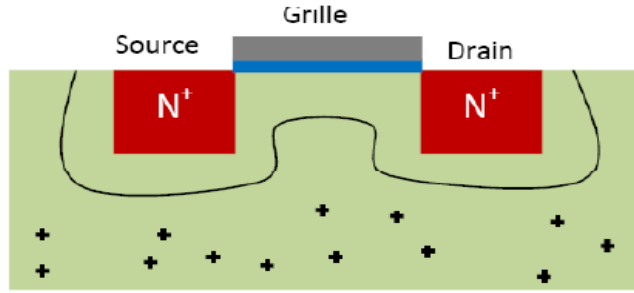


Figure 4: régime de déplétion [22].

❖  $V_G > V_T$  régime d'inversion faible

Les concentrations de porteurs majoritaires et minoritaires en surface sont égales à  $n_i$ ,  $n_i$  est la concentration intrinsèque des porteurs.

❖  $V_G \gg V_T$  régime d'inversion forte

La concentration des porteurs minoritaires en surface devient supérieure à la concentration des majoritaires dans le volume. De nombreux porteurs libres sont présents dans le canal. Le transistor conduit.

On peut représenter d'une manière très simple sur la figure suivante, les quatre régimes de fonctionnement d'un MOS en fonction de la polarisation de la grille  $V_G$ .

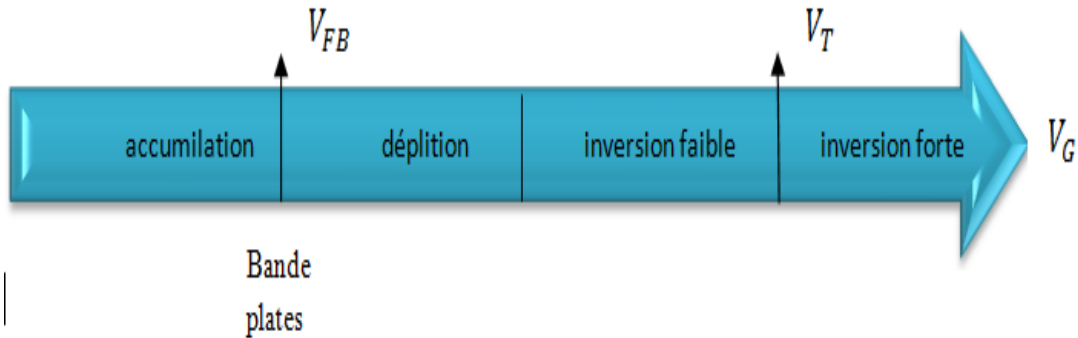


Figure 5: représentation des différents régimes de fonctionnement d'un MOS en fonction de  $V_G$ .

**II.2.1 La tension de seuil**

La tension de seuil  $V_T$  (threshold voltage) d'une capacité MOS est définie comme la tension de grille  $V_G$  minimale appliquée pour qu'un courant  $I_d$  apparaisse entre le drain et la source. C'est elle qui définit le régime de fonctionnement du transistor

$$V_T = V_{FB} - \frac{Q_{DEP}}{C_{OX}} + 2\Phi_f \quad (02)$$

$Q_{DEP}$  Étant la charge de déplétion dans le substrat, et  $C_{OX}$  la capacité correspondant à l'épaisseur physique de l'oxyde de grille  $SiO_2$ . La zone de déplétion augmente jusqu'au régime de forte inversion où un accroissement de la tension de la grille induit alors une augmentation des porteurs minoritaires plutôt qu'une plus forte déplétion. La profondeur de la zone de déplétion atteint donc une valeur maximale  $T_{DEP}$  qui égale à :

$$T_{DEP} = 2\sqrt{\frac{\epsilon_{Si}\Phi_f}{qN_A}} \quad (03)$$

La charge d'inversion  $Q_{INV}$  dans le canal est donnée par la relation :

$$Q_{INV} = C_{OX,eff} \cdot (V_G - V_T) \quad (04)$$

$C_{OX,eff}$  Étant la capacité d'oxyde en inversion forte.

### III. Calcul du courant de drain $I_D$

En régime de faible inversion, le transistor est toujours bloqué, la barrière de potentiel entre le canal et la source est importante, et seuls quelques porteurs arrivent à la franchir par une activation thermique. Il en résulte l'apparition d'un courant de faible diffusion dans le transistor. Ce courant varie exponentiellement par rapport à la tension de la grille  $V_G$ , suivant l'expression suivante :

$$I_D = \mu_0 C_{DEP} \frac{W}{L_G} \left(\frac{kT}{q}\right)^2 \left(1 - \exp\left(\frac{-qV_D}{kT}\right)\right) \left(\exp\left(q \frac{V_G - V_T}{nkT}\right)\right) \quad (05)$$

Où :

$n$  : Le facteur de substrat est égal à  $(1 + C_{DEP}/C_{OX,eff})$  ;

$C_{DEP}$  : La capacité de La couche déplétée ;

$C_{OX,eff}$  : La capacité de l'oxyde de grille ;

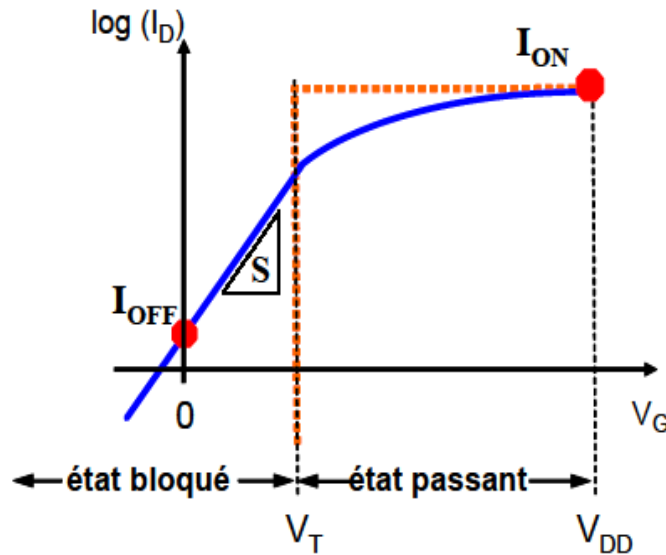
$W$  : La largeur du transistor ;

$\mu$  : La mobilité des porteurs à faible champ effectif transverse à  $V_G = V_T$  .

Ce courant peut être représenté par une droite sur une échelle semi-logarithmique en fonction de  $V_G$ . La pente de cette droite, notée  $S$ , correspond à l'inverse du paramètre appelé « **pente sous le seuil** »,  $S$  donnée par :

$$S = \left(1 + \frac{C_{DEP}}{C_{OX,eff}}\right) \frac{kT}{q} \ln 10 = 2.3 \frac{kT}{q} \cdot \frac{dV_G}{d\psi_s} \quad (06)$$

Dans le cas idéal où  $C_{DEP}$  est négligeable devant  $C_{OX,eff}$ , la valeur de  $S$  approche de la valeur théorique minimale de 60mV/décade à 300K. Le contrôle de la valeur de la pente sous le seuil est primordial pour la définition d'un paramètre essentiel du MOSFET, le courant de fuite du transistor, ou  $I_{off}$ . Du fait de cette limite à 60mV/décade, le courant  $I_{off}$  va être également fortement dépendant de la valeur de la tension de seuil  $V_T$  [18] [12].



**Figure 6:** présentation de la pente de seuil dans les caractéristiques  $I_D(V_G)$  [08].

Au-dessus de la tension de seuil, le transistor devient passant. Selon l'amplitude de la polarisation du drain  $V_D$ , on distingue deux régimes de fonctionnement (figure 7).

A faible  $V_D$ , l'inversion forte est réalisée tout le long de la grille et le canal se comporte comme une résistance, c'est **le régime linéaire ou régime ohmique** :

$$I_D = \mu_{eff} C_{OX,eff} \frac{w}{L_G} \left( V_G - V_T - \frac{1}{2} V_D \right) V_D \quad (07)$$

$\mu_{eff}$  Étant la mobilité effective des porteurs.

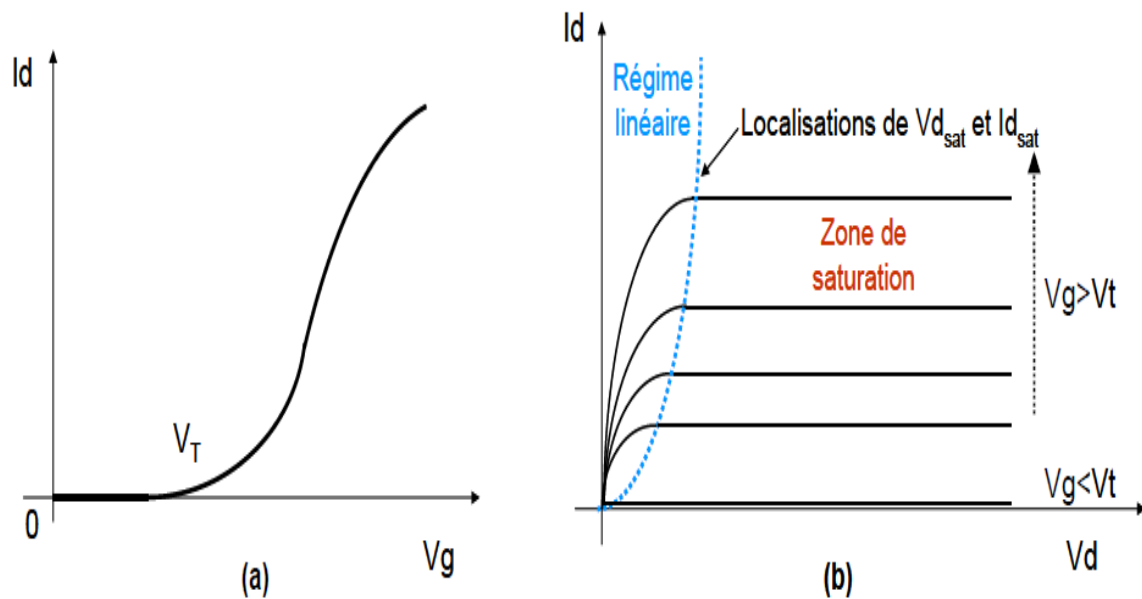
Lorsque  $V_D$  augmente au delà de la valeur  $V_G - V_T$ , le potentiel de surface côté drain devient inférieur à  $2\Phi_f$ . La densité de porteurs devient donc nulle côté drain créant un point de pincement qui va se déplacer côté source. Rien ne change entre l'extrémité source et le point de pincement que ce soit en termes de densité des charges ou en termes de tension appliquée, le courant reste donc constant. **C'est le régime de saturation.**

La valeur  $I_{Dsat}$  est :

$$I_{Dsat} = \mu_{eff} C_{OX,eff} \frac{W}{2L_G} V_{Dsat}^2 \tag{08}$$

Avec  $V_{Dsat} = V_G - V_T$

Le courant de saturation  $I_{Dsat}$ , ou  $I_{ON}$ , sera donc défini comme le courant débité par le dispositif lorsque  $V_G = V_D = V_{DD}$  ;  $V_{DD}$  est appelé tension d'alimentation.



**Figure 7 :** Caractéristiques idéales de transfert (a) et de sortie (b) d'un transistor MOS de type n. La courbe pointillée correspond à la tension  $V_{dsat}$ . Pour  $V_d > V_{dsat}$  Le courant reste constant à  $I_{dsat}$  [17].

### III.1 La mobilité

La mobilité des porteurs décrit la facilité des porteurs à se déplacer dans un matériau ou un dispositif sous l'action d'un champ électrique. Elle va donc directement impacter la valeur du courant de drain  $I_D$ . Elle s'exprime en fonction de la

masse effective des porteurs dans une direction donnée et du temps moyen entre deux collisions  $\tau$  :

$$\mu = \left( \frac{q\tau}{m^*} \right) \quad (09)$$

On va distinguer plusieurs types de collisions : collisions avec le réseau cristallin (interactions avec les phonons), collisions de nature Coulombienne (interactions avec les dopants et les défauts chargés), et collisions avec l'interface canal-diélectrique de grille dans un transistor MOS.

Le temps de relaxation  $\tau$  tient compte de toutes les interactions que peuvent subir les porteurs lors du transport selon la loi de Mathiessen.

### III.2 La transconductance du MOSFET

Un des paramètres les plus importants pour la mesure du gain des dispositifs est la transconductance  $g_m$ , c'est la dérivée du courant de drain par rapport à la tension de grille  $V_G$

$$g_m = \frac{dI_d}{dV_G} I_{V_d} \quad (10)$$

Pour le régime, linéaire la transconductance est donnée par la relation suivante :

$$g_m = \mu_n C_i \left( \frac{Z}{L} \right) V_D \quad (11)$$

Pour le régime de saturation, la transconductance est donnée par :

$$g_m = \mu_n C_i \left( \frac{Z}{L} \right) (V_G - V_T) \quad (12)$$

## IV. La fabrication d'un MOSFET

La fabrication des composants micro-électroniques repose sur un grand nombre de techniques, dont la complémentarité permet finalement l'obtention du MOS utilisable. Le but ici est d'expliquer d'une manière très simple les procédés et les grandes techniques utilisées classiquement pour fabriquer le transistor MOSFET en général. La lithographie est la technique la plus importante dans ces procédés puisque c'est elle qui définit la structure MOS.

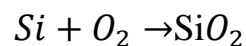


## IV.1 Techniques de fabrication des transistors MOS

### L'oxydation

Le  $\text{SiO}_2$  est utilisé comme un isolant entre la couche du métal et la couche du semi-conducteur. Il est utilisé comme un masque ou bien une couche protectrice contre la diffusion et la haute énergie d'implantation des ions. La façon la plus simple d'obtenir des couches d'oxyde de silicium sur des wafers est l'oxydation par l'oxygène. La croissance de la couche d'oxyde sur la surface de silicium peut être effectuée par une oxydation sèche ou humide. Durant l'opération, le silicium est rongé et l'interface migre à l'intérieur du substrat.

L'oxydation sèche se fait à des températures de 850 à 1200°C et s'effectue de préférence lentement en gardant une bonne régularité.



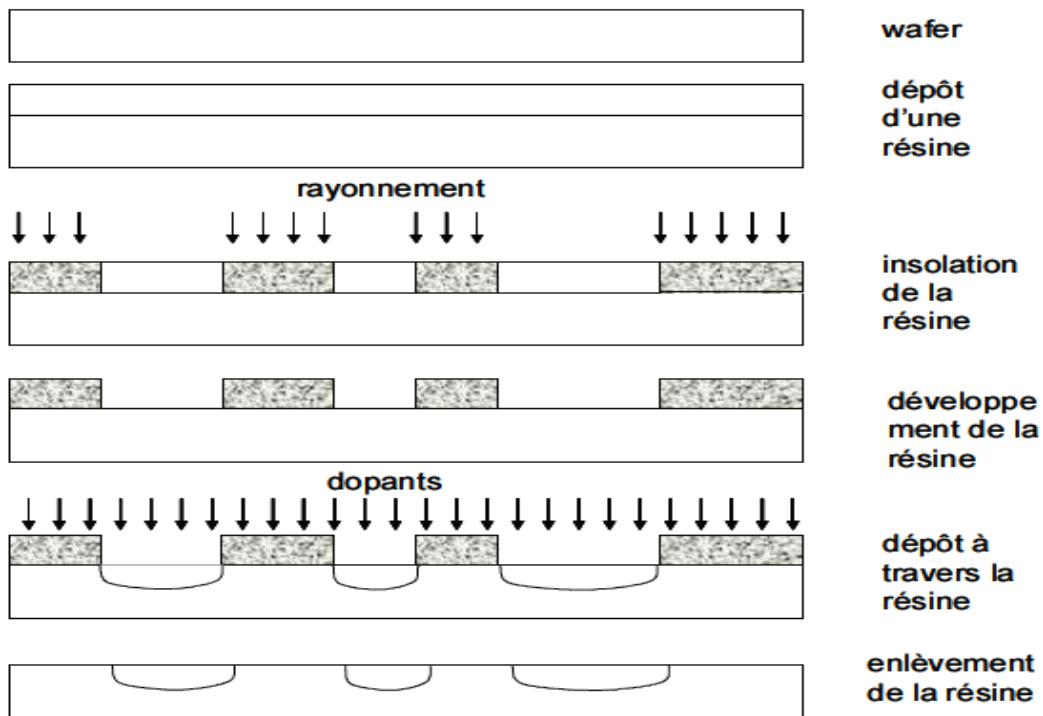
L'épaisseur de l'oxyde est limitée par le taux de la diffusion d'oxydant à travers la couche [30].

### La photolithographie

La technique de la photolithographie est utilisée pour créer des couches des différents matériaux à différents dopages et à différents motifs sur un wafer à l'aide des masques.

Elle comporte plusieurs étapes. La première étape consiste à mettre une résine photosensible sur la surface du substrat, ensuite la plaque des masques est placée en

contacte avec le wafer dans une position précise et exposée à la lumière ultraviolette.



*Figure 8: principe de la fabrication par la lithographie [09].*

### Diffusion

Après le masquage de la surface, une diffusion effective peut être effectuée dans les régions exposées. On distingue deux étapes :

Dans la première étape de « **pré-dépôt** », le wafer est chauffé dans un four à 1000°C et les atomes dopants tels que le phosphore et le bore sont mélangés avec un gaz interne (le Nitrogène). La profondeur de pénétration dépend de la durée de diffusion.

Dans la deuxième étape «**drive-in**» le wafer est chauffé dans un four d'atmosphère pendant quelques heures pour distribuer les atomes d'une manière plus uniformément et pour obtenir une profondeur plus grande.

Il existe une autre méthode de diffusion, c'est par l'implantation des ions. Le gaz dopant est le premier à ionisé à l'aide d'un ioniseur [29].

## V. Comportement du transistor MOSFET pour des applications de puissance

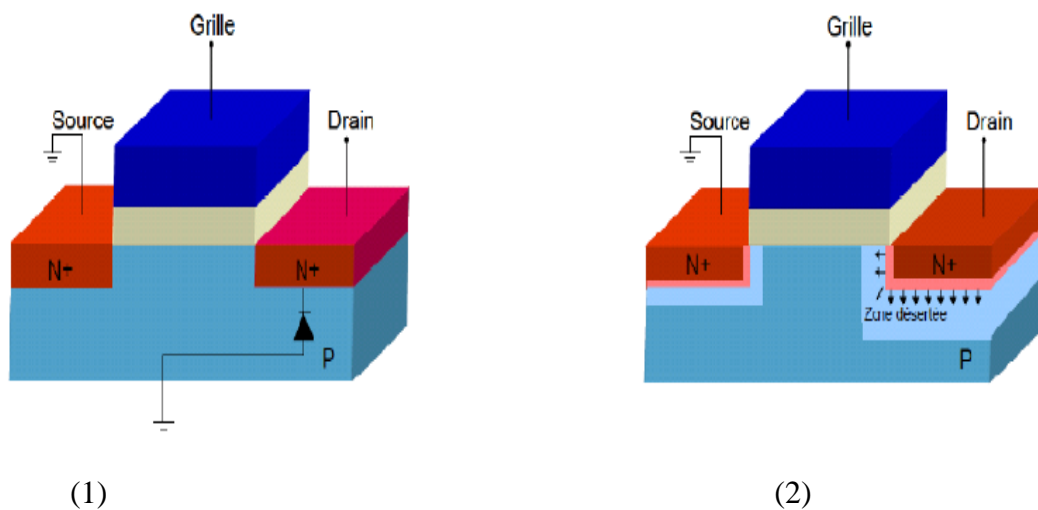
Le MOSFET, qu'on a présenté précédemment, n'est pas utilisable pour des applications de puissance. Les MOSFET dédiés aux applications de puissance ont

leurs performances limitées par plusieurs phénomènes (d'avalanche et de perçage). Les phénomènes d'avalanche et de perçage sont des facteurs limitant la tension maximale du drain du dispositif. Cependant, les transistors MOSFET de puissance nécessitent à la fois de faibles longueurs de canal et des valeurs de tension de drain élevées.

### V.1 Phénomène d'avalanche

L'avalanche dans un transistor MOSFET a lieu dans la diode formée entre le drain et le substrat (dans la zone désertée du substrat). La tension du drain est suffisamment importante pour accélérer les électrons jusqu'au point où, lorsqu'ils percutent des atomes, ils libèrent d'autres électrons : le nombre d'électrons libres augmente alors rapidement jusqu'à ce que se déclenche l'avalanche.

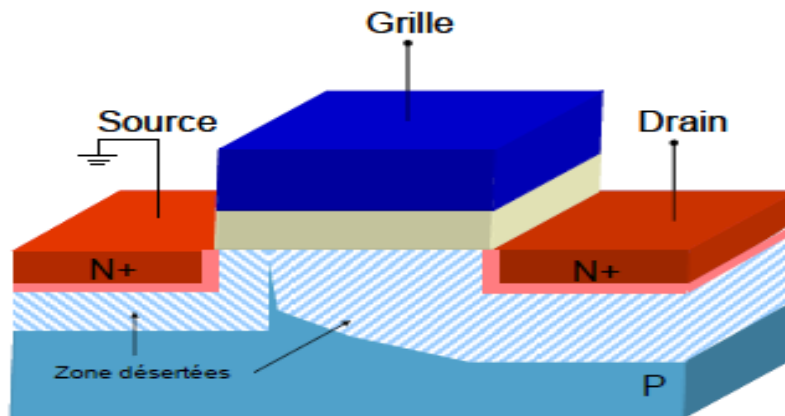
La tension du drain correspondant à l'avalanche est appelée tension d'avalanche  $BV_{ds}$  (tension de claquage). Plus le canal du transistor diminue plus le champ électrique sur le bord du canal, côté drain, sera très élevé pour des tensions relativement faibles. Par conséquent, le champ électrique qui déclenche l'avalanche est atteint pour de faible valeur de  $V_{ds}$  [12].



**Figure 9:** 1) Représentation schématique du MOS en mode d'avalanche (jonction)  
 2) Illustration du MOSFET et de ses zones désertées avec l'application d'une tension  $V_d$  à  $V_g$  nul [12].

## V.2 Perçage (Punch-Through)

À cause de ce phénomène les performances des transistors sont limités et sont complètement dégradées. Quand la longueur de la grille est très faible et la tension de drain augmente, une injection de porteurs peut avoir lieu entre la source et le drain donc la zone de charge augmente aussi jusqu'à rencontrer la zone désertée de la source.



*Figure 10 : Illustration du phénomène de perçage sur un MOSFET en coupe*

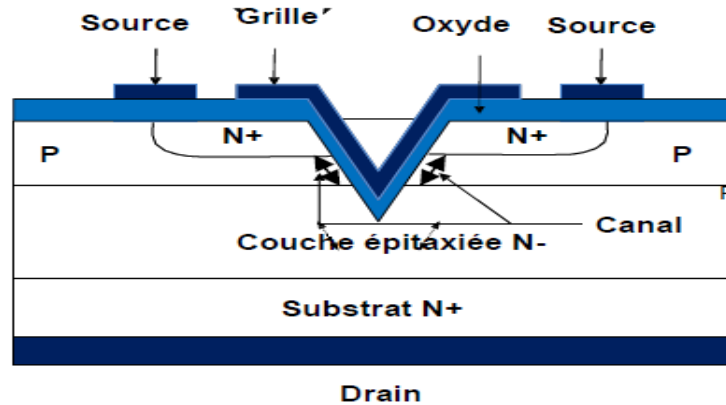
[12].

Des structures ont été élaborées afin de pouvoir réaliser des transistors MOS de puissance tout en remédiant à l'apparition des phénomènes d'avalanche et de perçage. Deux grandes familles de transistor MOS de puissance sont référencées : les MOSFET de puissance verticale (VDMOS) et (UDMOS) et le MOSFET de puissance latérale (LDMOS).

## VI. Les transistors MOS de puissance pour des applications de Puissance

### VI.1 Le transistor VDMOS

Au début des années 70, les transistors VMOS sont les premiers transistors de puissance développés. Ces transistors étaient élaborés à partir de sillons en forme de « V » gravés par attaque anisotrope du silicium. Elle consiste à attaquer chimiquement, suivant les plans  $\langle 111 \rangle$ , une couche N-épitaxiée sur un substrat N<sup>+</sup>. La zone active est formée le long d'un sillon qui fait un angle de 54° avec la surface [01]. La figure 14, nous montre la structure VMOS :

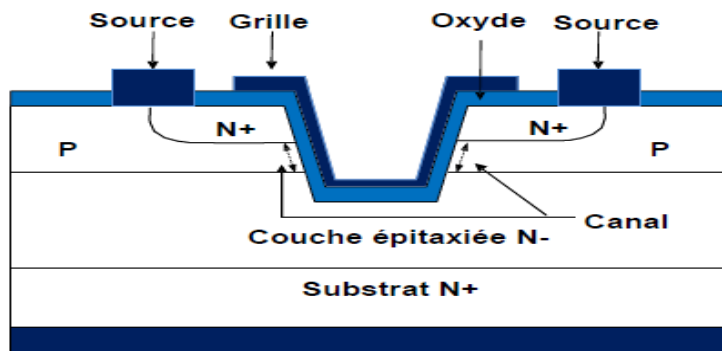


*Figure 11: Coupe schématique d'un VDMOS de puissance [01].*

Par rapport au transistor MOS plan « classique », le progrès essentiel consiste en l'utilisation du volume du semi-conducteur pour former l'électrode de drain (plan inférieur du substrat). Cette disposition permet une plus grande densité d'intégration puisque seulement deux électrodes –les électrodes de grille et de source- sont localisées sur la face supérieure de la puce.

## VI.2 Transistor UDMOS

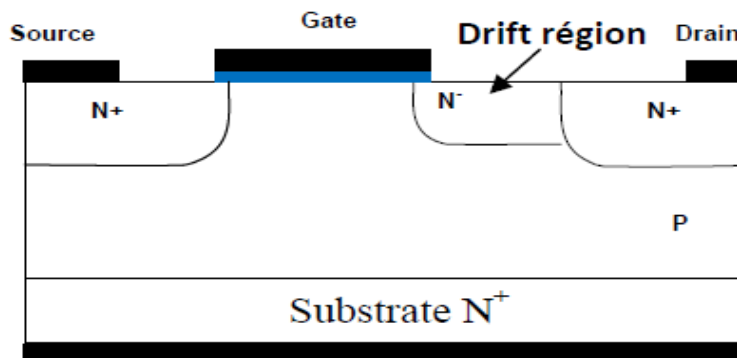
A la fin des années 70, le transistor UDMOS a été proposé [12]. Sa structure reprend celle du VMOS mais la forme du sillon est différente. Le front de pénétration de l'attaque anisotrope est arrêté prématurément, créant ainsi un fond plat dans le sillon qui permet de diminuer le champ électrique. Les mêmes difficultés technologiques ayant été rencontrées pour ce composant, il n'eut pas de développement industriel significatif.



*Figure 12: Coupe schématique d'un UDMOS de puissance [01].*

### VI.3 Le transistor LDMOS

Le transistor LDMOS possède l'avantage par rapport au transistor à configuration verticale VDMOS d'avoir intrinsèquement ses trois électrodes coplanaires, ce qui le rend favorable à l'intégration. Il est également compatible avec les technologies BiCMOS (contraction de Bipolar-CMOS) avancées, ce qui fait de lui un candidat idéal pour assurer la partie puissance (c'est-à-dire interrupteur) dans un circuit intégré [9]. Dans ces technologies les dispositifs de puissance sont des structures latérales LDMOS, c'est-à-dire que le courant traverse la structure par le drain situé à la surface de la puce, traverse le canal, puis la source elle aussi située à la surface de la puce comme le représente la figure suivante :



**Figure 13** : Coupe schématique d'un LDEMOS de type N en configuration standard. [01].

### Conclusion

Ce chapitre présente deux parties :

- ✚ Dans la première partie nous avons décrit les principes de base de la structure Métal Oxyde Semi-conducteur MOS. Tout d'abord, nous nous sommes intéressés au fonctionnement d'un transistor MOS à effet de champ idéal permettant d'obtenir des expressions analytiques des différentes grandeurs caractéristiques (la mobilité, la tension de seuil, la transconductance et la pente de seuil). Nous avons aussi défini les grandes techniques de fabrication des transistors MOS.

- ✚ Dans la deuxième partie, nous nous sommes intéressés au comportement des transistors MOS de puissance, à leurs problèmes et nous avons aussi cité les différents types de MOS de puissance (VMOS, UMOS et LDMOS).

# **CHAPITRE II**

## ***CARACTERISTIQUES D'UN LDMOS DE PUISSANCE***



## I. Introduction

A cause des phénomènes d'avalanche et de perçage, mais aussi grâce à leurs avantages sur les transistors MOS, le transistor LDMOS « Latéral Double Diffused Metal Oxide Semiconductor » est la composante de choix pour les applications de puissance.

Dans ce chapitre nous nous serons intéressés spécifiquement au transistor LDMOS. On peut citer quelques avantages de ce type de transistor:

- une grande tension de claquage BVds ;
- petite résistance Ron à l'état passant ;
- ses trois électrodes sont en surface ;
- très rapide, ce qui réduit les pertes de commutation ;
- le coût.

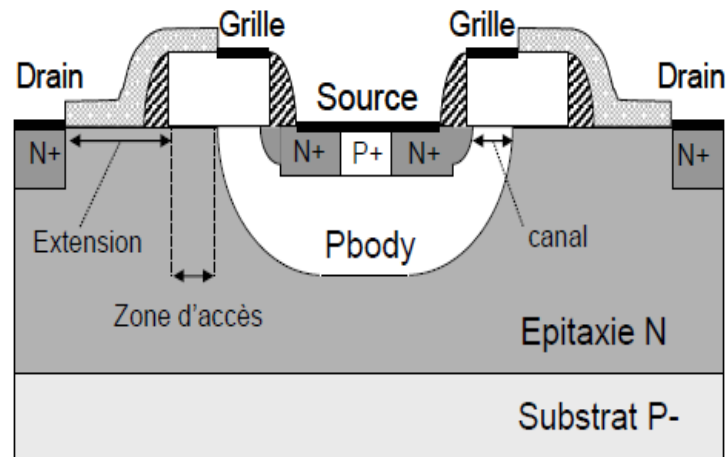
Cette partie aborde dans un premier temps une description exhaustive de la structure LDMOS et ses différents régimes de fonctionnement (linéaire ou saturé ...). Pour un régime de fonctionnement spécifique la résistance Ron, la tension de claquage BVds ou encore les capacités intrinsèques du LDMOS sont des paramètres importants. De leurs valeurs dépendent les performances.

## II. Principe de fonctionnement d'un LD-MOS

### II.1 Structure du LD-MOS

La structure du LD-MOS destinée aux applications de puissance est réalisée dans une filière BiCMOS (contraction de Bipolar-CMOS), [12] sur un substrat de type P- sur lequel croit une couche épitaxie de type N. Le LD-MOS possède trois électrodes coplanaires : le drain, la grille et la source.

Les deux implantations de type  $N^+$  sont intercalées par une implantation de type  $P^+$  pour former l'électrode de la source, qui permet de ramener le canal et la source au même potentiel par l'intermédiaire de la siliciuration totale de cette zone pour deux transistor LD-MOD. La figure suivante nous montre la structure d'un transistor LDMOS sur une filière BiCOMS :

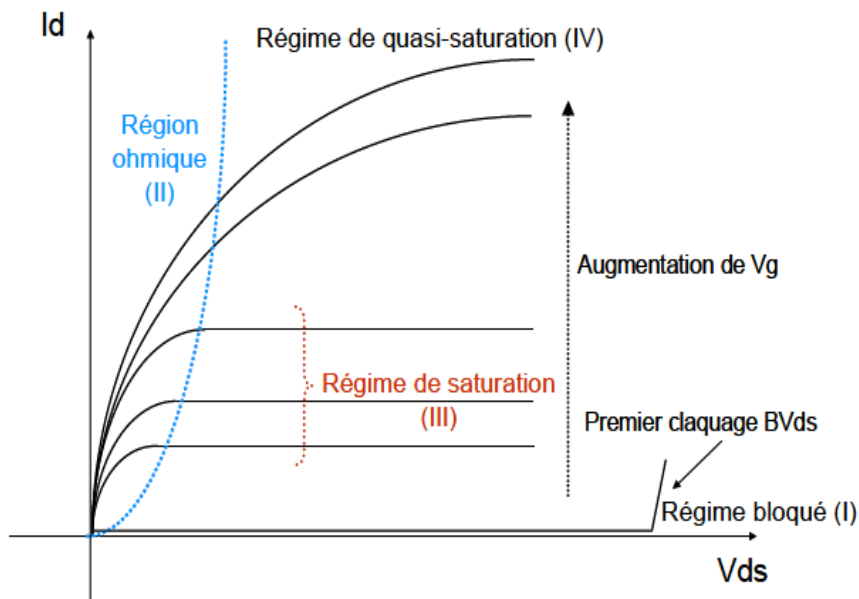


**Figure 14** : Coupe transversale du LDMOS utilisé dans la technologie BiCMOS  $0.25\mu\text{m}$  [12].

Sous une tension de grille positive, le fonctionnement d'un transistor LD-MOS, est régie par la contribution de trois zones : zone d'accès, zone d'extension et zone active.

- ❖ **la zone active** assure la conduction du courant électrique du drain. Le canal d'inversion est formé à partir des porteurs minoritaires (électrons) induits en surface de la zone P (Pbody), sous l'effet d'une polarisation positive entre la grille et la source.
- ❖ **La zone d'accès** se forme sous la grille dans la zone superficielle dopée N, fonctionnant en régime accumulé. Sa présence est également due à une polarisation positive sur la grille.
- ❖ **La zone d'extension** dopée N, permet l'acheminement (diriger) des électrons de la source vers le drain. Cette zone a pour rôle de permettre la tenue en tension du dispositif [12].

La figure suivante montre les caractéristiques  $I(V)$  d'un transistor LD-MOS :



**Figure 15 :** Illustration des différents régimes de fonctionnement d'un transistor MOS latéral de puissance [12].

On distingue quatre régimes de fonctionnement d'un LD-MOS :

- $V_g < V_t$  : C'est le **régime bloqué** ou la tension du claquage source-drain est atteinte à mesure que la tension de drain appliquée  $V_d$  croît et correspond à  $V_{ds} \sim BV_{ds}$ .
- $V_{ds} < V_g - V_t$  c'est **régime ohmique ou linéaire**.
- $V_{ds} \gg V_g - V_t$  c'est le **régime saturé**.
- le quatrième régime est le **régime quasi-saturation**. Où on a un fort courant de drain.

## II.2 Régime de saturation

Lorsque la tension de drain  $V_d$  augmente et est supérieure à  $V_g - V_t$ , la caractéristique  $I_d - V_d$  sature quelque soit le type de transistor MOS étudié. Le courant de drain  $I_d$  devient pratiquement indépendant de la tension de drain  $V_d$ , une fois que celle-ci a dépassé la valeur particulière  $V_{dsat}$  dite tension de pincement. Le mécanisme physique responsable du passage de la région ohmique à la région saturée est le phénomène de saturation de la vitesse des porteurs dans le canal combiné à la diminution de la densité des porteurs, dans la zone près du drain, où un champ électrique élevé règne.

**II.3 Régime de quasi-saturation**

Le régime de quasi-saturation se traduit par l'insensibilité du courant de drain à l'augmentation de la polarisation grille-source  $V_g$  surtout vers les valeurs élevées de cette polarisation, ce qui a pour conséquence d'augmenter la conductance de sortie aux fortes polarisations de drain. Il ne se manifeste pas en général dans les transistors MOS classiques. Il se produit dans les structures avec une extension de drain par un tassement des caractéristiques de sorties à forte tension  $V_g$ .

**III. Le régime de fonctionnement statique**

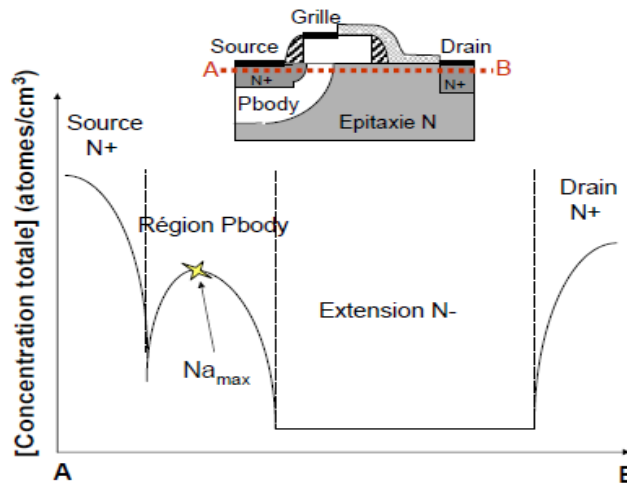
**III.1 La tension de seuil**

La tension de seuil est la tension de la grille à partir de laquelle le transistor devient conducteur.

$$V_t = \varphi_{ms} - \frac{Q_{ss}}{C_{ox}} + 2\varphi_F + 2\sqrt{(qN_{a\ max}\epsilon_s\varphi_F)} \frac{Q_{ss}}{C_{ox}} \quad (13)$$

$\varphi_{ms}$  : Le travail de sortie du métal semi-conducteur

$\frac{Q_{ss}}{C_{ox}}$  : La tension correspondante à l'effet des charges à l'interface et  $\varphi_F$  le niveau de Fermi pour  $N_{a\ max}$ .

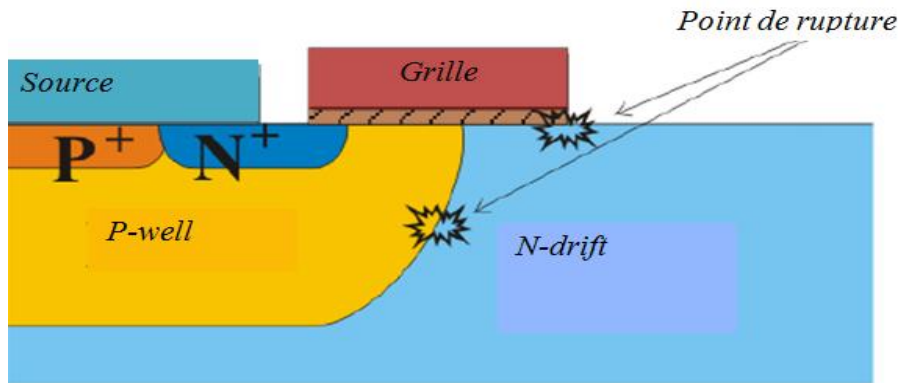


*Figure 16 : Profil du dopage le long de l'interface Si/SiO<sub>2</sub> caractéristique d'un LDMOS [12].*

### III.2 Tension de claquage

Un des paramètres les plus importants est la tension de claquage du dispositif pour son application de puissance. Cette tension de claquage ne doit pas être atteinte pendant le fonctionnement du transistor car dans le cas contraire les performances du circuit seront dégradées et le transistor éventuellement endommagé. Donc il est intéressant d'avoir une tension de claquage importante.

En effet, le claquage dans cette structure se produit généralement à la fin de la métallisation de grille (à cause de la faible épaisseur de l'oxyde de grille) ou à la jonction cylindrique PN. Il dépend principalement du dopage de la zone de drift et de la distance  $L_d$  entre la fin de la métallisation de grille et le début de l'ouverture de la diffusion de drain.



**Figure 17 :** Localisation du claquage dans le transistor LDMOS [08].

Le mécanisme physique responsable au claquage est l'effet d'avalanche. Le claquage se produit dans le plan courant drain-tension drain sous la forme d'une croissance très rapide du courant au-delà d'une certaine valeur de tension.

$$BV_{ds} = \frac{\epsilon_{Si} E_C^2}{2qN_d} \quad (14)$$

Où :

$N_d$  : La concentration en dopant de type n de la jonction P+/N ;

$\epsilon_{Si}$  : La constante diélectrique du silicium ;

$BV_{ds}$  : La tension de claquage et q la charge élémentaire.

$E_C$  : Le champ électrique critique qui est donné par la relation suivante :

$$E_C = 4010N_D^{1/8} \quad (15)$$

### III.3 La résistance à l'état passant ( $R_{ON}$ )

La résistance à l'état passant est un des paramètres spécifiques des composants de puissance. Elle est définie par le rapport entre la tension de drain et le courant de drain.

$$R_{ON} = \left( \frac{V_D}{I_D} \right)_{V_{d \rightarrow 0}} \quad (16)$$

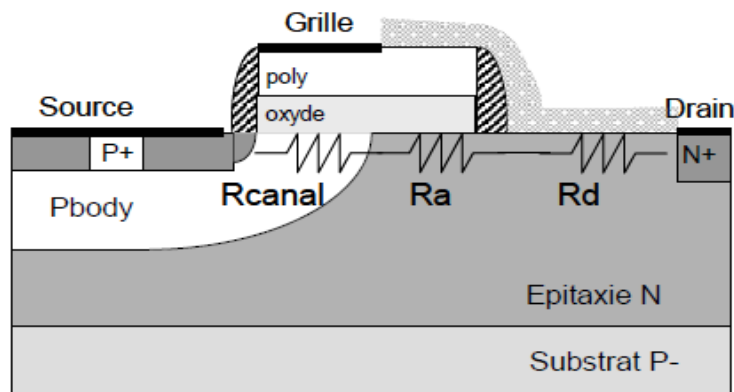
Les pertes en conduction dépendent de sa valeur ; donc c'est elle qui indique le niveau de performance du composant. On peut considérer la résistance à l'état passant  $R_{ON}$ , comme la somme des trois résistances en série.

$$R_{ON} = R_{canal} + R_a + R_d \quad (17)$$

Où :

- $R_{canal}$  est la résistance du canal d'inversion,
- $R_d$  est La résistance de drift,
- $R_a$  est La résistance de la couche d'accumulation.

Les trois résistances sont représentées sur la figure 18 :



**Figure 18** : Différentes composantes de la résistance à l'état passant du LDMOS [12].

**$R_{canal}$** : La résistance du canal correspond à la zone d'inversion de la région PBody sous la grille. Sa valeur dépend principalement de la tension de grille appliquée, du dopage en surface du PBody, de la longueur  $L_{canal}$  du canal et de l'épaisseur de l'oxyde de grille.

$R_a$  : La résistance d'accès représente l'accumulation sous la grille en surface de la région de drift. Cette résistance dépend des mêmes paramètres que la résistance  $R_{canal}$  qui sont la tension de grille, la longueur de débordement de la grille sur la région N-, du dopage de cette dernière et l'épaisseur de l'oxyde de grille.

$R_d$  : La résistance de drift correspond à la zone N- située entre la fin de la grille et le drain N<sup>+</sup>. Cette résistance peut être considérée comme un barreau semi-conducteur

$$R = \frac{\rho \times l}{S} \quad (18)$$

De résistivité  $\rho = \frac{1}{q \times \mu_n \times N_D}$ , de longueur  $L_d$  et surface  $S = h \times Z$ , où h est la profondeur de la section de conduction du courant de drain qui peut être approximée à l'épaisseur de la région N<sup>+</sup> de drain, ce qui donne [08]:

$$R_d = \frac{L_d}{q \times \mu_n \times N_D \times h \times Z}. \quad (19)$$

Les autres résistances qui sont celles des diffusions N<sup>+</sup> et de métallisation sont négligeables (de l'ordre du mW).

En LDMOS,  $R_{ON}$  est principalement dépendante de la résistance de drift ; donc nous nous sommes concentrés uniquement sur la région de drift  $L_{DD}$  (en négligeant les résistances des canaux et les résistances d'accumulation).

Dans façon classique, le courant dans la région de drift peut être défini par la vitesse de dérivé de saturation des porteurs de la manière suivante :

$$I_{drift} = \mu_{eff} q_{sheet} \cdot \frac{v_{drift}}{L_{drift}} W_{drift} \quad (20)$$

Où,  $L_{drift}$  et  $W_{drift}$  représentent la longueur de la zone de drift et de la largeur des transistors, respectivement. Par conséquent,  $R_{drift}$  peut être défini par l'équation suivante :

$$R_{drift} = \frac{V_{drift}}{I_{drift}} = \frac{L_{drift}}{W_{drift}} \cdot \rho \left( 1 + \frac{v_{drift}}{L_{drift} E_{sat}} \right) \quad (21)$$

Où,  $\rho$  et  $E_{sat}$  représentent la résistivité et le champ électrique saturée.

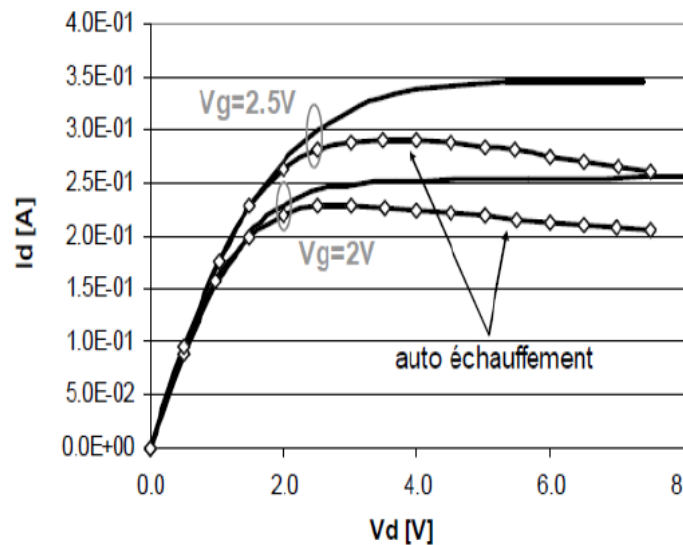
### III.4 Compromis $R_{on} * BV_{ds}$

Pour l'évolution des performances d'un transistor LDMOS, on cherche toujours l'augmentation de la tension de claquage  $BV_{ds}$  ce qui crée un autre problème lié à l'augmentation de la résistance à l'état passant  $R_{on}$  ce qui démunie le courant de drain.

Le Compromis  $R_{on} * BV_{ds}$  est un figure de mérite qui très essentiel pour définir le comportement et les performances d'un transistor LDMOS. On cherche le compromis le plus grand possible pour qu'on obtienne le transistor le plus performant.

### III.5 L'auto-échauffement

C'est un effet principalement thermique qui caractérise les transistors MOS de puissance et qui se présente à la fois dans les régimes de saturation et quasi-saturation. Il est dû aux fortes valeurs des courants ou des tensions. Ce phénomène diminue le courant de sortie à mesure que la tension de drain augmente. La température locale dans le composant entraîne la réduction de la mobilité et la vitesse des porteurs.



**Figure 19:** L'effet de l'auto-échauffement sur la caractéristique de sortie [12].

## IV. Le régime de fonctionnement dynamique

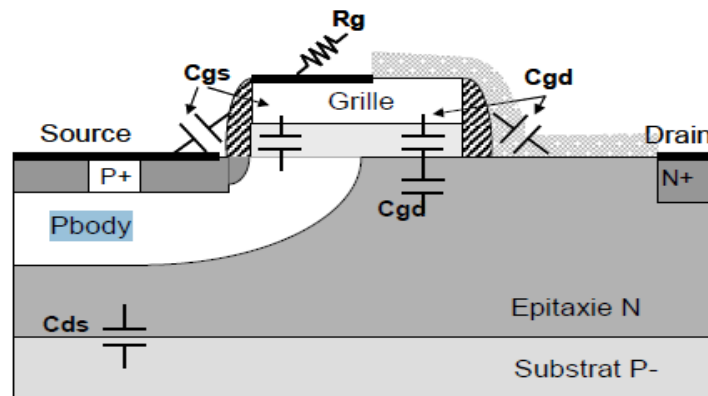
Il est aussi intéressant de connaître les caractéristiques dynamiques du LD-MOS. Ce paragraphe expose ces composantes dynamiques.

- ❖ **La capacité drain-source  $C_{ds}$**  correspondant à la jonction drain-source polarisée en inverse.



- ❖ **La capacité grille-source  $C_{gs}$**  relative à l'oxyde de grille. Elle est la mise en parallèle de la capacité localisée entre la zone du canal Pbody et la grille et la capacité entre la métallisation de la source et du poly-silicium de grille.
- ❖ **La capacité grille-drain  $C_{gd}$**  est l'association de deux capacités : une capacité d'oxyde et une capacité associée à la charge d'espace de la zone de déplétion N dans la zone d'extension. Il existe de plus une capacité  $C_{gd}$  parasite principalement liée aux métallisations.

Des éléments parasites sont à prendre en compte éventuellement comme les capacités d'interconnexions et la  $R_g$  (résistance de grille) mais dépendent de la topologie des prises de contacts et du montage transistor dans l'application de type « circuit ».



**Figure 20** : Représentation des éléments capacitifs du transistor LDMOS [12].

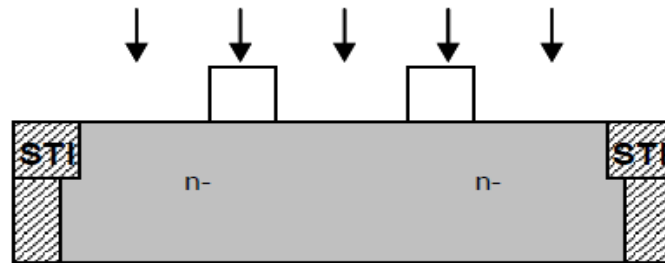
## V. Procédés de fabrication du LD-MOS

Généralement, le LD-MOS est réalisé à partir d'un substrat de type P, sur lequel croît une couche épitaxiée de type N moins dopée. Par des tranchés profonds (*deep trench*), l'isolant est réalisé en profondeur et renforcé en surface par l'introduction des zones STI (*Shallow Trench Isolation*). Cette étape a pour le but d'isoler le composant électriquement dans le cadre de l'intégration de plusieurs composants sur la même surface. Après cette étape vient l'implantation du caisson N qui permet de modifier le niveau de dopage du LD-MOS.

Après l'obtention du caisson N vient la croissance de l'oxyde de la grille ainsi que celle de dépôt de poly-silicium qui sont réalisées pour l'obtention d'une grille de

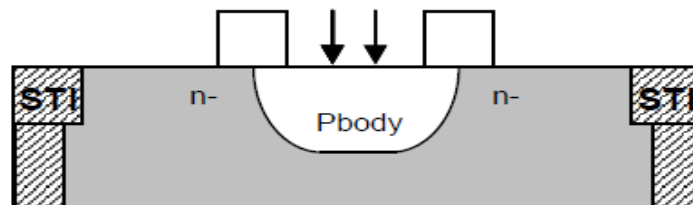
type MOS. On termine avec la grille. Le canal diffusé du LD-MOS est réalisé par l'implantation PBody. La longueur du canal est dépendante des conditions d'implantation et du budget thermique associé. Les espaceurs sont ensuite créés et l'étape d'implantation source/drain suit. Une des dernières étapes spécifiques du LDMOS est la formation du SiProt sur la zone d'extension du drain. Il est réalisé à partir d'un dépôt d'oxyde et de nitrure et protège la zone d'extension de drain contre la siliciuration.

La figure 21 décrit les étapes spécifiques du LDMOS de type N [12].

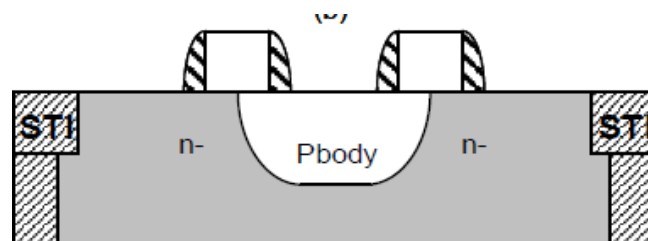


1/ Implantation du caisson épitaxie ;

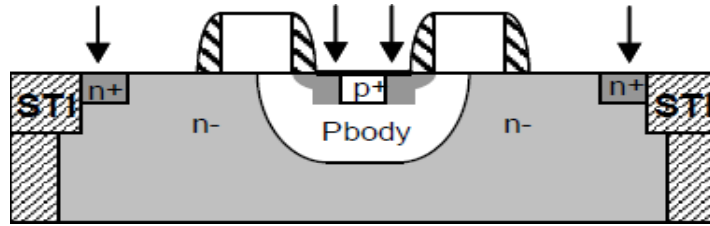
2/ Réalisation de la grille (croissance oxyde + dépôt poly-silicium et gravure) ;



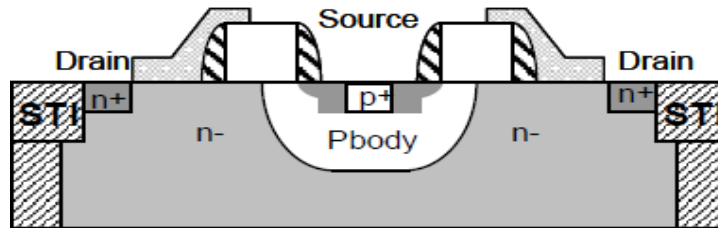
3/ Implantation du Pbody (formation du canal) ;



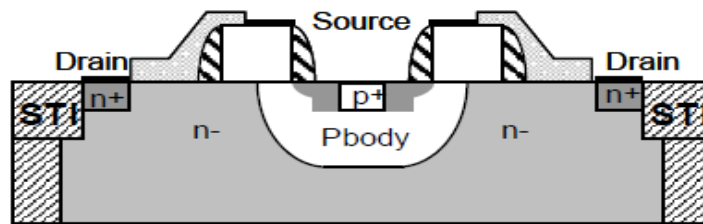
4/ Réalisation des espaceurs (dépôt nitrure et gravure) ;



5/ Implantation Source/Drain N et P ;



6/ Réalisation de la zone de recouvrement de l'extension de drain par le Siprot (dépôts d'oxyde et de nitrure gravés) ;



7/ Siliciuration (réaction chimique d'un métal avec le silicium).

*Figure 21: présentation de différentes étapes de fabrication du transistor LD-MOS [12].*

## VI. Les différents Types d'un transistor LD-MOS

Pour le but d'amélioration la tension de claquage, d'autres structures LDMOS sont proposées. On peut citer deux structures principales :

### VI.1 Le LDMOS LOCOS (LOCAL Oxidation in Silicon)

Grâce à une oxydation locale du silicium dans cette structure. Le champ électrique à la fin de la métallisation de grille est fortement réduit. Le problème majeur de cette structure est la dégradation de la surface de passage du courant à l'état passant et, par conséquent, une augmentation significative de la résistance passante spécifique comparée à celle des structures LDMOS classiques.

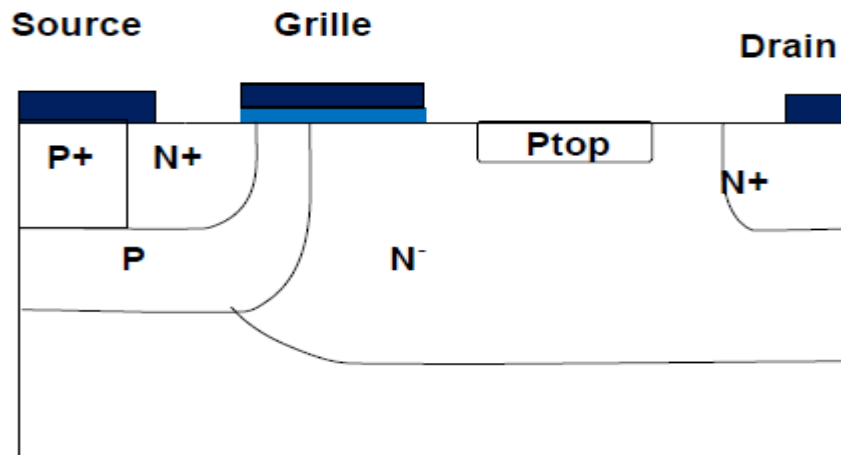


Figure 22: structure d'un transistor LDMOS LOCOS [01].

## VI.2 Le LDMOS Resurf (*Reduced surface field*)

Cette technique est très utilisée du fait de sa simplicité de conception et de son efficacité, tant au niveau de l'amélioration de la tension de claquage qu'au niveau de l'isolation électrique de ce composant. En effet, cette technique ne modifie que très peu la fabrication du LDMOS. La seule modification intervient au niveau de la zone d'extension N- qui est alors réalisée en surface et à l'intérieur d'une zone P-.

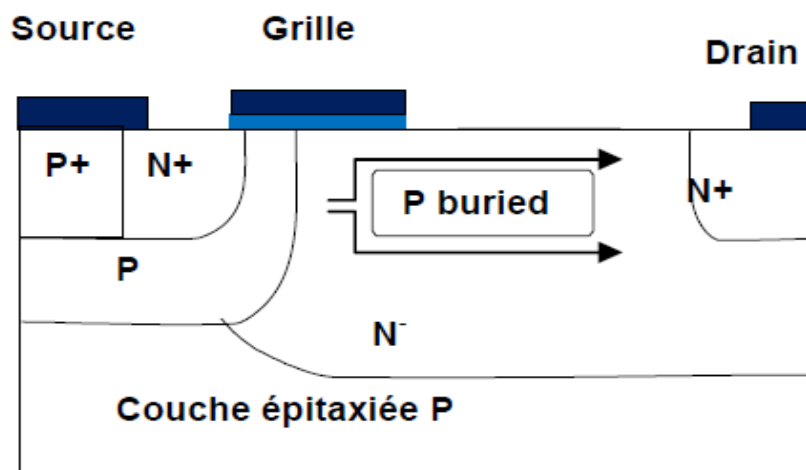


Figure 23 : structure d'un LDMOS RESURF [01].

## VII. Les applications d'un transistor LDMOS

Le transistor LDMOS étant un dispositif électronique permettant de contrôler le courant de drain  $I_d$  par la tension appliquée sur la grille  $V_g$ . Il est utilisé dans plusieurs domaines tels que l'automobile, l'électroménager et l'éclairage et aussi le traitement des signaux. Il se comporte comme :

- Un interrupteur dans les circuits logique à base de 1(ou 0 dB), par exemple les microprocesseurs, les mémoires (RAM, ROM et FLASH)...
- Un amplificateur de puissance dans les circuits numérique(les téléphones, les radios et aussi les cellules solaires...)
- Un stabilisateur de tension ou un modulateur de signal (l'automobile, l'éclairage et les moteurs ...).

On présente ici un exemple très simple qui correspond à l'utilisation des transistors LD-MOS dans un seul domaine, c'est le domaine d'automobile.

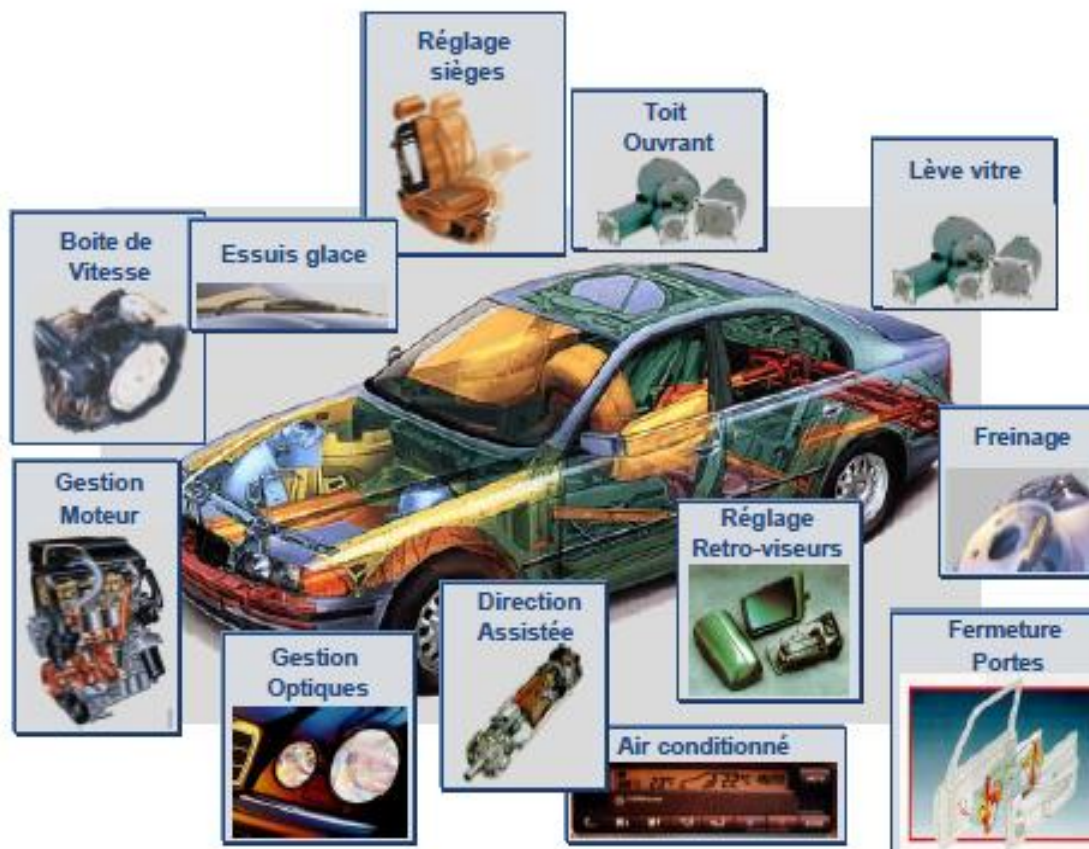


Figure 24 : utilisations des transistors LD-MOS pour les applications d'automobile.

**Conclusion**

Dans ce chapitre, nous avons fait une petite étude théorique sur le transistor LDMOS, nous avons décrit brièvement sa structure et aussi nous avons présenté les caractéristiques statiques et dynamiques qui définissent son comportement. Nous avons aussi présenté quelques applications de ces types de transistors.

# **CHAPITRE III**

***SIMULATION TCAD (SILVACO)***

## **I. Introduction**

Les simulateurs TCAD (Technology Computer-Aided Design) permettent la modélisation du comportement physique et électrique d'un composant électronique, dans le but d'économiser le temps et le coût de développement, et ainsi de pouvoir envisager et optimiser des solutions pour améliorer les performances des dispositifs. Les simulateurs existants sur le marché (ISE, SYNOPSIS, SILVACO,...) ont le même principe de fonctionnement. Dans ce travail, nous avons utilisé le simulateur TCAD-SILVACO (ATHENA et ATLAS).

Dans ce chapitre, nous présentons le logiciel de simulation TCAD-SILVACO, son principe de fonctionnement, et ses modules de simulation : ATHENA pour la simulation des processus technologiques, et ATLAS pour la simulation du comportement électrique des composants.

On s'intéresse essentiellement dans ce travail au comportement de la tension de claquage BVds, en variant plusieurs paramètres.

## **II. Présentation du logiciel TCAD-SILVACO**

SILVACO (Silicon Valley Corporation) est un environnement de logiciels qui permet de concevoir et prévoir les performances des dispositifs à semi-conducteur avant leur fabrication. Le TCAD SILVACO inclut des nouveaux modèles physiques qui emploient des méthodes et des algorithmes numériques efficaces, des nouvelles techniques de maillage, l'optimisation des solutions linéaires, etc.

L'avantage majeur de ce type de simulateurs est qu'il donne la possibilité de visualiser des phénomènes physiques difficilement accessibles et donc observables.

### **II.1 L'environnement ATLAS**

ATLAS a été conçu de façon à pouvoir l'utiliser avec d'autres outils qui facilitent ou complètent son utilisation.



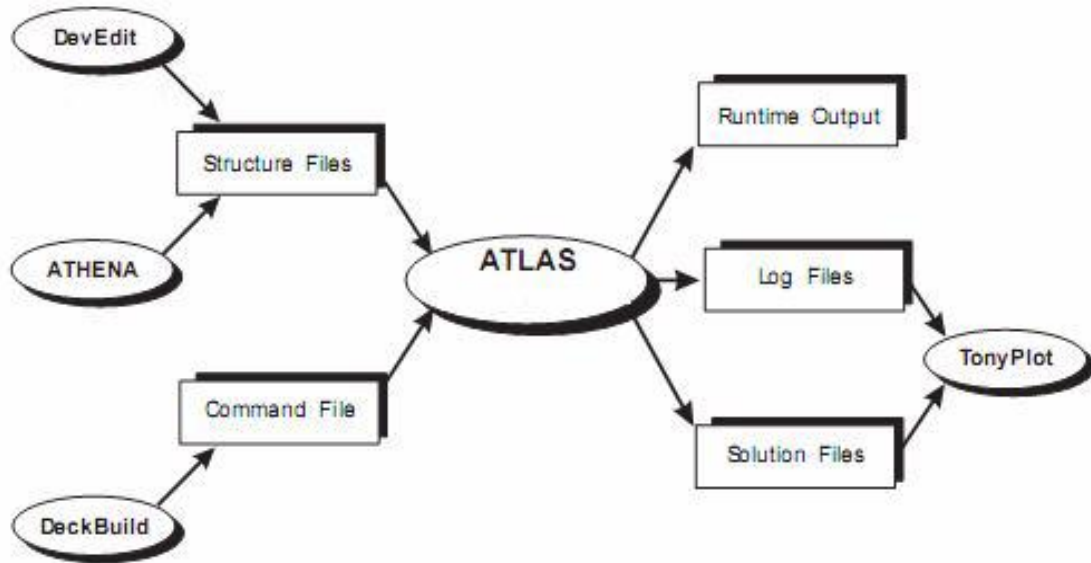


Figure 25 :L'environnement ATLAS [05].

**ATLAS** : est un simulateur électronique capable de prédire les caractéristiques électriques de la plupart des composants semi-conducteurs en régime continu, transitoire ou fréquentiel.

**ATHENA** : est un simulateur désigné pour la création des structures avec une bonne résolution des mailles, et fait aussi l'implantation ionique et la diffusion des impuretés et l'oxydation et d'autres processus technologiques de fabrication

**DEVEDIT** : est un environnement où sont dessinés la structure (dimension, dopage, ..) et son maillage.

**DECKBUILD** : est un environnement où est défini le programme de simulation.

**TONYPLOT** : est un environnement où sont visualisés les résultats des simulations (structure du composant, distributions de grandeurs diverses dans celui-ci, caractéristiques électriques...).

**Run-Time Output** : une fenêtre où on voit les erreurs de programmation et les avertissements après la compilation. Les commandes fondamentales sont :

- **MESH** : cette commande produit un maillage ou lit un maillage qui a été défini auparavant. L'élément de maille utilisé est le triangle.
- **REGION** : indique l'endroit des matériaux dans une maille précédemment définie. Chaque triangle doit être défini comme matériel.
- **ELECTRODE** : indique l'endroit et les noms des électrodes dans une maille précédemment définie.

- **DOPING** : indique analytiquement des profils de dopage ou prend de tels profils déjà prédéfinis dans les fichiers dédiés.
- **MATERIAL** : associe des paramètres physiques aux matériaux dans la maille. (Il faut faire attention parce que le logiciel a des paramètres de matériau définis par défaut pour les semi-conducteurs standard)
- **MODELS** : indique les carreaux constitutifs du modèle, ils indiquent les inclusions de différents mécanismes physiques, de modèles ou des autres paramètres comme par exemple la température globale pour la simulation.
- **CONTACT** : indique les attributs physiques d'une électrode.
- **INTERFACE** : indique les paramètres d'interface aux frontières de semiconducteur/ isolant. Tous les paramètres s'appliquent seulement aux nœuds de frontière exceptés la où ils sont déjà indiqués.
- **METHOD** : place les méthodes numériques à employer pour résoudre les équations et les paramètres liés à ces algorithmes.

**II.2 L'ordre des commandes**

L'ordre est très important dans ATLAS, il y a 05 groupes d'instructions qui doivent apparaître dans un ordre correct comme le montre la figure

	groupe	instruction
1.	spécification de la structure	MESH REGION ELECTRODE DOPING
2.	spécification du modèle	MATERIAL MODELS CONTACT INTERFACE
3.	méthode numérique	METHOD
4.	la solution	LOG SOLVE LOAD SAVE
5.	analyse	EXTRACT TONY PLOT

*Figure 26 : Ordre des commandes [05].*

**II.3 Equations de base**

De façon très succincte, nous pouvons dire que ce simulateur de dispositifs est basé sur la résolution simultanée de l'équation de Poisson et de l'équation de continuité.

**✚ L'équation de Poisson**

Elle montre la relation entre le potentiel et la densité des porteurs.

$$\epsilon \Delta V = -q(p - n + N_D^- - N_A^+) \tag{22}$$

Où :

$\epsilon$  est le constant diélectrique,  $V$  le potentiel,  $\Delta V$  le Laplacien du potentiel,  $q$  est la charge élémentaire d'électrons,  $N_D^-$  et  $N_A^+$  sont les concentrations des dopants donneurs et accepteurs ionisées,  $n$  et  $p$  sont les densités des porteurs.

**✚ Les équations de continuité**

L'évolution temporelle des densités de porteurs obéit aux équations de continuité pour les électrons et les trous :

$$\begin{aligned} \frac{\partial n}{\partial t} &= \frac{1}{q} \operatorname{div} \vec{J}_n + G_n - U_n \\ \frac{\partial p}{\partial t} &= \frac{1}{q} \operatorname{div} \vec{J}_p + G_p - U_p \end{aligned} \tag{23}$$

Où  $G$  et  $U$  sont respectivement les taux de génération et de recombinaison des porteurs,  $J_n$  et  $J_p$  sont les densités des électrons et des trous.

Les dérivations basées sur la théorie de transport de Boltzmann ont prouvé que la densité des courants dans les équations de continuité peut être définie par le modèle d'entraînement –diffusion. Les densités de courants sont exprimées en deux termes le premier correspond à l'entraînement des charges par le champ électrique, le second correspond à la diffusion des porteurs.

**✚ Les équations de courant**

$$\begin{aligned} \vec{J}_n &= qn \mu_n \vec{E} + qD_n \overrightarrow{\operatorname{grad} n} \\ \vec{J}_p &= qp\mu_p \vec{E} + qD_p \overrightarrow{\operatorname{grad} p} \\ \vec{E} &= -\overrightarrow{\operatorname{grad} V} \end{aligned} \tag{24}$$

Où :

$n$  est la densité des électrons à une dimension,  $p$  est la densité des trous à une direction,  $\mu_n$  est la mobilité des électrons,  $\mu_p$  est la mobilité des trous,  $D_n$  est le coefficient de diffusion des électrons,  $D_p$  est le coefficient de diffusion des trous, ils sont définis par la relation d'Einstein :

$$D_n = \frac{KT}{q} \mu_n \quad (25)$$

$$D_p = \frac{KT}{q} \mu_p$$

#### II.4 Les modèles physiques utilisés

Les modèles physiques dans les semi-conducteurs ont été modélisés sous la forme d'expressions mathématiques reliant le potentiel électrostatique et la densité des porteurs. La modélisation physique est réalisée en tenant compte de la probabilité d'occupation des niveaux d'énergie, de la mobilité des porteurs et des différents types de recombinaison et de génération.

Pour l'ensemble des simulations TCDA effectués dans cette étude, les différents modèles utilisés sont :

- **Le modèle de Fermi** (pour la simulation technologique de la diffusion ;
- **le modèle de Lombardi** (pour la simulation électrique) ;
- **Le modèle de Shockley –Read-Hall** (recombinaison-génération).

##### a. Le modèle de Lombardi (pour la simulation électrique) [05]

La mobilité des porteurs (électrons et trous) dépend du champ électrique qui accélère les électrons et les trous, la température du réseau et la concentration des dopants. La dégradation de la mobilité se produit à l'intérieur des couches d'inversion.

La modélisation de la mobilité la plus complète est basée sur le modèle de Lombardi. C'est un modèle de mobilité qui prend en compte la variation de la mobilité avec le champ électrique, la concentration de dopants et la température. Ce phénomène est introduit par le simulateur en ajoutant CVT dans la commande MODELS. Lombardi suppose que la mobilité des porteurs  $\mu_T$  peut être considérée, en utilisant la règle de Mathiessen, comme étant la somme de trois termes :

$$\frac{1}{\mu_T(E_T)} = \frac{1}{\mu_{ac}(E_T, T)} + \frac{1}{\mu_b(N_A, T)} + \frac{1}{\mu_{sr}(E_T)} \quad (26)$$

- **Mobilité due au “Phonon Scattering”  $\mu_{ac}$ :**

$$\mu_{ac}(E, T) = \left( B \cdot \frac{T}{E_T} + C \cdot \frac{N_A^\tau}{E_T^{1/3}} \right) \cdot T^{-1} \quad (27)$$

Où les coefficients B, C et  $\tau$  sont des constantes qui, dans PISCES, valent par défaut : B = 4,75.10<sup>7</sup> cm/s, C = 1,74.10<sup>5</sup> (MKSA) et  $\tau = 0,125$  pour les électrons.

- **Mobilité dans la zone volumique  $\mu_b$**

L’expression de la mobilité des électrons dans la zone volumique, en fonction de la concentration en impuretés  $N_A$  et de la température, découle de l’expression de Masetti-expression :

$$\mu_b(N_A, T) = \mu_{min} + \frac{\mu_{max}(T) - \mu_{min}}{1 + \left( \frac{N_A}{N_{ref,1}} \right)^{\alpha_1}} - \frac{\mu_1}{1 + \left( \frac{N_{ref,2}}{N_A} \right)^{\alpha_2}} \quad (28)$$

- **Mobilité due au “Surface Roughness Scattering”  $\mu_{sr}$  :**

Le “Surface Roughness Scattering” est connu pour diminuer fortement la mobilité en surface à basse température et à fort champ électrique. Lombardi propose, pour  $\mu_{sr}$ , l’expression suivante en fonction du champ électrique transverse :

$$\mu_{sr}(E_T) = \frac{\delta}{E_T^2} \quad (29)$$

Où  $\delta$  est une constante dont plusieurs auteurs ont estimé la valeur. Par défaut, cette valeur est, dans PISCES :  $\delta = 5,82.10^{14} \text{V}^2/\text{cm}$

**b. Modèle de SRH (Shockley-Read-Hall) [14]**

**🚧 Recombinaison volumique**

Le processus de recombinaison Shockley-Read-Hall est schématisé sur la figure 27. Il fut pour la première fois explicité par Shockley, Read et Hall. Ce processus fait appel à des niveaux d’énergie voisins du milieu du gap (niveaux appelés pièges, dus à certains défauts cristallins ou à la présence de certaines impuretés dans le cristal) qui facilitent la recombinaison des porteurs par un mécanisme en deux étapes. Un électron de la bande de conduction va d’abord se relaxer sur un niveau d’énergie intermédiaire lié à un défaut. Ensuite, une deuxième relaxation va lui permettre de se recombiner avec un trou de la bande de valence. L’efficacité de ce processus dépend de la densité des niveaux profonds et par suite, de

la qualité du matériau utilisé et de sa technologie d'élaboration. La recombinaison Schokley-Read-Hall est modélisée par :

$$R_{RSH} = \frac{np - n_i^2}{\tau_n \left[ p + n_i \exp\left(\frac{-(E_t - E_i)}{KT}\right) \right] + \tau_p \left[ n + n_i \exp\left(\frac{(E_t - E_i)}{KT}\right) \right]} \quad (30)$$

Où  $E_t$  est la position énergétique des états de piège,  $E_i$  est le niveau de Fermi dans le semi-conducteur intrinsèque,  $\tau_n, \tau_p$  sont respectivement la durée de vie pour les électrons et les trous,  $n_i$  est la concentration intrinsèque,  $k$  est la constante de Boltzmann et  $T$  la température en Kelvin.

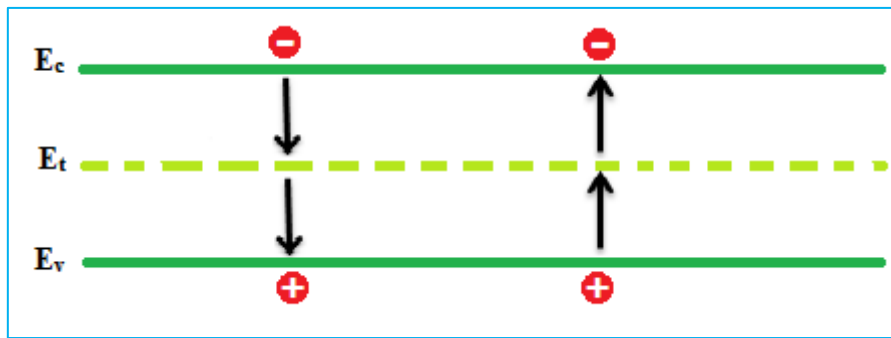


Figure 27: Mécanisme de recombinaison Schokley-Read-Hall (SRH).

#### Recombinaison en surface

Les mécanismes précédents constituent des recombinaisons ayant lieu dans le volume du matériau. Il faut également considérer les recombinaisons en surface dont le mécanisme est représenté sur la 28. Dans ce cas, le formalisme du mécanisme de recombinaison SRH peut être reformulé avec des recombinaisons par unité de surface plutôt que par unité de volume. Le taux de recombinaison à la surface est donné par l'expression [14].

$$R_{surf} = \frac{np - n_i^2}{\tau_p^{eff} \left[ p + n_i \exp\left(\frac{(E_t - E_i)}{KT}\right) \right] + \tau_n^{eff} \left[ n + n_i \exp\left(\frac{-(E_t - E_i)}{KT}\right) \right]} \quad (31)$$

Avec:

$$\frac{1}{\tau_n^{eff}} = \frac{1}{\tau_n^i} + \frac{d_i}{A_i} S_n \quad (32)$$

$$\frac{1}{\tau_p^{eff}} = \frac{1}{\tau_p^i} + \frac{d_i}{A_i} S_p$$

Equations dans lesquelles  $\tau_n^{eff}$  est la durée de vie effective,  $d_i$  et  $A_i$  sont la longueur et l'épaisseur de l'interface,  $S_n$  et  $S_p$  sont respectivement la vitesse de recombinaison pour les électrons et les trous. Par défaut :  $S_n = S_p = 0 \text{ cm/s}$ .

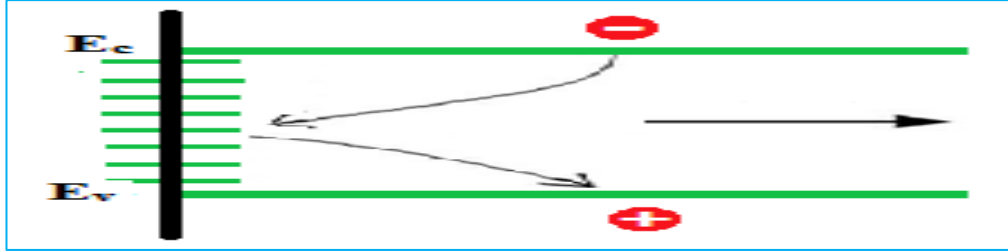


Figure 28: Mécanisme de recombinaison en surface

### II.5 Les méthodes numériques

Plusieurs méthodes numériques peuvent être utilisées pour résoudre les équations des semi-conducteurs. En général, il y a trois approches : méthode de Gummel, méthode de Newton et la méthode de Block qui est la combinaison des deux premières. Dans cette étude on utilise la méthode de Newton.

- **Méthode de Newton**

Pour résoudre les équations de courant, de Poisson et de continuité ; des méthodes numériques doivent être utilisées afin de trouver les solutions. Deux méthodes sont généralement utilisés à savoir la méthode de Gummel et la méthode de Newton

En général la méthode de Newton est préférée à une polarisation forte ; C'est une procédure qui résout les équations en ensemble, on écrit les équations précédentes sous la forme résiduelle :

$$w_v(v, n, p) = 0 \tag{33}$$

$$w_n(v, n, p) = 0$$

$$w_p(v, n, p) = 0$$

Les solutions sont alors obtenus par:

$$V(k + 1) = V(k) + \Delta v(k) \tag{34}$$

$$n(k + 1) = n(k) + \Delta n(k)$$

$$p(k + 1) = p(k) + \Delta p(k)$$

Ou k indique le nombre d'itération.

### III. L'organigramme de fabrication du LDMOS

L'organigramme suivant montre à nous les différentes étapes de fabrication simulé à l'aide de SILVACO :

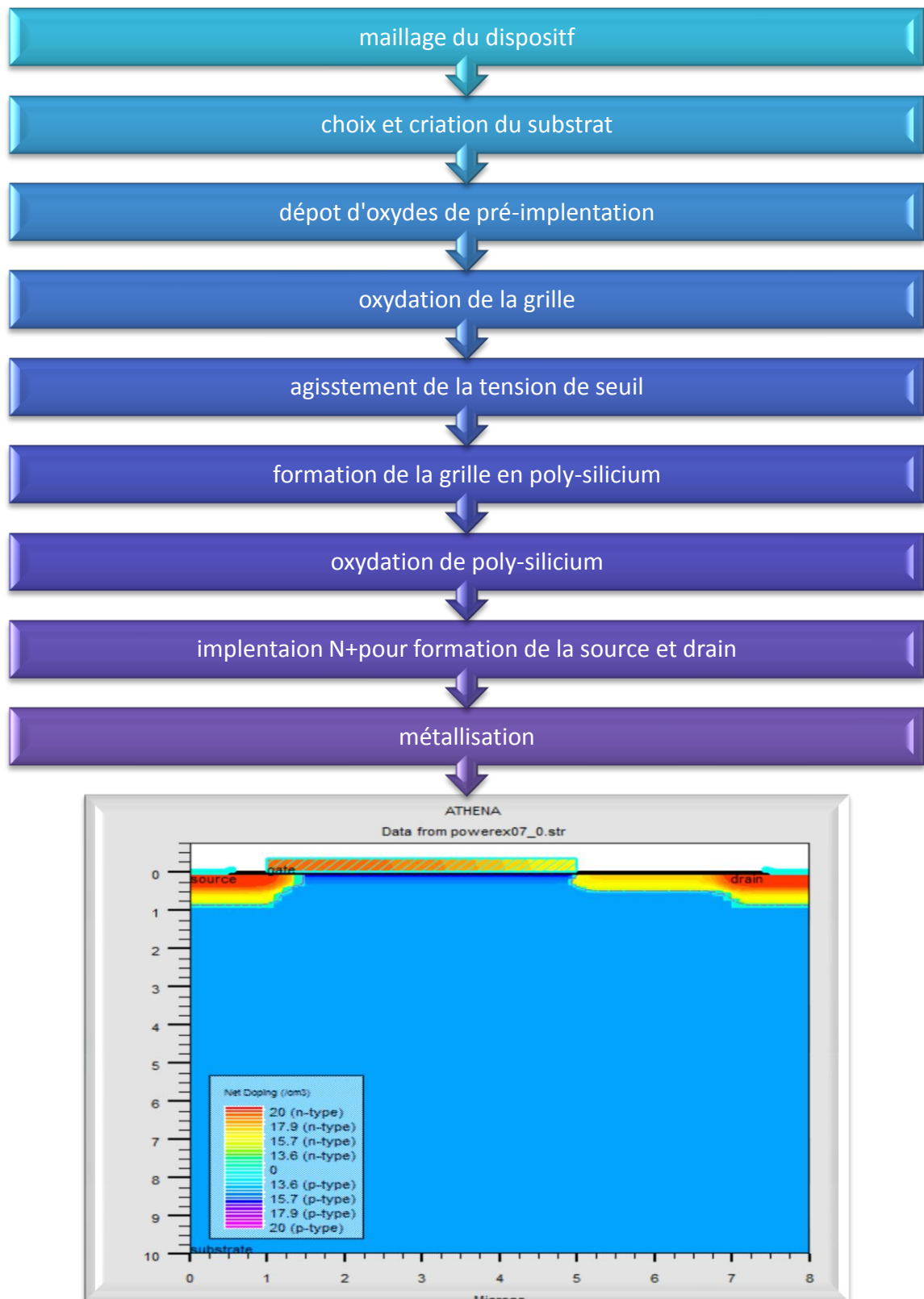


Figure 29 : Organigramme de la conception de transistor LDMOS



#### IV. Les procédés technologiques pour la fabrication de LDMOS

Comme références, nous avons choisi un exemple de simulation proposé par le logiciel SILVACO ; où on a un ensemble des paramètres fixés. Ces paramètres (dopage, dimension de dispositif, la température la pression, etc.) sont défini par la technologie de fabrication.

Les paramètres technologiques et géométriques du LDMOS simulé sur Athéna sont présentés sur le tableau suivant :

**Tableau 01** : Les paramètres de la structure de référence simulée par SILVACO

(Exemple de LDMOS Breakdown).

Paramètre	Notation	Valeurs simulées
La Longueur	L	8 $\mu$ m
La largeur	W	10 $\mu$ m
La longueur de grille	L <sub>g</sub>	4 $\mu$ m
L'épaisseur de l'oxyde	T <sub>ox</sub>	54nm
L'épaisseur de poly-silicium	T <sub>poly</sub>	0.35nm
L'épaisseur du métal (Al)	T <sub>m</sub>	0.5 nm
Dopage du substrat (Bore)	N <sub>épi</sub>	1.10 <sup>15</sup> cm <sup>-3</sup>
Dopage de Pbody (Bore)	N <sub>d</sub>	6.10 <sup>11</sup> cm <sup>-3</sup>
Dopage de n+ du S/d (Phosphore)	N <sub>a</sub>	2.10 <sup>12</sup> cm <sup>-3</sup>

##### IV.1 Maillage du dispositif

Le format général de définition de maillage est :

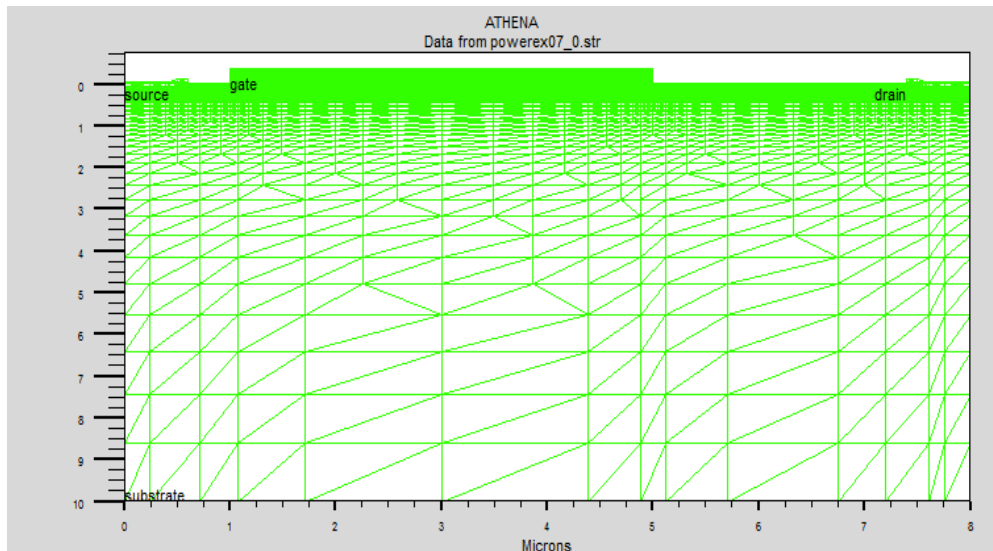
MESH X.LOCATION = <VALEUR> ESPACEMENT = <VALEUR>

MESH Y.LOCATION = <VALEUR> ESPACEMENT = <VALEUR>

Les spécifications des mailles impliquent une compensation entre les conditions de l'exactitude et de l'efficacité numérique. L'exactitude exige une maille fine qui rend le programme converge facilement. L'efficacité numérique exige une maille épaisse qui réduit au minimum tout le nombre de points de grille donnant une réduction du temps d'exécution.

La méthode numérique utilisée pour résoudre les équations physiques est la méthode des éléments finis. Son principe de base est la discrétisation par éléments des équations à traiter.

Le maillage doit être très fin pour les régions telles que la région du canal, les jonctions drain/substrat et source/substrat. Comme la figure suivante montre :



*Figure 30 : Maillage utilisé pour la simulation*

#### IV.2 Initial et choix du matériau de substrat

La première étape de la fabrication des différents dispositifs microélectroniques est la réalisation du substrat ; on commence par le choix du matériau.

```

line x loc=0 spac=0.4
line x loc=0.5 spac=0.1
line x loc=0.6 spac=0.1
line x loc=1 spac=0.08
line x loc=2 spac=0.3

line x loc=3 spac=0.5
line x loc=5 spac=0.05
line x loc=6 spac=0.3
line x loc=7 spac=0.1
line x loc=7.4 spac=0.1
line x loc=7.5 spac=0.1
line x loc=8 spac=0.4

#
line y loc=0.00 spac=0.01
line y loc=0.2 spac=0.015
line y loc=0.5 spac=0.06
line y loc=1 spac=0.12
line y loc=10.0 spac=2.0
#
init orientation=100 c.boron=1e15

```

Pour cette technologie, un substrat de silicium de type P, le Bore est dopé avec une concentration de  $1 \times 10^{15} \text{ cm}^{-3}$  dans le substrat avec une orientation cristalline  $\langle 100 \rangle$ .

### IV.3 Oxydation de masque

```
# sacrificial[ oxide
diffus time=30 temp=1000 dryo2
#
etch oxide all
```

Pour la croissance d'une couche mince d'oxyde de silicium  $\text{SiO}_2$  de  $570\text{\AA}$ . L'épaisseur de la couche d'oxyde est mesurée directement sur la structure. Cette couche joue le rôle de contamination du substrat.

### IV.4 Oxydation de la grille

```
# gate oxide growth
# make sure more than one grid point is included within the gate oxide thickness
method grid.ox=0.01
diffus time=50 temp=1000 dryo2 press=1.00 hcl=3
#
extract name="gateox" thickness material="SiO-2" mat.ocno=1 x.val=-10
```

L'oxyde de grille a été réalisé en utilisant une oxydation thermique sèche du silicium. L'oxyde est diffusé sur la surface de la couche de silicium à une température de  $1000^\circ\text{K}$  et une pression atmosphérique.

### IV.5 Ajustement de la tension de seuil

```
# vt adjust implant
implant boron dose=6e11 energy=20 pearson
```

La tension de seuil du LDMOS est un paramètre très important, et doit soigneusement être commandée. Cette étape permet d'implanter le Bore pour ajuster la tension de seuil et une faible énergie d'implantation ionique ajuster aussi la tension de seuil du LDMOS. L'énergie dans cette étape est  $20 \text{ KeV}$  et la dose de Bore est  $6 \times 10^{11} \text{ cm}^{-3}$ .

#### IV.6 Dépôt de la grille en poly-silicium

```
# Poly deposition
depo poly thick=0.35 divi=10

# Poly definition
etch poly left pl.x=1
etch poly right pl.x=5
# slightly relax grid
relax y.min=0.4 dir.y=f
relax y.min=0.4 dir.y=f
```

Dans cette simulation, on a utilisé une grille en poly-silicium, au lieu d'une grille en métal à cause de ses avantages et ses propriétés qui nous permettent des améliorations considérables. L'épaisseur de poly-silicium ici est 350nm d'épaisseur est déposé sur la couche d'oxyde. Ensuite, le poly-silicium et l'oxyde sont gravés pour une taille correcte à partir du deux cotés droite et gauche.

#### IV.7 Implantation du caisson N<sup>+</sup>

```
# Light n+ implant
implant phosphor dose=2e12 energy=100 pearson
# S/D mask and implant
depo barrier thick=0.01 div=1
etch barrier left pl.x=2
etch barrier right pl.x=7
implant phos dose=3.0e15 energy=100 pearson
strip
```

Cette opération consiste à introduire des atomes ionisés projectiles avec suffisamment d'énergie pour pénétrer la plaquette. Le caisson d'épaisseur de 10 °A est formé en utilisant une implantation de phosphore avec une énergie de 100KeV et une concentration de  $2 \cdot 10^{12} \text{cm}^{-3}$

#### IV.8 Oxydation de poly-silicium

```
# final anneal
method fermi compress
impurity i.phosph poly /oxide trn.0=0.0
diffuse time=30 temp=1000 nitro press=1.0
```

Le poly-silicium est implanté par des ions de phosphore .à une température de 1000°C et une durée de 30 second et une pression de *1 atm*.

#### IV.9 La métallisation

```
# Contact metal deposition and etching[
deposit alumin thick=0.1 divi=2
etch alumin start x=0.6 y=-10
etch cont x=0.6 y=10
etch cont x=7.4 y=10
etch done x=7.4 y=-10

# electrode naming
electrode name=source x=0.3
electrode name=gate x=2 y=0.0
electrode name=drain x=7.7
electrode name=substrate backside
```

Après la formation des électrodes de drain et source ,devient l'étape de métallisation .

Cette étape défini consiste à déposer une couche de métale sur la surface pour la relier électiquement .l'aluminium est le métal le plus à cause de ces propriétés électrique (faible résistivité).

#### V. Caractéristique courant- tension de drain

La figure suivante, présente la caractéristique  $I_d - V_d$  qu'on a obtenu à partir des paramètres que l'on est défini précédemment. Cette caractéristique nous permet de définir la tension de claquage  $BV_{ds}$ .

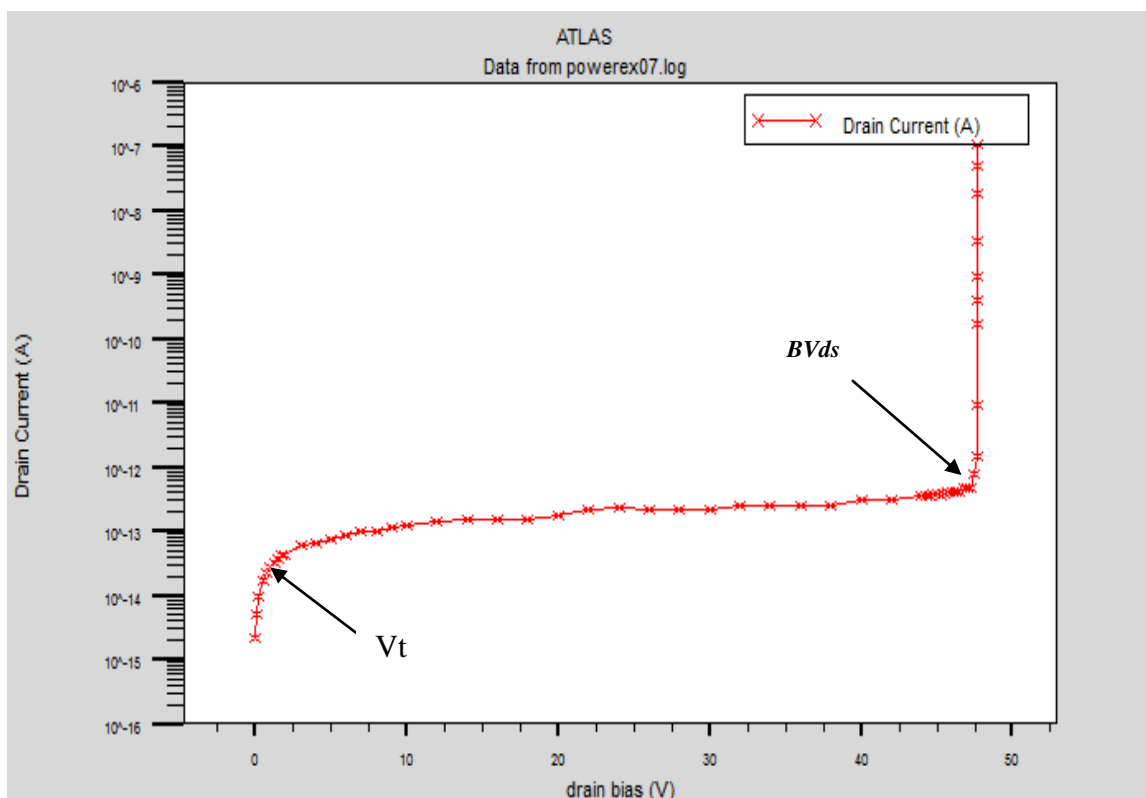


Figure 31 : Caractéristique  $I_d$ - $V_d$  obtenu par SILVACO (échelle logarithmique).

A partir de cette courbe, nous pouvons définir plusieurs paramètres tels que la tension de seuil, la tension de claquage et aussi la résistance passente.

Tableau 02: Paramètres électriques

paramètre	$V_t$ (V)	$I_d$ (A)	$V_d$ (V)	$BV_{ds}$ (V)	$R_{on}$ (mohm)
Son valeur	3	$10^{-14.65}$	0.03	47V	0.30

### Conclusion

Dans ce chapitre, nous avons présenté le logiciel TCAD-SOLVACO, ses commandes, ses modèles physiques et ses méthodes numériques. Nous avons cité les différentes étapes de fabrication d'un LDMOS, sa structure et ses différents paramètres électriques.

# **CHAPITRE IV**

## ***RESULTATS DE SIMULATION***

## I. Introduction

La tension de claquage est un des paramètres les plus importants pour définir le comportement d'un transistor. Elle définit une limite que ne l'on peut pas dépasser pour que le dispositif ne se détruit pas.

Nous avons donné précédemment la relation de la tension de claquage (éq13) avec le dopage  $N_d$  et le champ électrique critique  $E_c$  et autres paramètres :

$$BV_{ds} = \frac{\epsilon_{Si} E_c^2}{2qN_d} \quad (35)$$

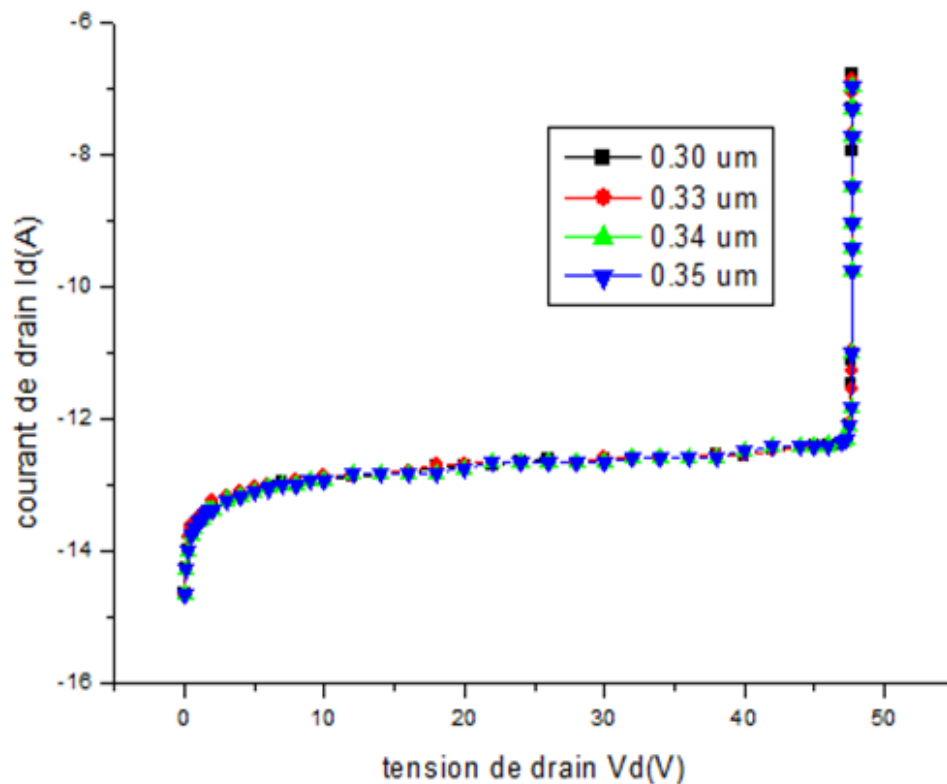
Dans ce travail, la partie de simulation est consacré spécifiquement à l'étude de la tension de claquage. Pour cela, nous allons faire varier des paramètres technologiques (la longueur, la largeur et dopage ...).

## II. Effets de la variation des dimensions sur la tension de claquage

### II.1 Variation de l'épaisseur de poly-silicium

On joue dans cette partie du travail sur l'épaisseur du poly-silicium de la grille, pour voir son effet sur la tension de claquage. On utilise des épaisseurs  $T_{poly} = (0.30, 0.33, 0.34, 0.35) \mu m$  qui vont nous permettre de tracer les graphes suivantes :





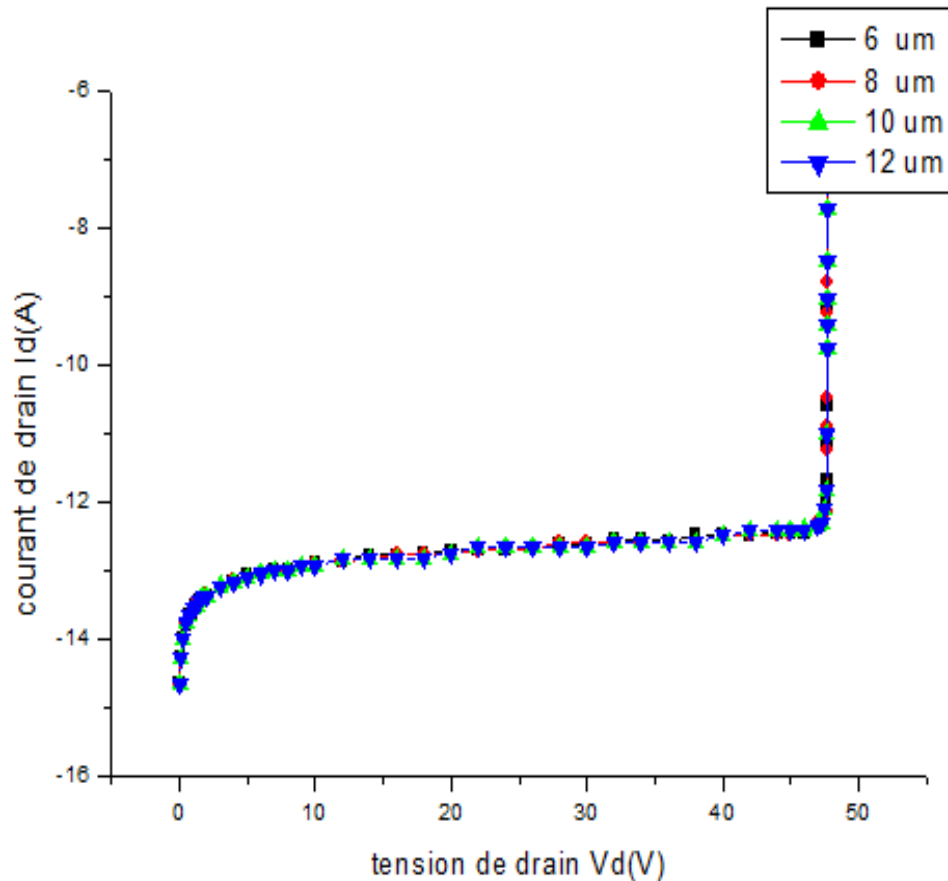
*Figure 32 : Caractéristiques  $I_d - V_d$  pour différents épaisseurs de poly-silicium*

Nous remarquons à partir de ces graphes obtenus par simulation que la variation de l'épaisseur de Poly-silicium de grille n'a aucun effet sur la caractéristique  $I_d - V_d$  et donc la tension de claquage ne change pas.

## II.2 Variation de la largeur du dispositif W

On fait varier la largeur W dans cette partie de travail, pour voir son effet sur la tension de claquage. On prend des largeurs W variant de 4 à 10  $\mu m$  avec un pas de 2  $\mu m$  et les mêmes paramètres qu'on a utilisés précédemment : une longueur de grille  $L_g = 4 \mu m$  et une épaisseur d'oxyde  $T_{ox} = 54 nm$ .

Les résultats obtenus par la simulation sont montrés sur la figure 34 :



**Figure 33 :** Caractéristiques  $I_d - V_d$  pour différentes valeurs de largeur  $W = (6, 8, 10, 12) \mu\text{m}$ .

Ces résultats, nous montrent que la variation de la largeur des dispositifs n'a aucun effet sur la valeur de la tension de claquage.

### II.3 Variation de l'épaisseur d'oxyde de la grille

On est intéressé dans cette partie de travail par la variation de l'épaisseur de l'oxyde de la grille  $T_{ox}$ .

Nous avons représenté les caractéristiques  $I_d - V_d$  pour plusieurs valeurs de  $T_{ox}$  pour une longueur de grille  $L_g = 4 \mu\text{m}$ , sur la figure 34. Pour changer les valeurs de l'épaisseur  $T_{ox}$ , on joue sur la valeur du temps de diffusion (80, 70, 60, 40, 50) min pour différentes épaisseurs (75, 65, 41, 54) nm à la température de 300°K et la pression atmosphérique.

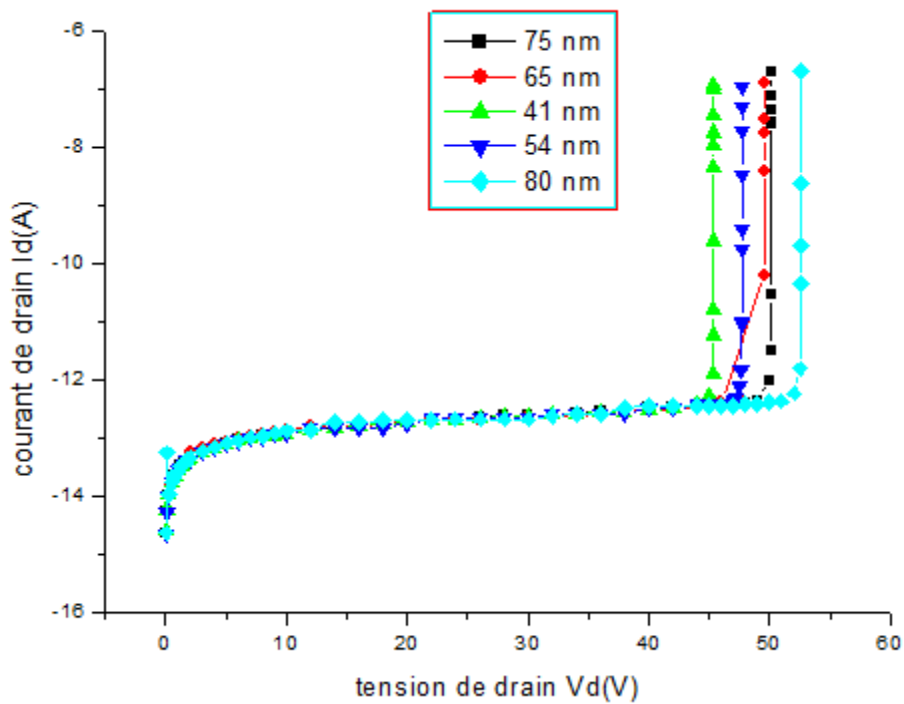


Figure 34 : Caractéristique Id-Vds pour différents valeurs d'épaisseur d'oxyde

Les résultats de simulation que nous avons obtenus, nous permettent de mettre en évidence l'effet de la variation de cette grandeur sur les caractéristiques électriques de notre structure, précisément la tension de claquage.

A partir des graphes que nous avons obtenus, on peut extraire les valeurs de la tension de claquage correspondent à chaque épaisseur. Les valeurs des tensions obtenues sont présentées dans le tableau ci-dessous :

Tableau 03: Tensions de claquage en fonction des épaisseurs de l'oxyde.

Epaisseur <i>Tox</i> (nm)	41	54	65	75	80
Tension de claquage (V)	45	47	49	50	52.5

Puisque le champ électrique critique de l'oxyde de SiO<sub>2</sub> est plus grand que celui du Si, nous remarquons que la tension de claquage *BVds* augmente lorsque l'épaisseur de l'oxyde augmente, et vice et versa. Mais on est obligé de prendre une

épaisseur très mince pour que la grille ne soit pas isolée et la résistance à l'état passant soit très petite.

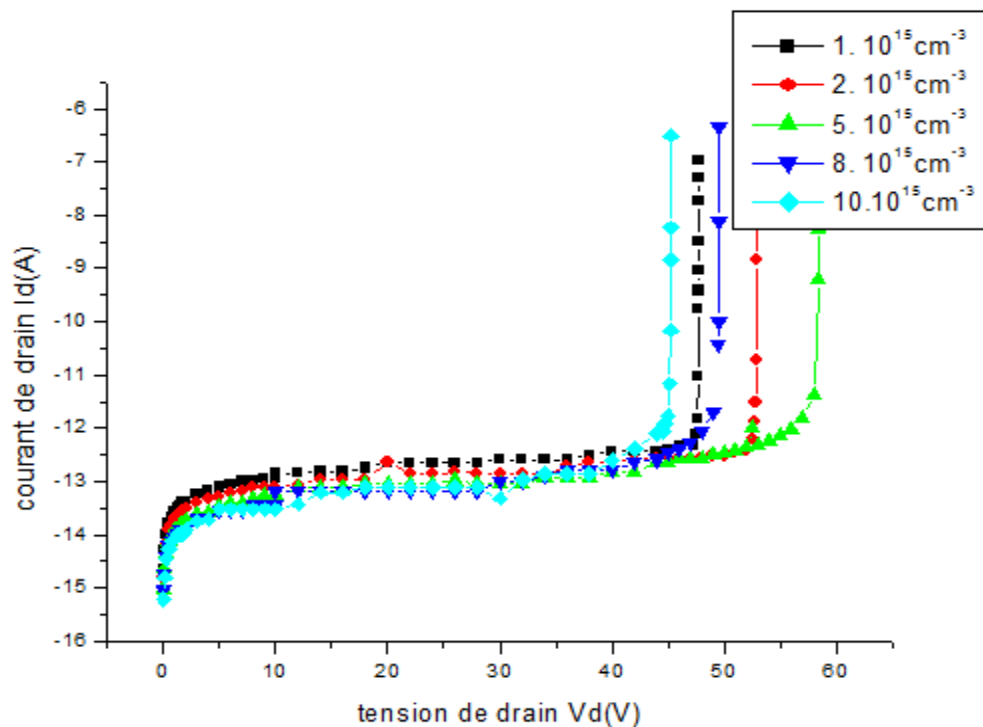
### III. Effet du dopage

Dans cette partie, on va faire varier les concentrations des dopants (accepteurs ou donneurs) dans les différentes régions (substrat, PBody, les zones de drain/source) et on étudiera leurs effets sur la tension de claquage.

#### III.1 Variation du dopage de substrat

Cette partie nous permet de définir les tensions de claquage en fonction des concentrations du dopant (le Bore) dans le substrat. Le graphe 35 nous montre l'effet de variation de la concentration du dopant (Bore) sur le substrat et sur les caractéristiques  $I_d - V_d$ .

On prend des concentrations de Bore  $N_a = (10^{15}, 3.10^{15}, 5.10^{15}) \text{ cm}^{-3}$ .



*Figure 35: Caractéristiques  $I_d - V_d$  pour différents concentrations des dopants dans le substrat.*

A partir de ces graphes, on peut définir la tension de claquage pour chaque concentration. Les valeurs de la tension de claquage sont représentées dans le tableau suivant :

**Tableau04** : Tension de claquage en fonction des concentrations de Na.

Concentration $N_a$ ( $\text{cm}^{-3}$ )	$1.10^{15}$	$3.10^{15}$	$5.10^{15}$	$8.10^{15}$	$10^{16}$
Tension de claquage $BVds(V)$	47.25	52	57	49	44.75

### III.2 Variation du dopage de PBody

Nous nous sommes intéressés dans cette partie par l'effet de la variation des concentrations du dopant (Bore) dans la zone PBody sur la tension de claquage  $BVds$ .

Les résultats obtenues des caractéristiques  $I_d - V_d$  pour des concentrations des dopants accepteurs (Bore)  $N_a = (5.10^{11}, 6.10^{11}, 7.10^{11}, 3.10^{12}) \text{ cm}^{-3}$ , pour une longueur de grille de  $L=4 \mu\text{m}$  et une température de  $300^\circ\text{K}$  sont présentées sur la figure 36.

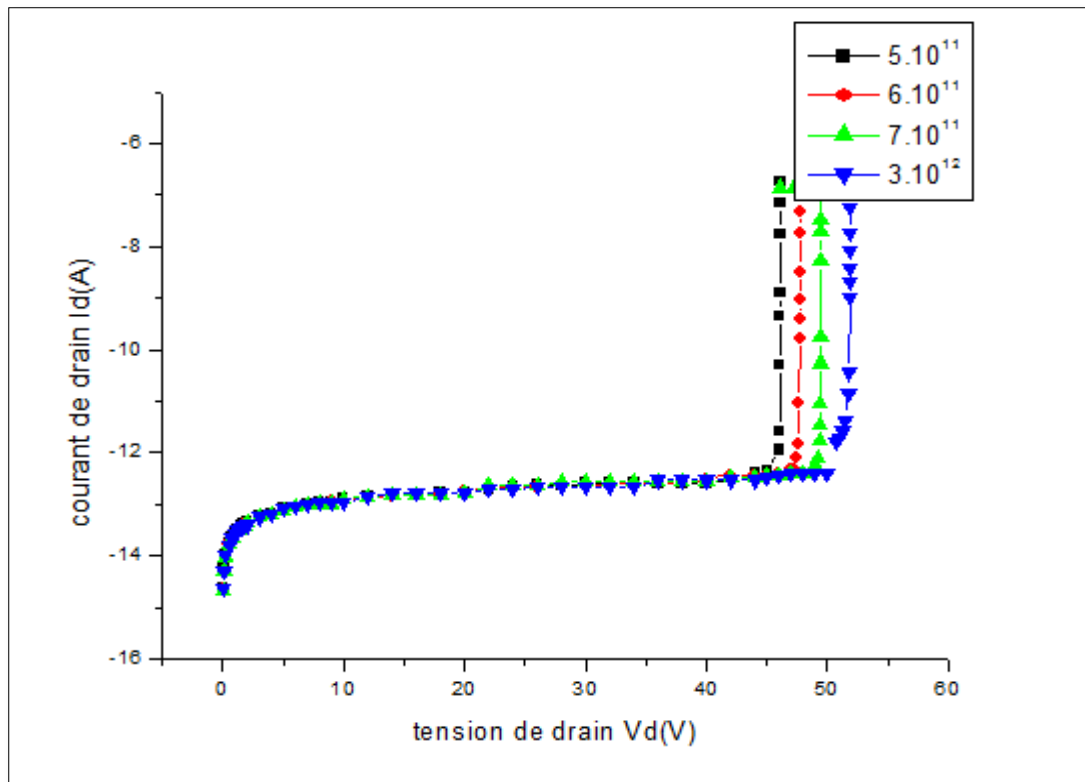


Figure 36 : Caractéristiques  $I_d - V_d$  pour différents concentrations  $N_a$ .

D’après les graphes précédents, nous remarquons que la variation des concentrations des dopants accepteurs influe sur la valeur de la tension de claquage  $BVds$ . Le tableau 05, représente les valeurs de la tension de claquage  $BVds$  obtenues pour chaque concentration  $N_a$  :

Tableau 05 : Tension de claquage pour différents concentrations  $N_a$ .

Concentration $N_a(\text{cm}^{-3})$	$5.10^{11}$	$6.10^{11}$	$7.10^{11}$	$3.10^{12}$
Tension $BVds(V)$	45.5	47	49	50.75

Sur ce tableau nous remarquons que la tension de claquage est proportionnelle à la concentration des dopants dans la zone de PBody.

III.3 Variation du dopage de zone de drain/source (drift)

On étudie dans cette partie l'effet de la variation de la concentration du dopant donneur (Phosphore) dans la zone du drain/source (drift). On fait varier les concentrations  $N_d$ , et on prend  $N_d = (0.5 \cdot 10^{12}, 10^{12}, 2 \cdot 10^{12}, 2.1 \cdot 10^{12}) \text{ cm}^{-3}$ .

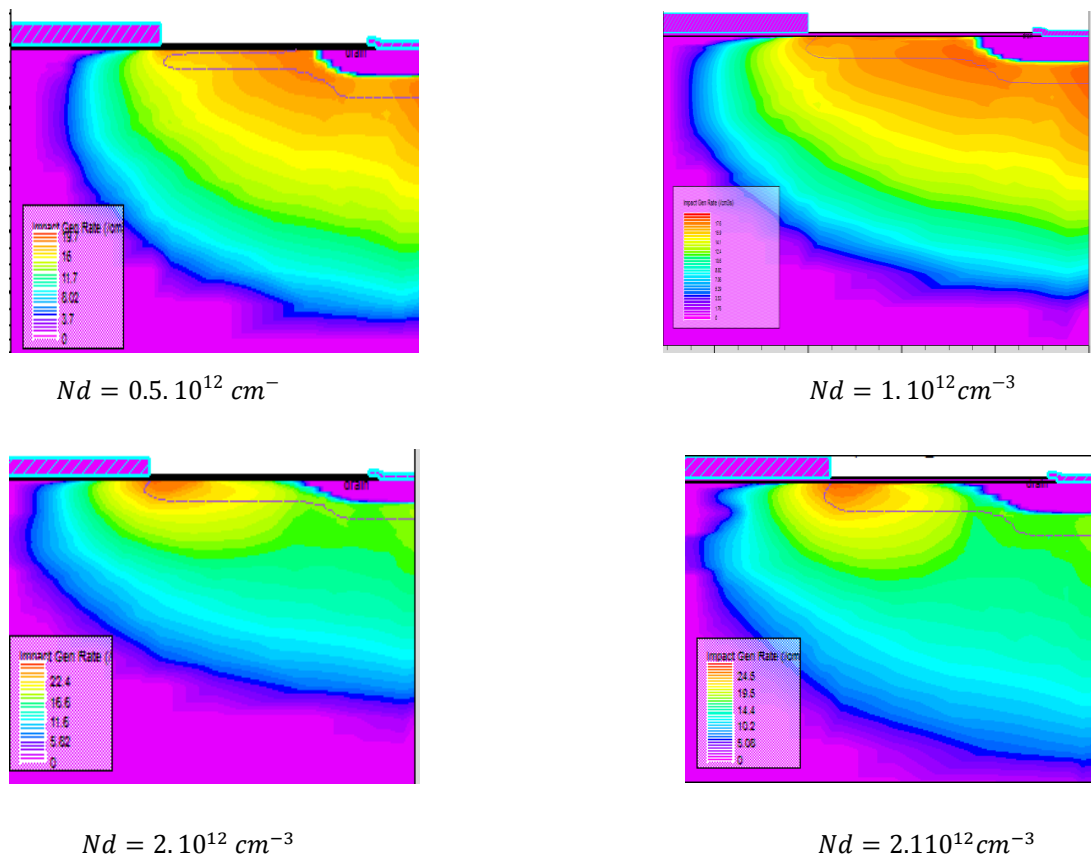


Figure 37: Zone de drift pour différent dopage

Les caractéristiques  $I_d - V_d$  que nous avons obtenues sont montées sur les graphes suivants :

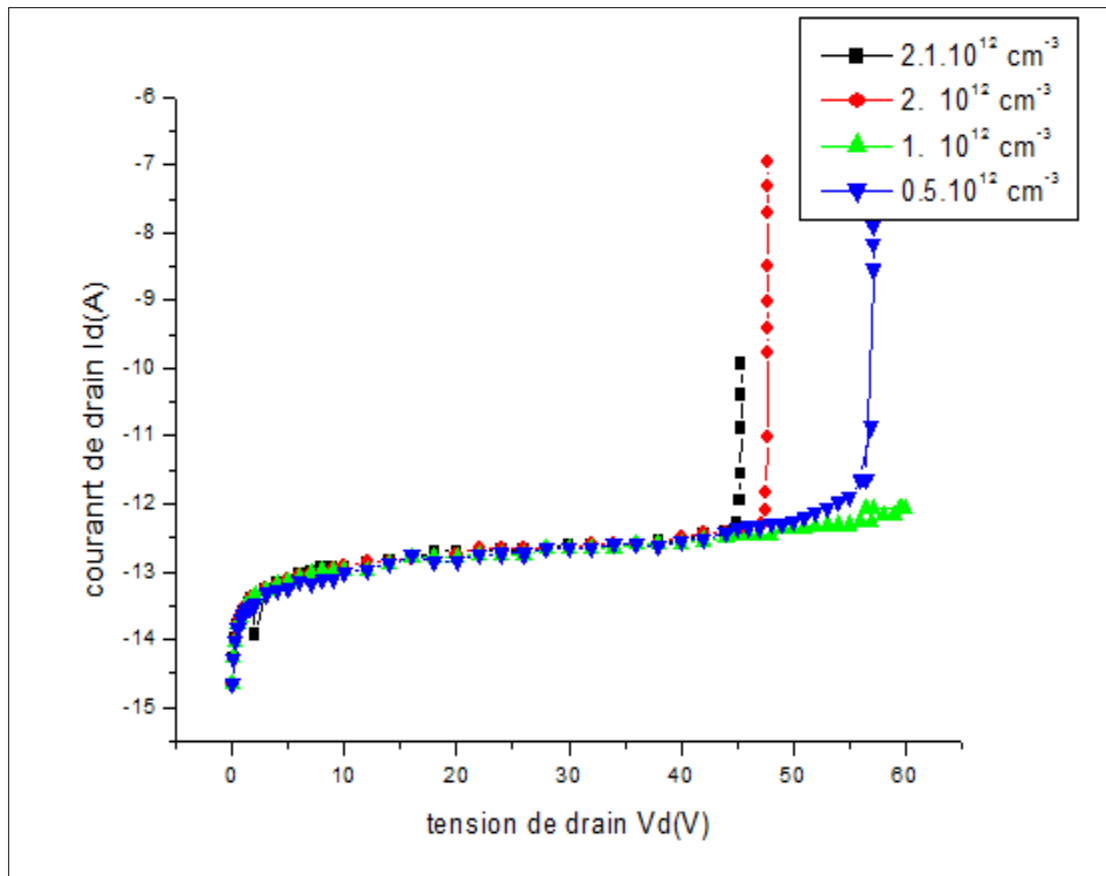


Figure 38 : Caractéristiques  $I_d - V_d$  pour différents concentrations  $N_d$ .

Ces graphes nous permettent d’observer l’effet de la variation des concentrations  $N_d$  sur la tension de claquage. Le tableau 06, donne les tensions de claquage correspondent à chaque concentration.

Tableau 06 : tension de claquage en fonction des concentrations  $N_d$ .

$N_d (cm^{-3})$	0.5	1	2	2.1
Tension de claquage	56.5	60	47	45.5

Sur ce tableau, on peut remarquer que la tension de claquage diminue lorsqu’on augmente le dopage de la jonction  $P^+ / N$ .

Quand on augmente la concentration des dopants  $N_d$ , la zone de  $N^+$  s’élargit et atteint la zone de drift et induit un phénomène de perçage. Ce qui déclenche l’avalanche.



#### IV. Détermination du compromis $S. Ron * BVds$

Le compromis  $Ron * BVds$  est un paramètre très important et très utilisé pour étudier les performances d'un transistor LD-MOS, donc on est obligé de calculer ce compromis  $Ron * BVds$ .

Premièrement, on va calculer les valeurs de la résistance à l'état passant  $Ron$  à partir de l'équation (16) qu'on a défini précédemment :

$$R_{ON} = \left( \frac{V_D}{I_D} \right)_{V_{d \rightarrow 0}} \quad (36)$$

Le tableau suivant représente toutes les tensions de claquage qu'on a obtenu précédemment et les résistances obtenues par le calcul. Par la suite, nous considérons la résistance  $Ron$  par rapport à la surface totale du composant c'est-à-dire le  $S. Ron$  :

- Calcul de la résistance pour différentes concentrations de dopants dans le substrat

**Tableau 07** : Calcul de résistance  $Ron$ .

Dopage ( $\text{cm}^{-3}$ )	Tension de claquage $BVds$ (V)	Courants de drain $I_d$ ( $\mu\text{A}$ )	Résistance $S. Ron$ ( $\text{ohm.m}^2$ )
$10^{15}$	47	2.23	0.30
$3.10^{15}$	52	1.58	0.41
$5.10^{15}$	57	0.912	0.63
$8.10^{15}$	49	0.93	0.60
$10^{16}$	44.75	0.79	0.88

La figure ci-dessous donne un aperçu des performances en terme de  $Ron * BVds$  pour les LDMOS en fonction de la variation du dopants dans le caisson N :

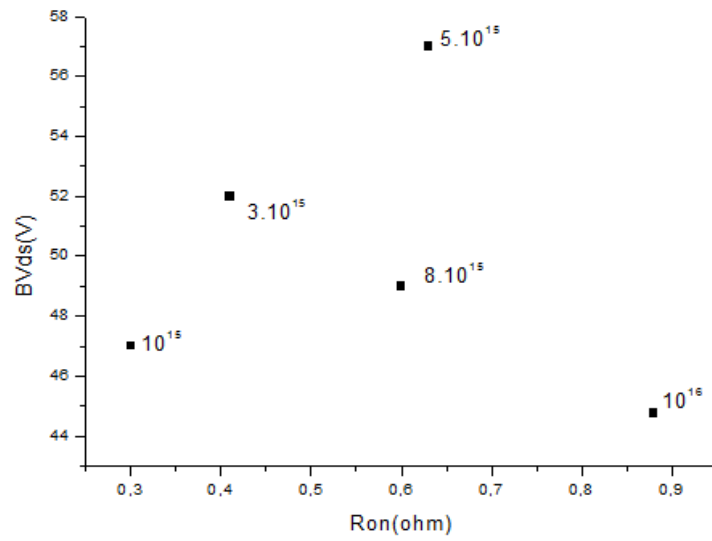


Figure 39: Compromis  $S.Ron \cdot BV_{ds}$  pour différents concentrations de dopants dans le caisson N

b. Calcule de la résistance Ron pour différentes épaisseurs

Tableau 08 : Calcul de la résistance Ron pour différentes épaisseurs

Epaisseur (nm)	Tension de claquage (V)	Courant de drain (pA)	La résistance S.Ron (ohm.m <sup>2</sup> )
41nm	45	2.23	0.26
54nm	47	2.23	0.30
65nm	49	2.18	0.28
75nm	50	2.30	0.28
80nm	52.5	2.29	0.27

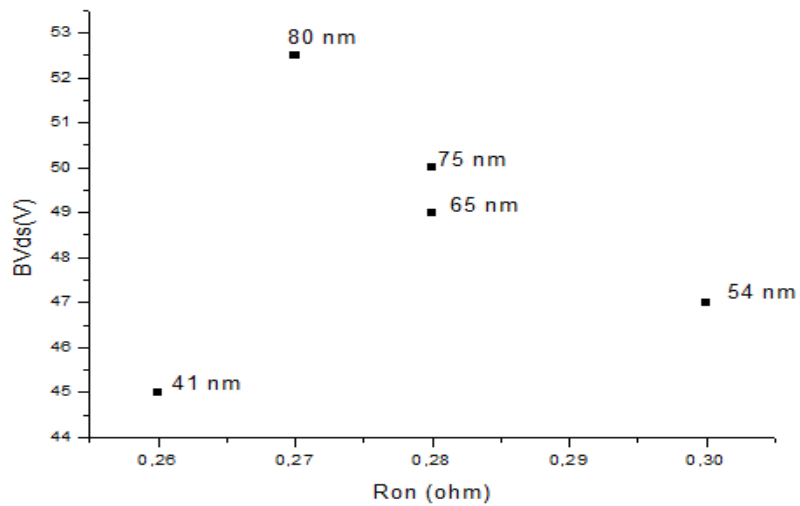


Figure 40 : Compromis  $S.Ron \cdot BVds$  pour différentes épaisseurs.

- c. Calcul de la résistance pour différentes concentrations de dopants dans le PBody

Tableau 09 : Résistance Ron pour différents dopage de PBody

Dopage $cm - 3$	Tension de claquage(V)	Courant de drain (pA)	Résistance S. Ron (ohm.m <sup>2</sup> )
$5.10^{11}$	45.5	2.40	0.25
$6.10^{11}$	47	2.23	0.30
$7.10^{11}$	49	2.56	0.29
$3.10^{12}$	50.75	2.23	0.26

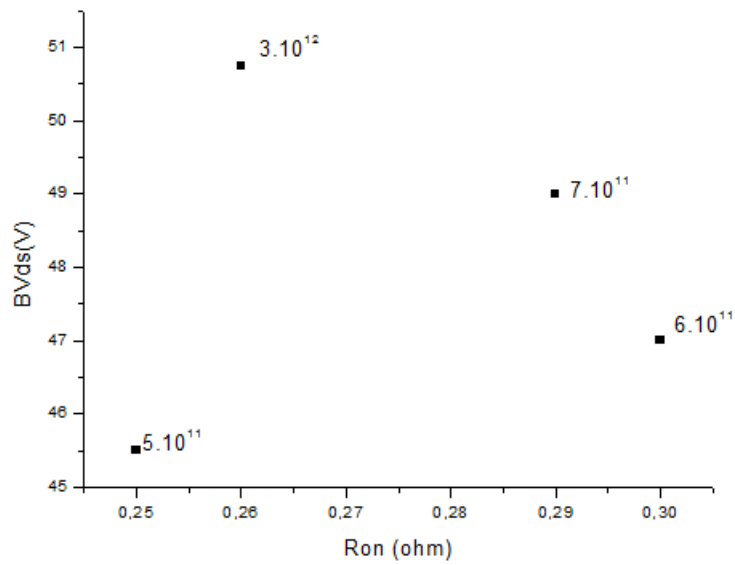


Figure 41 : Compromis  $S \cdot Ron \cdot BVds$  pour différentes concentrations de dopants dans le PBody.

d. Calcul de la résistance pour différentes concentrations de dopants dans le drift.

Tableau 10 : Résistance Ron pour différents dopages de drift.

Dopage $N^+$ ( $cm^{-3}$ )	Tension de claquage (V)	Courant de drain (pA)	S. Ron (mohm. $cm^2$ )
$0.5 \cdot 10^{12}$	56.5	2.18	0.03
$10^{12}$	60	2.18	0.27
$2 \cdot 10^{12}$	47	2.23	0.30
$2.1 \cdot 10^{12}$	45.5	2.13	0.27

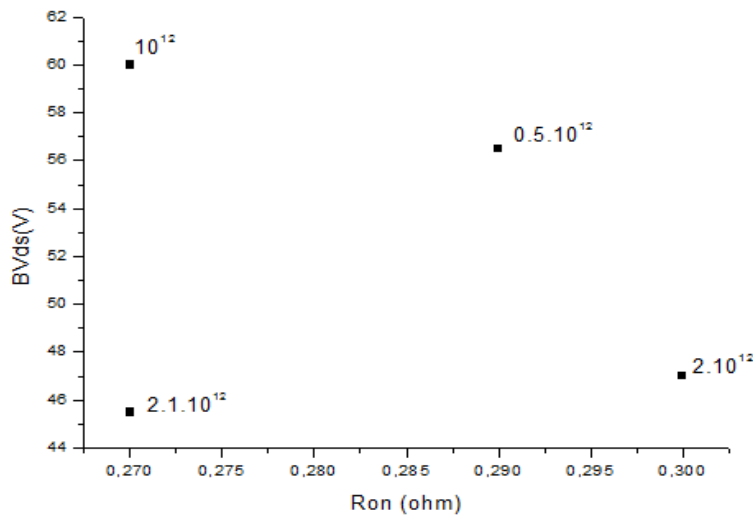


Figure 42: Compromis  $S.Ron \cdot BVds$  pour différentes concentrations de dopants dans le drift.

La figure suivante montre l'association de tous les compromis que nous avons obtenues.

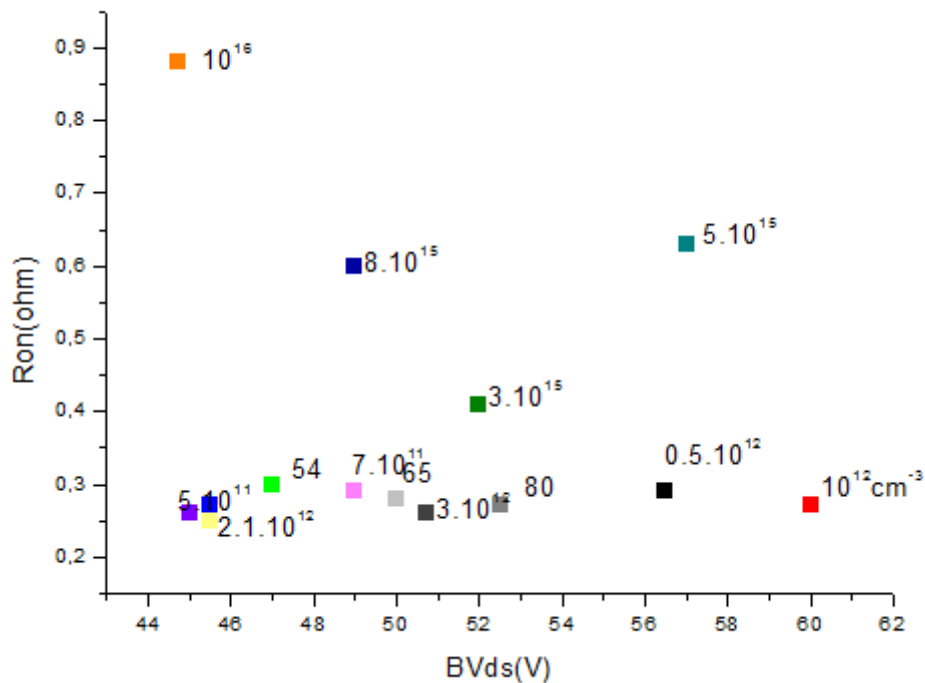


Figure 43 : Illustration du compromis  $S. Ron \cdot BVd$

A partir de ce graphe, nous pouvons dire que la structure qui correspond à un dopage de drift  $Nd=10^{12} \text{ cm}^{-3}$  définit le meilleur compromis.

## V. Bilan

Les simulations effectuées permettent de déterminer dans un premier temps le niveau de dopage et les conditions de fabrication correspondant au compromis  $SRon * BVds$  souhaité. Pour cela un LDMOS avec un dopage uniforme dans la zone de drift est simulé.

La tension de claquage atteint 60V pour un niveau de dopage uniforme ( $Nd = 10^{12} cm^{-3}$ ). Les différents paramètres technologiques et électriques de la structure proposée sont donnés dans le tableau suivant :

*Tableau 11 : Caractéristiques électriques et technologiques du meilleur compromis.*

Paramètre	Sa valeur
Température	300°K
Pression	1atm
La longueur $L$	8 $\mu m$
La largeur $W$	10 $\mu m$
L'épaisseur de l'oxyde $Tox$	54nm
Longueur de grille $Lpoly$	4 $\mu m$
Dopage de caisson N	$10^{15} cm^{-3}$
Dopage de PBody	$6.10^{11} cm^{-3}$
Dopage de drift	$10^{12} cm^{-3}$

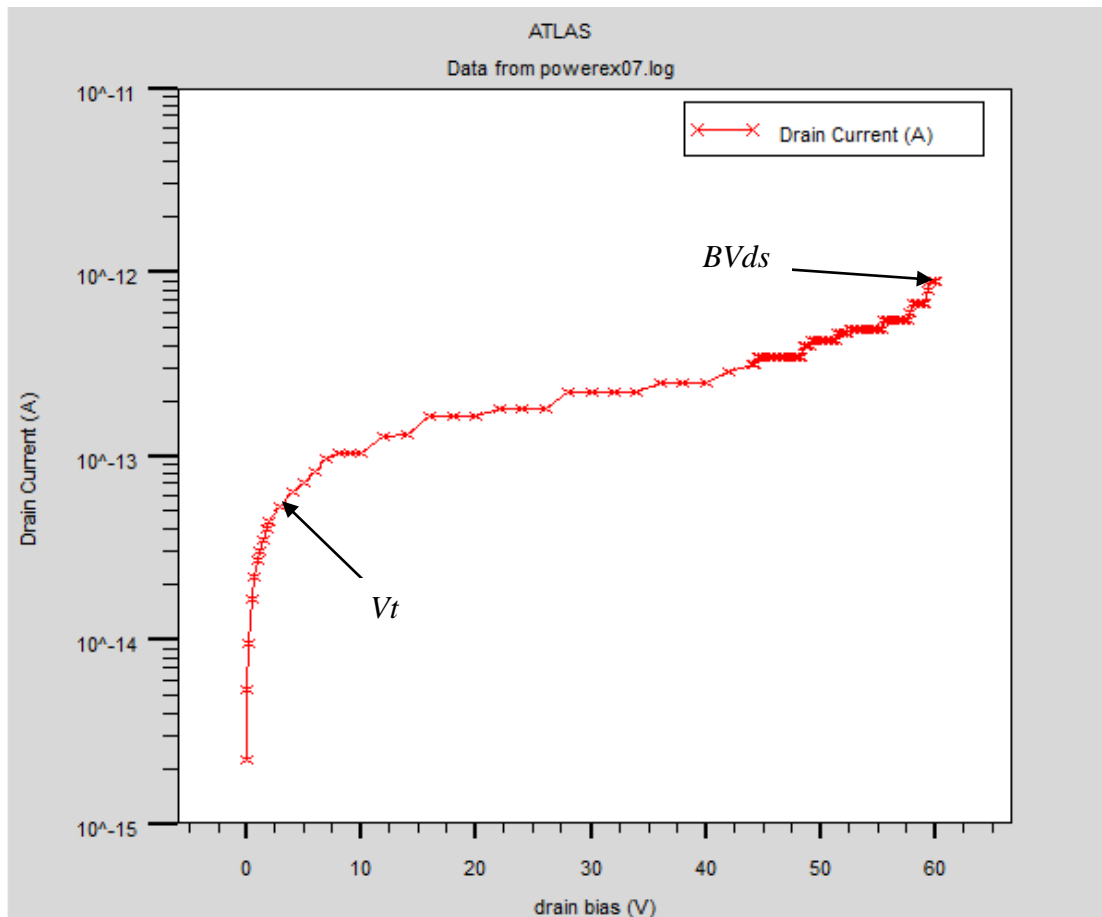


Figure 44: Caractéristiques  $I_d - V_d$  du meilleur compromis

A partir de la figure 44, nous pouvons définir les paramètres électriques de la structure proposée. Le tableau 12, nous présente les performances électriques :

Tableau 12 : Paramètres électriques.

Performances	Valeurs
Tension de seuil $V_t$	1.02V
Tension de claquage $BV_{ds}$	60V
Tension de grille $V_G$	2.5V
Résistance $R_{on}$	0.27mohm

### **Conclusion**

Ce chapitre, nous présente les résultats des simulations effectuées par le logiciel TCAD-SILVACO. Ces résultats nous montrent les effets de variation de plusieurs paramètres sur la tension de claquage :

- ✓ Effet de variation des dimensions (la largeur du dispositif et la longueur de la grille) et aussi effet de variation de l'épaisseur de l'oxyde.
- ✓ Effet de variation des dopants dans les zones de drift, substrat et le PBody.

A partir de ces résultats, nous avons proposé une structure correspond à une tension de claquage élevée (60V).



### Conclusion générale

Ce mémoire a été consacré à l'étude de la structure du transistor de puissance LDMOSFET par le logiciel de simulation TCAD-SILVACO, en tenant compte de toutes les caractéristiques électriques  $I_d - V_d$  de cette structure.

Nous nous sommes particulièrement intéressés à la tension de claquage. Nous avons fait varier pour cela deux paramètres (dimensions et dopage) pour observer leurs effets. Les résultats obtenus nous montre que :

- L'épaisseur de l'oxyde influe beaucoup sur la valeur de la tension de claquage. Son augmentation traduit par une augmentation de la tension de claquage. Mais on est limité par une épaisseur que nous ne pouvons pas la dépasser pour que la grille ne soit pas isolée.
- L'augmentation du dopage dans les zones de PBody et caisson N donne une tension de claquage élevée mais l'augmentation de la zone source/drain  $N^+$  (zone de drift) à un effet néfaste sur la tension de claquage.
- Les dimensions du dispositif n'ont aucune influence sur la tension de claquage.
- Le compromis  $R_{on} \cdot BV_{ds}$  nous permet de proposer une structure performante (la tension de claquage atteint 60 volt).

Comme perspectives de ce travail : Il serait judicieux de continuer ce travail en étudiant :

- L'effet de la variation de la longueur de drift  $L_D$  sur la tension de claquage.
- L'effet du changement des matériaux (silicium et l'oxyde de silicium).
- L'étude d'un transistor LDMOS sur un substrat SOI (Silicon On Insulator).

### Bibliographie

[01] **A. AOUF**, "Modélisation et simulation du nanométrique", [Mémoire de Magistère], Université de TLEMCEM, 2012.

[02] **A. GALADI**, "Etude des propriétés physiques et nouvelle modélisation SPICE de transistor FLIMOS de puissance ", [Thèse de Doctorat], Université Paul Sabatier, TOULOUSE, 2008

[03] **A.HNEINE**, "Approche de modélisation distribuée appliquée aux composants semi-conducteurs bipolaires de puissance en VHDL-AMS Application à la diode PIN de puissance et à l'IGBT ", [Thèse de Doctorat], Université de Toulouse, 2012.

[04] **A.KASHI**, "Optimisation of LDMOS Transistor in Power Amplifiers for Communication Systems", [Thèse de Doctorat], Linköpings Universitet, Sweden, 2010.

[05] **ATLAS**, "User's Manual DEVICE SIMULATION SOFTWARE", 2012.

[06] **C. LAGARDE**, "Modélisation de transistor de puissance technologie GaN : Conception d'un amplificateur de type DOHERTY pour les émetteurs à puissance adaptative ", [Thèse de Doctorat], Université de LIMOGES, 2006

[07] **C.KITTEL**, "Introduction à la physique de l'état solide", [livre], édition Dunod, PARIS, 1972.

[08] **G. TOULON**, " Conception de transistors MOS haute tension en technologie CMOS 0,18  $\mu\text{m}$  sur substrat 'silicium sur isolant' (SOI pour les nouvelles générations de circuits intégrés de puissance", [Thèse de Doctorat], Université TOULOUSE, 2010.

[09] **H. MATHIE et H. FANET**, "Physique des semi-conducteurs et des composants électroniques", [livre] ,6e édition, édition Dunod, PARIS, 2009.

[10] **J. REDOUTEY**, "LES TRANSISTORS A EFFET DE CHAMP MOS", [cours], Université de MARSEILLE, 2011.

[11] **J.CAZAUX**, "Initiation à la physique du solide, exercices commentés avec rappel de cours", [livre], édition Masson, PARIS, 1996.

[12] **M. DOROTHEE**, " Optimisation de potentialités d'un transistor LDMOS pour l'intégration d'amplificateur de puissance RF sur silicium ". [Thèse de Doctorat], Université de LIMOGES, 2006.

## **BIBLIOGRAPHIE**

---

- [13] **M.ABOU EL ATTA EBRAHIM**, "Intégration de composants de puissance LDMOS compatibles BiCMOS pour les systèmes intelligents; couplages substrat", [Thèse de Doctorat], Université de LYON, 2010.
- [14] **M.BOUDAHAJ**, "Etude des propriétés structurales et électriques des cellules TandemIII-V (multicouches : InGaP/GaAs) par simulation TCAD SILVACO". [Mémoire de Master], Université de MOSTAGANEM, 2015.
- [15] **N.BOURAHLA**, "Etude et modélisation des effets de canal court dans N-MOSFET", [Mémoire de Magister], Université de MOSTAGANEM, 2014.
- [16] **O. BON**, "Conception de transistors haute tension complémentaires en technologie 65nm sur substrat silicium sur isolant fin pour applications RF et conversion de puissance" [Thèse de Doctorat], Université Paul Sabatier, TOULOUSE, 2010.
- [17] **O. GONNARD**, "Efficacité d'isolation dans les circuits intégrés de puissance isolés par jonction ", [Thèse de Doctorat], Université Paul Sabatier, TOULOUSE, 2012.
- [18] **O. WEBER**, " Etude, Fabrication et Propriétés de Transport de Transistors CMOS associant un Diélectrique Haute Permittivité et un Canal de Conduction Haute Mobilité" [Thèse de Doctorat], INSA, LYON, 2011.
- [19] **P.O.JEANNIN**, "Le transistor MOSFET en commutation : Application aux associations série et parallèle de composants à grille isolée", [Thèse de Doctorat], INP, GERNOBLE, 2001.
- [20] **P.REYNIER**, "Intégration monolithique d'amplificateurs de puissance multi-bandes à fort rendement pour applications cellulaires", [Thèse de Doctorat], INSA, LYON, 2009.
- [21] **Q. Lu, R. Lin et al.** " Molybdenum Metal Gate MOS Technology for Post-SiO<sub>2</sub> Gate Dielectrics " [Article], University of California at Berkeley, USA
- [22] **R.ZEDEK**, " Etude d'un transistor organique transparent avec PMMA comme isolant de grille", [Mémoire de Magistère], Université de TIZI-OUZOU, 2010.
- [23] **S. BERNARDINI**, "Modélisation des structures Métal-Oxyde-Semiconducteur (MOS) : Applications aux dispositifs mémoires", [Thèse de Doctorat], INSA LYON, 2004.

## BIBLIOGRAPHIE

---

- [24] **S. HNIKI**, "Contribution à la modélisation des dispositifs MOS haute tension pour les circuits intégrés de puissance ("Smart Power")", [Thèse de Doctorat], Université de TOULOUSE, 2010.
- [25] **S. PITTET** "modélisation physique d'un transistor de puissance IGBT trainée en tension à l'enclenchement", [Thèse de Doctorat], Université de TOULOUSE , 2010.
- [26] **S.ALVES**, "Conception de transistors FLYMOSTM verticaux de Puissance adaptés aux applications automobiles du futur (batterie 42V) ", [Thèse de Doctorat], INSA, Toulouse, 2010.
- [27] **X.Li Wang**, "SIMULATION OF LDMOS HIGH FREQUENCY POWER TRANSISTOR" [Article], School of Engineering University of Wales Swansea, U.K,2008.
- [28] **Y.BENHAMIDA**, "Etude des caractéristiques physique et électrique d'un MOSFET", [Mémoire de Magister], Université de Tlemcen, 2012.

### Webographie

- [29] MOS Fabrication Technology, [www.springer.com](http://www.springer.com), en ligne, page consulté le 18 Mars 2016.
- [30] OXYDATION DES WAFER de silicium-SiO<sub>2</sub>, [WWW.sil-tronix-st.com](http://WWW.sil-tronix-st.com), en ligne, page consulté le 18 MARS 2016.
- [31] SILVACO, [www.silvaco.com](http://www.silvaco.com) , en ligne.