

République Algérienne Démocratique et Populaire
Ministère de L'Enseignement Supérieur et de la recherche scientifique
Université Abdel Hamid Ibn Badis de Mostaganem



Faculté des sciences et de la Technologie

Département de Génie Électrique

N°D'ORDRE : M .../2014

MEMOIRE

Présenté pour obtenir

LE DIPLOME DE MAGISTER

SPECIALITE : GENIE ELECTRIQUE

OPTION : Microélectronique et Nanoélectronique

Par

GOUNI SLIMANE

MODELISATION D'UN FinFET DE TYPE N

PAR TCAD_SILVACO

Soutenu le : 15/06/2014 devant le jury composé de

Président

Mr YAGOUBI Benabdellah Professeur U. Mostaganem

Examineurs

M. BOUKORTT Abdelkader Professeur U. Mostaganem

M. BEGHADAD Mohamed M C A U. Mostaganem

M. AHMADOUCHE Ahmed M C A U. Mostaganem

Encadreur

Mr HADRI Baghdad Professeur U. Mostaganem

REMERCIEMENTS

Un grand merci à Monsieur HADRI Baghdad, Professeur à Université Abdel Hamid ibn Badis Mostaganem, directeur de ce mémoire qui a encadré mes travaux. J'ai beaucoup profité de sa rigueur scientifique et de son sérieux.

Son expérience dans le domaine de la microélectronique et nanoélectronique, particulièrement dans le domaine de la modélisation et la physique des composants m'a permis de m'investir avec détermination dans ce travail.

Je tiens à remercier très vivement Monsieur YAGOUBI Benabdellah, Professeur à Université Abdel Hamid Ibn Badis de Mostaganem, d'avoir accepté de présider le Jury de ce mémoire.

Mes sincères remerciements les plus vifs à Mr. BOUKORTT Abdelkader, Professeur à Université Abdel Hamid Ibn Badis Mostaganem et à BEGHADAD Mohamed, maître de conférences à Université Abdel Hamid Ibn Badis Mostaganem et à AHMADOUCHE Ahmed, maître de conférences à Université Abdel Hamid Ibn Badis Mostaganem, pour avoir accepté d'être les examinateurs de ce mémoire.

Mes remerciements ne seraient pas complets si je n'exprimais pas ma profonde gratitude à toutes les personnes qui ont collaboré de près ou de loin à la réalisation de ce travail, en particulier, tout le personnel du département d'électronique à Université Abdel Hamid Ibn Badis Mostaganem pour leur bonne humeur et leur disponibilité.

Mes derniers remerciements vont à ma famille et mes amis, et surtout à tous les collègues de l'Université de SAIDA et labo ECP3M Avancée qui m'a tous entouré et m'ont donné la force de passer les moments difficiles.

Je dédie ce travail à :
Mon cher père,
Ma chère mère,
Mes frères,
Mes sœurs,
La famille GOUNI ET BIDA,
Toute ma famille et tous mes collègues.

SOMMAIRE

PAGE

REMMERCMENT.....	I
SOMMAIRE	III
LISTE DES TABLEAU	XV
LISTE DES FIGURES	VI
LISTE DES CONSTANTES, SYMBOLES ET ABREVIATIONS	X
INTRODUCTION GENERALE.....	1

Chapitre I

Le Transistor MOSFET

1.1 Introduction	3
1.2 Transistor MOSFET	3
1.2.1 Principe de base d'un transistor MOSFET	4
1.2.1.1 Effet de champ	4
1.2.1.2 Régimes de fonctionnement	5
1.2.1.3 Potentiel de bandes plates	7
1.2.1.4 Tension de seuil	8
1.2.1.5 Pente sous le seuil	8
1.2.1.6 Courants I_{OFF} et I_{ON}	9
1.2.2 Modélisation d'un transistor MOSFET classique	9
1.2.2.1 Régime linéaire	9
1.2.2.2 Cas de faible inversion	10
1.2.2.3 Cas de forte inversion	10
1.2.2.4 Régime de saturation.....	11
1.2.3 Mobilité de porteurs de charge	11
1.3 Effets de miniaturisation.....	12
1.3.1 Loi de Moore et de réduction d'échelle.....	12
1.3.2 Nouveaux phénomènes physiques engendrés par la miniaturisation.....	13
1.3.2.1 Effets quantiques de confinement.....	13
1.3.2.2 Saturation de la vitesse des porteurs	13
1.3.2.3 Transport balistique et quasi balistique.....	14
1.3.2.4 Effet tunnel.....	15
1.3.2.5 Effets de canaux courts	15
1.4 Solutions technologiques.....	16
1.4.1 Transistor MOSFET SOI.....	17
1.4.2 Utilisation d'empilements avec isolant à haute permittivité et grille métallique	17
1.4.3 Amélioration du transport de charge dans le canal.....	18
1.4.3.1 L'orientation cristalline du canal ou du substrat.....	18
1.4.3.2 L'ingénierie de contraintes mécaniques.....	18
1.4.3.3 Silicium sur isolant contraint (sSOI).....	19
1.4.3.4 Couche d'arrêt à la gravure (CESL).....	20
1.4.3.5 Croissance épitaxiale sélective (SEG)	20
1.4.4 MOSFET à grilles multiples.....	21
1.5 Le transistor FinFET	22
1.6 Conclusion	24

Chapitre II

Le Transistor FinFET: Propriétés Électriques et Effets Physiques et L'état De l'art des modèles compacts

II.1 Le transistor FinFET : propriétés électrique et effets physiques.....	25
II.1.1 Présentation du FinFET	25
II.1.2 Propriétés électrique du FinFET	25
II.1.2.1 La longueur du canal (L)	25
II.1.2.2 La largeur (ou l'épaisseur) du Fin (W_{si})	26
II.1.2.3 La hauteur du Fin (H_{si})	27
II.1.2.4 Le dopage du film de silicium	27

II.1.2.5 Des jonctions S/D-canal	27
II.1.2.6 L'élargissement des sections de la source et drain	27
II.1.2.7 Symétrique et Asymétrique Double Gates	28
II.1.3 Effets de coin	29
II.1.4 Les effets quantique	34
II.1.5 Underlap-Overlap	37
II.1.6 Extension de la technologie FinFET-Bulk FinFET	38
II.2.1 Différents modèles compacts du FinFET	40
II.2.1.1 Modèles en tension de seuil du FinFET	40
II.2.1.1.1 Modèle de M. Reyboz /T. Poiroux.....	40
II.2.1.2 Modèles en potentiel de surface du FinFET	40
II.2.1.2.1 Modèle de. A. Ortiz-Conde	41
II.2.1.2.2 Modèle de. Y. Taur	42
II.2.1.3 Modèles en charge du FinFET.....	43
II.2.1.3.1 Modèle de J. He.....	43
II.2.1.3.2 Modèle de B. Iñiguez	44
II.2.2 Bilan et intérêt d'un nouveau modèle	45
II. 3 Conclusion.....	46

Chapitre III

Simulation Numérique Du DG N-FinFET

III.1. L'outil de simulation – Silvaco	48
III.2. Modélisation 2D du transistor DG-N-FinFET.....	49
III.3.1.Simulation numérique du DG N-FinFET et interprétations	50
III.3.1. Etude de l'effet de la Variation de l'épaisseur de l'oxyde sur I_{DS}	55
III.3.2. Etude de l'effet de la Variation de la longueur de la grille sur le courant I_{DS}	57
III.3.3. Etude de l'effet de la Variation de la largeur du canal t_{si} sur le courant I_{DS}	58
III.3.4. Etude de l'effet de la Variation de la concentration N_A sur le courant I_{DS}	60
III.3.5. Etude de l'effet de la Variation de la concentration N_D sur le courant I_{DS}	62
III.3.6. Mise en évidence des courants de fuite I_{on} et I_{off} de la structure	63
III.3.7. Mise en évidence des courants de fuite DIBL de la structure	64
III.3.8. Simulation quantique	66
III.3.8.1. Self-Consistent Coupled Schrödinger Poisson.....	66
III.3.8.2. Bohm Quantum potentiel (BQP)	67
III.3.9.Comparaison des performances du DG FinFET et du MOSFET simple grille	68
III.6 .Conclusion.....	70
Conclusion Générale et Perspectives.....	71
Références	73
Annexe A	77
Annexe B.....	81
Résumé.....	91

LISTE DES CONSTANTES

SYMBOLES ET ABREVIATIONS

Significations	Constantes	Unités
Constante diélectrique du silicium	ϵ_{Si}	Fm^{-1}
Constante diélectrique de l'oxyde	ϵ_{ox}	Fm^{-1}
Charge élémentaire	$e = 1,6 \cdot 10^{-19}$	C
Constante de Boltzmann	$k = 1,38 \cdot 10^{-23} J$	K^{-1}

Significations	Symboles	Unités
Paramètres du silicium		
Niveau d'énergie de la bande de conduction	E_c	eV
Niveau d'énergie de la bande de valence	E_v	eV
Niveau de Fermi intrinsèque	E_i	eV
Niveaux de Fermi du métal	E_{fm}	eV
Niveaux de Fermi du silicium de type p	E_{fp}	eV
Niveaux de Fermi du silicium de type n	E_{fn}	eV
Concentration intrinsèque des porteurs dans le silicium	n_i	cm^{-3}

Paramètres géométriques et technologiques des transistors MOS

Longueur de la grille	L_g	m
Longueur du canal	L	m
Largeur du canal	W	m
Profondeur de jonction du MOSFET bulk	X_j	m
Epaisseur d'oxyde au-dessus du film de silicium	t_{ox1}	m
Epaisseur d'oxyde en dessous du film de silicium	t_{ox2}	m
Epaisseur de la grille	t_g	m
Epaisseur du film de silicium	t_{si}	m
Longueur de diffusion latérale	L_d	m
Longueur de recouvrement	L_{ov}	m
Température	T	K
Dopage du substrat	N_A	cm^{-3}
Dopage de la source et du drain	N_D	cm^{-3}

Paramètres électriques des transistors MOS

Tension thermodynamique	U_T	V
Tension d'alimentation	V_{DD}	V
Tension de bandes plates	V_{FB}	V
Polarisation de la grille	V_g	V
Polarisation du drain	V_d	V
Polarisation de la source	V_s	V
Polarisation du substrat pour le MOSFET bulk	V_b	V
Différence des travaux de sortie entre la grille et le silicium	$\Delta\Phi_{ms}$	V
Potentiel de Fermi	Φ_F	V
Potentiel de surface	Ψ_S	V

Potentiel au centre du film de silicium	Ψ_C	V
Tension de seuil pour un transistor canal long	V_{to}	V
Tension de seuil pour un transistor canal court	V_{th}	V
Courant de drain	I_d	A
Mobilité des porteurs à champ faible	μ_0	$\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$
Mobilité effective des porteurs	μ_{eff}	$\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$
Capacité de l'oxyde sur une grille	C_{ox1}	F
Capacité d'oxyde totale	C_{ox}	F
Capacité extrinsèque	C_{ext}	F
Capacité de bord interne	C_{if}	F
Capacité de bord externe	C_{of}	F
Capacité de recouvrement	C_{ov}	F
Pente sous le seuil	SS	mV/dec
Facteur de substrat		n

Paramètres électriques du modèle

Champ critique	E_0	$\text{V} \cdot \text{cm}^{-1}$
Vitesse de saturation des porteurs	v_{sat}	$\text{cm} \cdot \text{s}^{-1}$
Mobilité des porteurs à champ faible	μ_0	$\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$
Paramètre d'ajustement du modèle de capacité de recouvrement		$\lambda \cdot \text{V}^{-1}$
Paramètre d'ajustement du modèle pour les effets canaux courts		σ

Grandeurs électriques normalisées

Densité de charge d'inversion normalisée	q_m
Polarisation de la grille normalisée	v_g
Polarisation du drain normalisée	v_d
Polarisation de la source normalisée	v_s
Potentiel de Fermi normalisé	ϕ_f
Tension de seuil pour un transistor canal long normalisée	v_{to}
Tension de seuil pour un transistor canal court normalisée	v_{th}
Courant de drain normalisé	i_{ext}
Capacité de bord interne normalisée	c_{if}
Capacité de bord externe normalisée	c_{of}
Capacité de recouvrement normalisée	c_{ov}

Significations et Abréviations

ADG	Transistor MOS SOI double-grille en mode de fonctionnement asymétrique
DG	Transistor MOS SOI double-grille.
DIBL	« Drain Induced Barrier Lowering » : Abaissement de la barrière de potentiel induit par le drain.
FDSOI	Transistor MOS SOI entièrement déplété.
GAA	Transistor MOS SOI à grille enrobant.
ITRS	« International Technology Roadmap of Semiconductor »: Feuille de route internationale des semi-conducteurs.
MEB	Microscope électronique à balayage.
MOS	Métal-Oxyde-Semi-conducteur.

MOSFET	« MOS Field Effect Transistor » : Transistor à effet de champ
MOS. PDSOI	Transistor MOS SOI partiellement déplété.
QG	Transistor MOS SOI quadruple-grille.
Roll-off,CS	« Charge sharing » : Partage de charge.
SCE	« Short-Channel Effects » : Effect canaux courts.
SDG	Transistor MOS SOI double-grille en mode de fonctionnement symétrique.
SOI	« Silicon On Insulator » : Silicium sur isolant.
SG	Transistor MOS SOI à une grille.
TCAD	« Technology Computer-Aided Design ».
TEM	Microscopie par transmission électronique.
TG	Transistor MOS SOI triple-grille.
TMOS	Transistor Métal-Oxyde-Semi-conducteur

LISTE DES FIGURES

Figure I-1 Représentation schématique d'un transistor nMOSFET. [3]	5
Figure I-2 Diagramme de bande d'un transistor nMOSFET en régime de bandes plates Et en régime de faible inversion (b), χ_{Si} est l'affinité électronique, E_g est la largeur de la bande interdite.....	6
Figure I-3 Caractéristique $I_D(V_{GS})$ d'un transistor nMOSFET.	9
Figure I-4 Schéma électrique équivalent d'un MOSFET avec l'influence des résistances série source et drain.	10
Figure I-5 Coupes schématiques de transistors MOSFET avec différentes techniques de contraintes ; la coupe schématique (a) sSOI : un substrat contraint avec du SiGe relaxé, (b) CESL : dépôt de la couche CESL qui recouvre totalement la grille, (c) SEG : croissance du SiGe dans la source et le drain par une épitaxie sélective [21].	21
Figure I-6 (a) Structure d'un transistor FinFET sur un substrat SOI, (b) image TEM d'un transistor FinFET avec des doigts multiples [27].....	23
Figure II-1 Présentation du FinFET.	25
Figure II-2 Influence du paramètre W_{Si} dans la simulation 3D.	26
Figure II-3 Influence du surélevement des sources et drain pour un FinFET Court ($L=30nm$, $W_{Si}=20nm$) [51].....	28
Figure II-4 Section d'un transistor FinFET SDG perpendiculaire [51]	28
Figure II-5 Section d'un transistor FinFET ADG perpendiculaire (2x la hauteur du 'Fin') [51]	29
Figure II-6 les régions où les effets de coin se produisent dans la section verticale d'un FinFET.	30
Figure II-7 dg_m/dV_G à $V_{DS}=0,1V$ pour différents transistor SOI [54]	30
Figure II-8 Potentiel dans l'oxyde et le silicium à la section Y-Z (Figure I-37) pour les FinFET avec une longueur de canal de $1\mu m$, $V_{GS}=0,3V$. Les effets quantiques ne sont pas pris en compte.....	31
Figure II-9 Effet du BOX dans la direction Y-Z.	32
Figure II-10 Effet du BOX dans la direction X-Z.	33
Figure II-11 Contour du potentiel dans l'oxyde et silicium du FinFET avec $H_{Si}=1\mu m$, $L=1\mu m$ pour différentes épaisseur c'est-à-dire $W_{Si}=(a) 50nm$, (b) $20nm$, (c) $10nm$ et (d) $5nm$	33
Figure II-12 Contour du potentiel dans l'oxyde et le silicium du FinFET avec $H_{Si}=20nm$, $L=1\mu m$ pour différentes largeur $W_{Si}=(a) 50nm$, (b) $10nm$ et (d) $5nm$	34
Figure II-13 Comparaison de la distribution classique et quantique des électrons dans le film de silicium pour la faible inversion. L'abscisse est normalisée par rapport à la largeur du Fin	35
Figure II-14 Comparaison de la distribution classique et quantique des électrons dans le film de silicium pour la forte inversion. L'abscisse est normalisée par rapport à la largeur du Fin.	35
Figure II-15 Diagramme des sous-bandes quantiques d'énergie pour deux petites largeurs du silicium ($W_{Si}=10$ & $3nm$) pour (a) bande plate (b) faible inversion et (c) forte inversion	36
Figure II-16 Structure d'un FinFET avec la région « underlap ».....	37
Figure II-17 Structure d'un Body-Tied FinFET.	38
Figure II-18 Comparaison des caractéristique de transfert des SOI et bulk FinFET avec $\Delta X_j=10nm$ pour les deux différent dopage du body à $V_{DS}=1,2V$ [61].	39
Figure II-19 le DIBL en fonction du dopage du Fin pour SOI et Bulk FinFET avec $\Delta X_j=10nm$ [61].....	39
Figure II-20 Comparaison des caractéristique de sortie des SOI et bulk FinFET avec $\Delta X_j=10nm$ pour les deux différents dopages du corps [61]	40
Figure III-1 Structure générique d'un FinFET à double grilles.	50
Figure III-2 Structure du FINFET double grille en 2D.....	51
Figure III-3 Structure n-FinFET double-grille : (a) définition du maillage, (b) Profil de dopage dans les différentes régions du dispositif, $L=10nm$, $t_{ox}=1,5nm$	53
Figure III-4 Caractéristiques de transfert $I_{DS}-V_{GS}$ du DG n-FinFET avec différents dopages du canal..	53
Figure III-5 Caractéristiques de sortie $I_{DS}-V_{DS}$ du DG n-FinFET.....	54
Figure III-6 Caractéristique $I_{DS}-V_{GS}$ pour différentes valeurs de l'épaisseur de l'oxyde.....	55
Figure III-7 Caractéristique $I_{DS}-V_{DS}$ pour différentes valeurs de l'épaisseur de l'oxyde	55
Figure III-8 Variation la tension V_{th} en fonction de t_{ox}	56

Figure III-9 Schématisation de la variation de la longueur des grilles du DG-n-FinFET.....	57
Figure III-10 Caractéristique de transfert $I_{DS}-V_{GS}$ pour trois différentes longueurs des grilles.	57
Figure III-11 Caractéristique de sortie pour trois différentes longueurs des grilles.	58
Figure III-12 Caractéristique de transfert $I_{DS}-V_{GS}$ pour trois différentes épaisseurs du film de silicium t_{si}	59
Figure III-13 Caractéristique de transfert $I_{DS}-V_{DS}$ pour trois différentes épaisseurs du film de silicium t_{si}	59
Figure III-14 Variation la tension V_{th} en fonction de T_{si}	60
Figure III-15 Caractéristique de transfert $I_{DS}(V_{GS})$ pour différentes concentrations N_A	61
Figure III-16 Caractéristique de transfert $I_{DS}(V_{DS})$ pour différentes concentrations N_A	61
Figure III-17 Caractéristique de transfert $I_{DS}(V_{GS})$ pour différentes concentrations N_D	62
Figure III-18 Caractéristique de transfert $I_{DS}(V_{DS})$ pour différentes concentrations N_D	62
Figure III-19 Caractéristique de transfert $I_{DS}(\log(V_{GS}))$	63
Figure III-20 Abaissement de la barrière de potentiel pour la bande de conduction par effet DIBL.	64
Figure III-21 La mise en évidence du DIBL.....	65
Figure III-22 Trans-capacité C_{gg} quasi-statique en fonction de la tension de grille.....	66
Figure III-23 Calibration du modèle BQP par rapport au modèle de Schrödinger-Poisson ($l_g=10nm$, $W_{si}=3nm$, $t_{SI}=1.5nm$ $\alpha=0.01$).....	68
Figure III-24 Le SOI MOSFET simple grille	69
Figure III-25 Caractéristique de sortie $I_{DS}(V_{DS})$	69

LISTE DES TABLAUX

Tableau I-1 Lois de réduction d'échelle	12
Tableau II-1 Caractéristiques des différents modèles compacts de MOSFET double-grille en mode de fonctionnement symétrique (FinFET)	46
Tableau III-1 Diagramme de la simulation numérique via Silvaco.....	50
Tableau III-2 Résumé des valeurs adoptées pour les simulations de la structure étudiée	51
Tableau III-3 Les paramètres de silicium fixés par défaut dans le simulateur Atlas à 300K.	52

--

INTRODUCTION

GENERALE

Introduction générale

Les débuts de la nanoélectronique moderne coïncident avec la mise au point de la technologie Métal Oxyde Semi-conducteur (MOS), en 2000. Cette technologie permet de fabriquer des transistors plus petits et plus rapides. Une course à la densité, à la vitesse et à la faible consommation commence. Cette croissance de la densité passe par un processus de miniaturisation des dispositifs, qui tente de maintenir les caractéristiques électriques constantes. Plusieurs façons de procéder ont vu le jour, le principal problème de la miniaturisation étant la dépendance directe des caractéristiques électriques vis à vis des paramètres physiques contrôlables. Ceci entraîne de nombreux effets parasites qui modifient les performances et la consommation d'énergie des systèmes.

La caractérisation électrique d'un dispositif est d'une grande importance et exige une attention particulière dans le développement des technologies MOSFET avancées. Le choix de la longueur du canal, l'épaisseur d'oxyde de grille, le dopage de substrat et la technologie de Source/Drain déterminent en grande partie les performances du dispositif. En concevant des dispositifs plus petits, on doit également considérer l'impact de la réduction des dimensions sur la fiabilité des circuits intégrés.

Toutefois, après quasiment une vingtaine d'années de course effrénée à la réduction des dimensions des composants électroniques, les problèmes ne se limitent plus aux seules difficultés de réalisation. Nous voyons apparaître, à présent, des phénomènes d'ordre théorique remettant en cause les avantages qu'offrait la technologie CMOS [1]. Parmi ces phénomènes, nous avons notamment l'abaissement de la barrière de potentiel au niveau du drain (DIBL), les effets canaux courts (SCE), les phénomènes de nature quantique, le courant tunnel de grille, la fluctuation aléatoire des dopants. Pour contourner ces difficultés, l'une des solutions consistant à modifier l'architecture des composants actuels, notamment l'augmentation du nombre de grilles afin d'avoir un meilleur contrôle du flux de courant, paraît une solution de choix pour l'avenir de la nanoélectronique. Cependant ces dispositifs ont besoin d'être modélisés sous la forme de modèles compacts interprétables par des simulateurs de circuits, pour pouvoir être utilisés par les concepteurs de circuits intégrés. Ces modèles compacts doivent être capables de décrire le plus exactement possible le comportement électrique de ces dispositifs. La

simulation des composants nanoélectroniques a donc besoin de nouvelles théories et techniques de modélisation (les technique l'intelligence artificielle, les techniques évolutionnaires,...) améliorant la compréhension physique des dispositifs de taille micro et nanométrique. Le domaine de la modélisation et la simulation des composants nanoélectroniques peut être considéré comme un champ important d'applications des techniques évolutionnaires. Par conséquent, l'étude de la possibilité d'utilisation de ces techniques dans le domaine de la nanoélectronique, notamment sous forme des optimisateurs et des simulateurs des composants nanoélectroniques, s'avère nécessaire. En ce sens, les techniques évolutionnaires sont considérées comme un outil supplémentaire entre les mains de l'ingénieur et du chercheur, plutôt que comme un substitut aux méthodes plus classiques. Ces outils sont susceptibles d'apporter des éléments de réponse là où les procédures analytiques montrent leurs limites.

Ce travail présente le principe de modélisation et la simulation des composants électroniques nanométriques. Notre mémoire de Magister s'articulera autour (de trois) grands axes:

Le premier chapitre présente une généralité sur le MOSFET ainsi que les avantages de point vue de la technologie MOSFET multiple-grille, en particulier, la technologie FinFET qui sera détaillée dans le chapitre II, brièvement sur le transistor MOS bulk ainsi que les problèmes engendrés par sa miniaturisation. Ce même chapitre présente les solutions technologiques possibles, expose ainsi la technologie SOI avec ses solutions émergentes et détaille les principales caractéristiques électriques du transistor MOS multiples -grille.

Dans le chapitre II, nous dresserons les propriétés électriques et les effets physiques et l'état de l'art des modèles compacts de FinFET ou MOSFET double-grille planer.

Le troisième chapitre sera consacré à l'interprétation des résultats de simulations faites sur le FinFET en 2D par l'outil de simulation numérique (TCAD_SILVACO).

Nous terminerons notre mémoire par une conclusion générale et des perspectives

Chapitre 1

Le transistor MOSFET

I.1 Introduction

Dans ce chapitre, nous allons présenter le transistor MOSFET conventionnel et son évolution vers de nouvelles architectures innovantes. Dans un premier temps, le fonctionnement du MOSFET, ses paramètres électriques importants ainsi que les effets de miniaturisation des dispositifs et leurs limites sont présentés. Les diverses solutions technologiques qui ont été utilisées pour améliorer les performances du transistor à canal court telle que l'ingénierie de contrainte, architectures multi-grilles sont décrites. Il en suivra une description des transistors FinFET, objet d'étude en modélisation du FinFET de type n.

I.2 Transistor MOSFET

Le transistor MOSFET est le dispositif le plus répandu dans la production actuelle de composants semi-conducteurs, il est le composant de base de tout circuit intégré CMOS (Complementary Metal Oxide Semiconductor). La technologie CMOS est basée sur l'utilisation de deux types de transistors complémentaires : le transistor nMOSFET dont les porteurs sont des électrons et le transistor pMOSFET dont les porteurs sont des trous. Elle englobe plus de 80 % de la production mondiale de circuits intégrés, grâce aux qualités de faible consommation et de taille faible. Le principe de fonctionnement d'un transistor MOSFET (Metal Oxide Semiconductor Field Effect Transistor) est basé sur le concept de la modulation de la conductivité des matériaux mise en évidence par J. E. Lilienfeld en 1928 [2]. Il n'a cependant pu être exploité qu'à partir des années 60, lorsque des interfaces silicium/oxyde ont été suffisamment de bonne qualité et que Jack Kilby ait fabriqué le premier circuit intégré [2]. Le transistor MOSFET à enrichissement, qui est représenté sur la figure I-1, se caractérise par le fait que la grille, par l'effet de champ électrique, contrôle à travers l'oxyde de grille, la densité de porteurs dans le canal du dispositif et ainsi l'intensité du courant. Le canal est relié de part et d'autre à deux régions fortement dopées entre lesquelles est appliquée une tension donnant lieu à la circulation du courant.

Le transistor MOSFET est utilisé dans de multiples applications. Il est utilisé comme amplificateur dans certaines applications analogiques. Il est aussi utilisé comme bit pour stocker et lire l'information sous forme de zéros et uns. Son utilisation est plus importante dans les applications numériques comme élément de base de différentes fonctions logiques (porte AND, OR,..).ⁱ

On peut distinguer deux catégories importantes d'applications :

- applications haute performance HP (« High Performance») comme le microprocesseur pour les ordinateurs de bureau pour lesquelles la fréquence de commutation du transistor est privilégiée par rapport à la consommation.
- applications à basse consommation avec un compromis sur la fréquence de commutation du transistor.
 - Les dispositifs à faible puissance active LOP («*Low Operating Power*»), ceux sont des dispositifs à basse consommation en fonctionnement tels que les ordinateurs portables.
 - Les dispositifs à faible puissance statique LSTP («*Low Standby Power*»); ceux sont des dispositifs nécessitant un faible courant de repos (lorsque le transistor est bloqué) pour obtenir une meilleure autonomie tels que les téléphones portables.

I.2.1 Principe de base d'un transistor MOSFET

I.2.1.1 Effet de champ

Le principe de fonctionnement d'un transistor MOSFET repose sur l'effet de champ, qui consiste à moduler de façon électrostatique une densité de charges mobiles dans un semi-conducteur. La modulation est provoquée par un champ électrique perpendiculaire à la direction du mouvement de ces charges. La structure se décompose en trois parties principales: l'électrode de grille (G) qui commande l'intensité du champ électrique vertical et par conséquent la densité de charges mobiles, les électrodes de source (S) et de drain (D) séparées par un canal de conduction qui conduit le courant en fonction de son niveau de remplissage en charges mobiles [3] . Dans tout ce qui suit le transistor est considéré de type n.

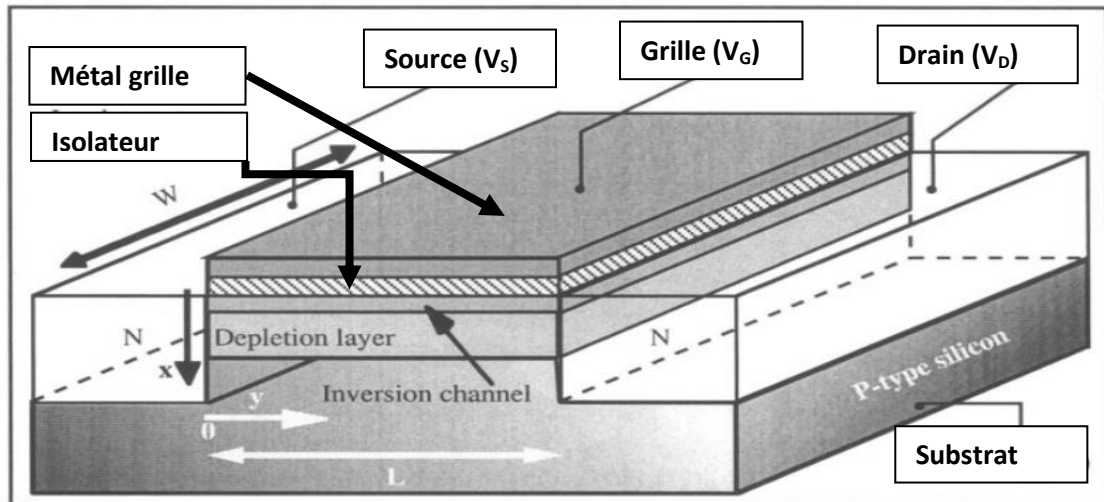


Figure I-1 Représentation schématique d'un transistor nMOSFET. [3]

La grille est polarisée par la tension grille-source V_{GS} . Les charges sont mises en mouvement par l'intermédiaire du champ électrique longitudinal lié à l'application d'une tension entre le drain et la source V_{DS} . La source sert de référence de potentiel. Les tensions V_{GS} et V_{DS} permettent de contrôler le courant qui passe dans le canal. Le dopage du canal N_A , la profondeur X_j des jonctions source et drain, la longueur de masque L entre drain et source, la largeur de masque W et l'épaisseur t_{ox} de l'oxyde de grille sont les paramètres caractéristiques d'un transistor MOSFET conventionnel. Avec la réduction de la taille du transistor, la différence entre la longueur du masque (L) et la longueur effective (L_E) n'est plus négligeable. De même pour la largeur effective du canal W_E . Deux paramètres correctifs sont alors introduits. Ils sont définis par : $\Delta L = L - L_E$ et $\Delta W = W - W_E$.

I.2.1.2 Régimes de fonctionnement

L'application d'un potentiel électrique sur la grille modifie les courbures de bandes d'énergie du semi-conducteur. La figure I-2 représente un diagramme de bande d'énergie d'un transistor nMOSFET dans le régime des bandes plates et dans le régime de faible inversion.

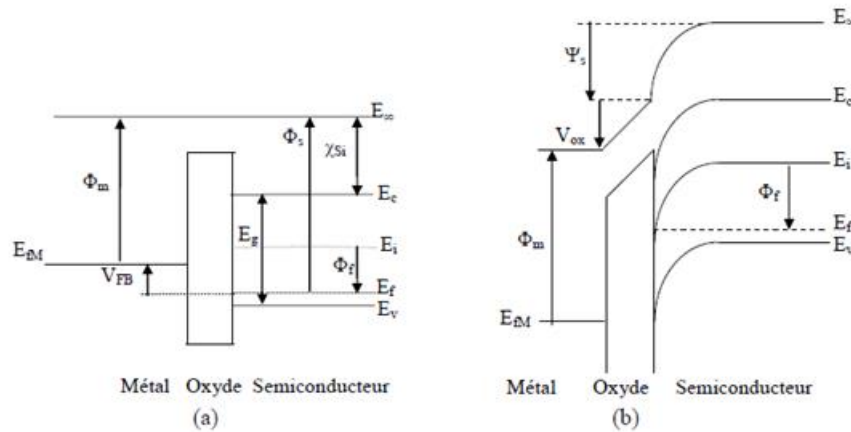


Figure I-2 Diagramme de bande d'un transistor nMOSFET en régime de bandes plates (a) Et en régime de faible inversion (b), χ_{Si} est l'affinité électronique, E_g est la largeur de la bande interdite.

E_c , E_v , E_i sont les énergies de bas de la bande de conduction, haut de la bande de valence et l'énergie intrinsèque du silicium. Φ_m, Φ_s sont les travaux de sortie du métal et du Semi-conducteur, Φ_f est le potentiel de Fermi. Ψ_s est la différence de potentiel entre la surface et le volume (le potentiel de surface).

Le niveau de Fermi est donné par : $E_F = E_i - q\Phi_f$. Le potentiel de Fermi Φ_f est donné par l'équation suivante dans le cas d'un dopage modéré :

$$\Phi_f = \frac{KT}{q} \ln \frac{N_A}{n_i} \quad (1.1)$$

k : est la constante de Boltzmann.

T : est la température.

q : est la charge élémentaire.

n_i : est la concentration intrinsèque de porteurs dans le matériau.

En fonction de la polarisation de la grille, on distingue différents régimes, séparés par deux valeurs, celle de la tension de bandes plates V_{FB} ($\Psi_s = 0$) et celle de la tension de seuil V_{Th} ($\Psi_s = 2\Phi_f$):

- régime d'accumulation ($\Psi_s < 0$, $V_{GS} < V_{FB}$): dans ce cas, les porteurs majoritaires (trous) sont attirés à l'interface oxyde/semi-conducteur. Ils y sont encore plus nombreux que dans le volume.

- régime de déplétion ($0 < \Psi_s < \Phi_f$, $V_{Th} < V_{GS} < V_{FB}$): dans ce cas, les porteurs majoritaires (trous) sont repoussés de l'interface. Il se crée ainsi une zone de charge d'espace, chargée par les impuretés ionisées fixes (dopants, accepteurs) et désertée en porteurs mobiles.
- régime d'inversion faible ($\Phi_f < \Psi_s < 2\Phi_f$, $V_{FB} > V_{GS} > V_{Th}$) : Lorsque $\Psi_s = \Phi_f$, les concentrations des porteurs majoritaires et minoritaires sont égales en surface, donc égale à la valeur de la concentration n_i .
- régime d'inversion forte ($\Psi_s > 2\Phi_f$, $V_{GS} > V_{Th}$) : la concentration des porteurs minoritaires en surface devient supérieure à la concentration des porteurs majoritaires dans le volume du semi-conducteur.

I.2.1.3 Potentiel de bandes plates

Les structures MOS ont des oxydes contenant des charges fixes distribuées, de sorte que même si $V_{GS} = 0$, il y a toujours une courbure de bande à la surface du semi-conducteur. La valeur de la tension V_{GS} qu'il faut appliquer pour contrecarrer l'effet des charges s'appelle la tension de bande plate V_{FB} . L'équation de continuité des potentiels s'écrit alors:

$$V_{GS} = V_{FB} + \psi_s - \frac{Q_{sc}}{C} \quad (1.2)$$

Q_{sc} : est la charge du semi-conducteur.

C_{ox} : est la capacité de l'oxyde de grille, elle est donnée par :

$$C_{ox} = \frac{\epsilon_0 \epsilon_{ox}}{T_{ox}} \quad (1.3)$$

ϵ_{ox} , ϵ_0 sont respectivement la permittivité relative de l'oxyde et la permittivité du vide. La tension V_{FB} est non seulement reliée à la densité de charges dans l'oxyde Q_{ox} mais aussi à la différence des travaux de sortie du métal et du semi-conducteur: $\Phi_{ms} = \Phi_m - \Phi_s$. Si $\Psi_s = 0$, on aura :

$$V_{FB} = \Phi_{ms} - \frac{Q_{ox}}{C_{ox}} \quad (1.4)$$

La valeur de la tension V_{FB} permet de déduire la quantité de charges fixes présentes dans les oxydes. La structure MOS réelle se distingue de la structure idéale à cause de l'état de l'interface SiO_2/Si qui n'est pas parfaite. La tension V_{GS} est donc:

$$V_{GS} = V_{FB} + \Psi_S - \frac{Q_{inv} + Q_{dep} + Q_{it}}{C_{ox}} \quad (1.5)$$

La charge d'état d'interface excédentaire est donnée par: $|Q_{it}| = q \times N_{it}$, N_{it} est la densité de défauts à l'interface, Q_{inv} et Q_{dep} sont respectivement la charge d'inversion et la charge de déplétion.

I.2.1.4 Tension de seuil

La tension de seuil d'un transistor MOSFET est définie comme la tension qu'il faut appliquer pour que le potentiel de surface Ψ_S soit égal à $2\Phi_f$. La tension de seuil est donnée par :

$$V_{Th} = V_{FB} + \Phi_d - \frac{Q_{dep}}{C_{ox}} \quad (1.6)$$

Φ_d : Représente la hauteur de la barrière entre la source et le canal

I.2.1.5 Pente sous le seuil

Quand le transistor est en régime de fonctionnement de faible inversion. L'inverse de la pente sous le seuil S , exprimé en mV/décade :

$$S = \frac{KT}{q} \ln 10 \left[1 + \frac{C_{dep}}{C_{ox}} + \frac{C_{it}}{C_{ox}} \right] \quad (1.7)$$

C_{dep} : est la capacité de la couche de déplétion dans le substrat.

C_{it} : est la capacité associée aux états d'interface. Par sa dépendance en C_{it} , la pente sous le seuil est révélatrice de la qualité de l'interface.

I.2.1.6 Courants I_{OFF} et I_{ON}

Si les tensions appliquées sur la grille V_{GS} et sur le drain V_{DS} sont nulles, le transistor (l'interrupteur) est bloqué, le courant de drain doit être nul, si $V_{GS} = V_{DS} = V_{DD}$ (tension nominale), l'interrupteur est passant et le courant de drain I_{ON} est maximal. Dans le comportement réel, à l'état bloqué, le courant de drain n'est pas nul, il y a un courant de fuite I_{OFF} qui circule, est limité par la diffusion coté source et drain. La figure I-3 illustre une caractéristique ($I_D = f(V_{GS})$) d'un transistor MOSFET. Le courant I_{OFF} est dépendant de la pente sous le seuil. Il est donné par la relation suivante :

$$\log(I_{OFF}) = \log(I_{Th}) - \frac{V_{Th}}{S} \quad (1.8)$$

Avec I_{Th} : le courant de drain à $V_{GS} = V_{Th}$.

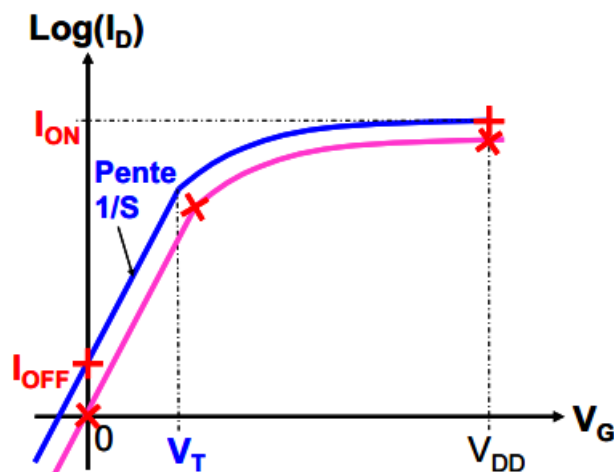


Figure I-3 Caractéristique $I_D(V_{GS})$ d'un transistor nMOSFET.

I.2.2 Modélisation d'un transistor MOSFET classique

En fonction de l'importance de la polarisation du drain, on peut distinguer principalement deux régimes : régime linéaire et régime de saturation.

I.2.2.1 Régime linéaire

Lorsque la tension V_{DS} est faible et négligeable devant la tension V_{GS} , l'effet du champ est quasi uniforme le long du canal. Le canal se comporte donc comme une résistance indépendante de la polarisation du drain.

Ce régime se caractérise par une dépendance linéaire du courant en fonction de la tension V_{DS} . Le courant de drain sera donné dans les deux cas de faible et de forte inversion en tenant compte des résistances d'accès de source R_S et de drain R_D qui sont schématisées dans la figure I-4, les extrémités du canal réel étant notées S' et D' :

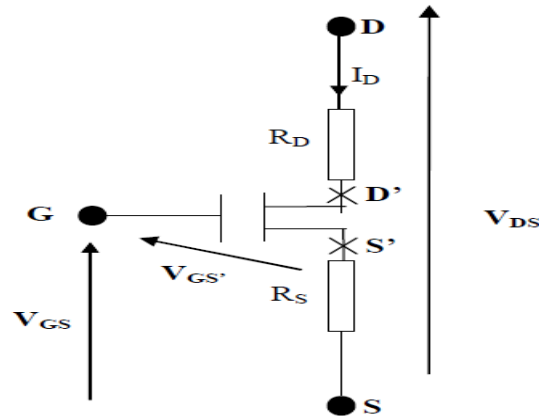


Figure I-4 Schéma électrique équivalent d'un MOSFET avec l'influence des résistances série source et drain.

I.2.2.1.1 Cas de faible inversion

En régime de faible inversion, le courant de drain varie exponentiellement avec V_{GS} selon la formule suivante:

$$I_D = \frac{W}{L} \frac{kT}{q} \mu_0 C_{dep} V_{D'S'} \exp \left[\frac{qA(V_{GS} - V_{Th})}{kT} \right] \quad (1.9)$$

μ_0 Est la mobilité à faible champ électrique. Le facteur A est donné par :

$$A = \frac{C_{ox}}{C_{ox} + C_{dep} + C_{it}} \quad (1.10)$$

I.2.2.1.2 Cas de forte inversion

En régime de forte inversion, le courant de drain s'écrit comme suit :

$$I_D = \frac{W}{L} \mu_{eff} Q_{inv} V_{D'S'} \quad (1.11)$$

μ_{eff} est la mobilité effective des porteurs dans le canal qui dépend de la charge d'inversion Q_{inv} , elle est donnée par :

$$\mu_{eff} = \frac{\mu_0}{1 + \frac{Q_{inv}}{Q_C}} \quad (1.12)$$

Q_C Est la charge critique qui caractérise la diminution de la mobilité aux fortes tensions de grille.

I.2.2.4 Régime de saturation

Lorsque la tension de drain V_{DS} augmente, la différence de potentiel entre le drain et la grille diminue, en conséquence la charge d'inversion diminue en s'approchant du drain.

Pour une valeur de la tension appliquée sur le drain proche de $V_{GS} - V_{Th}$, le canal à proximité du drain est pincé et le courant de drain reste constant avec l'augmentation de V_{DS} (dans le cas idéal). Le courant de drain est alors donné par :

$$I_{Dsat} = \int_0^{V_{DS}} \frac{W}{L} \mu_{eff} Q_{inv} d\Phi_c \approx \frac{1}{2} \beta V_{Dsat}^2 \quad (1.13)$$

Avec: $Q_{inv} = C_{ox} (V_{GS} - V_{Th} - \Phi_c)$

Φ_c : étant la différence entre le quasi niveaux de Fermi des électrons et des trous. Dans le cas réel, le courant de drain ne reste pas constant mais continue à augmenter légèrement avec la polarisation du drain.

I.2.3 Mobilité de porteurs de charge

La mobilité traduit l'aptitude des porteurs à se déplacer dans la couche d'inversion sous l'effet d'un champ électrique longitudinal. Elle dépend de nombreux paramètres dont les principaux sont le champ électrique transversal, l'orientation du cristal, la température et le dopage du substrat. Les différents mécanismes de collision qui influent sur la mobilité dans la couche d'inversion d'un transistor MOSFET sont les collisions avec les phonons, les collisions sur les centres coulombiens et les collisions sur la rugosité de surface [4].

I.3 Effets de miniaturisation

I.3.1 Loi de Moore et de réduction d'échelle

Depuis les années 60, l'intégration en microélectronique suit une évolution exponentielle. Cette évolution est connue sous le nom de « loi de Moore ». G. Moore, l'un des co-fondateurs d'Intel avait prédit, en 1973, que le nombre de transistors intégrés sur une puce doublerait environ tous les 2 ans. Pour des applications hautes performances, l'oxyde de grille du transistor ne doit pas avoir une épaisseur supérieure à 1,2 nm (une monocouche de silice a environ 5 Å). La réduction des dimensions génère des problèmes technologiques complexes et des effets néfastes au bon fonctionnement du transistor, tels que la diminution de la mobilité et la dépendance de la tension de seuil avec la longueur du canal.

Pour cela, des lois de réduction d'échelles ont été proposées afin de minimiser ces effets. Des lois de réduction d'échelle ont été énoncées. La réduction de paramètre entraîne une amélioration intrinsèque des performances du transistor.

La méthode utilise des facteurs d'échelle différents (λ et k). Le tableau suivant représente ces lois de réduction d'échelle pour les applications sub-0.25 μm :

Paramètre physique	Grandeur	Facteur d'échelle
Dimensions du transistor	$t_{\text{OX}}, L, W, X_j^{(1)}$ (cm)	$1/k$
Potentiels	$V_{\text{GS}}, V_{\text{DS}}, V_{\text{TH}}$ (V)	$1/k$
Dopage	N_A, N_D (cm^{-3})	$1/k^2$
Champ électrique	E (V/cm)	λ/k
Capacités	C_{OX}, C_j	$1/k$
Puissance	I_D, V_{DD} (W)	$1/k^2$

Tableau I-1 : Lois de réduction d'échelle [6].

Le tableau I-1 montre qu'il ne suffit pas de diminuer les dimensions géométriques du transistor (L et W) mais aussi les dimensions des couches technologiques de celui-ci : oxyde de grille, jonction source et drain, etc.

I.3.2 Nouveaux phénomènes physiques engendrés par la miniaturisation

De nombreux phénomènes physiques apparaissent au fur et à mesure de la réduction des dimensions des transistors et ne peuvent plus être ignorés.

Parmi ces phénomènes dont l'impact sur les caractéristiques électriques des transistors est le plus important, on peut citer l'effet de confinement quantique, la saturation de la vitesse, le transport balistique et l'effet tunnel [7].

I.3.2.1 Effets quantiques de confinement

L'introduction d'oxydes de grille de plus en plus minces et des niveaux de dopage de plus en plus élevés dans le canal des transistors courts, a pour conséquence l'augmentation du champ électrique à l'interface oxyde/canal.

Ceci se traduit par une courbure accentuée des bandes d'énergies en régime d'accumulation et en inversion et induit le confinement des charges à l'interface dans un puits de potentiel de plus en plus étroit. Leur énergie étant quantifiée, il apparaît des niveaux d'énergies discrets dans un puits de potentiel.

L'impact de ce confinement quantique, le plus important sur les propriétés électriques, est la diminution de la capacité de grille et de la transconductance ou encore l'augmentation de V_{Th} [8].

I.3.2.2 Saturation de la vitesse des porteurs

Sous l'action d'un champ électrique longitudinal E_L entre la source et le drain, les porteurs se déplacent avec une vitesse de dérive v en régime stationnaire qui est définie par : $v = \mu L_L$.

À partir d'une certaine valeur du champ, appelée champ critique $E_{c,L}$ (10^4 V/cm dans le silicium), la vitesse tend vers une valeur limite appelée vitesse de saturation v_{sat} (10^7 cm/s dans le silicium) [9]. Dans ce cas, le courant se sature avant le pincement du canal puisque les porteurs atteignent leur vitesse limite. Avant d'atteindre v_{sat} , la diminution de la mobilité effective avec V_{DS} .

$\mu_{eff}(V_{DS})$: Peut-être écrite selon l'équation suivante pour $E < E_{c,L}$:

$$\mu_{eff}(V_{DS}) = \frac{\mu_{eff}}{1 + \frac{E_L}{E_{c,L}}} = \frac{\mu_{eff}}{1 + \theta_D V_{DS}} \quad (1.14)$$

Avec $V_{DS} \approx E_L L$ et $\theta_D = \frac{\mu_{eff}}{2V_{sat}L}$ est le facteur d'atténuation de la mobilité du champ électrique longitudinal.

I.3.2.3 Transport balistique et quasi balistique

En dessous de quelques dizaines de nanomètres de longueur de grille, la distance entre la source et le drain devient comparable au libre parcours moyen des porteurs λ entre deux collisions. Les porteurs passent ainsi d'un « réservoir » à un autre sans subir aucune interaction dans le canal. Le transport est qualifié de balistique. Le courant est seulement limité par la vitesse d'injection v_{inj} des porteurs au niveau de la source selon l'équation suivante [10]:

$$I_{Dsat} = WQ_{inv}v_{inj} \quad (1.15)$$

Dans le cas d'un transport balistique pur, les porteurs injectés au niveau de la source atteignent le drain et si l'on considère un gaz de porteurs non dégénérés, v_{inj} est égale à la vitesse thermique des porteurs v_{th} définie par :

$$v_{th} = \sqrt{\frac{2kT}{\pi m^*}} \quad (1.16)$$

Où m^* est la masse effective isotrope de conduction des porteurs de charges.

Dans le cas d'un régime quasi-balistique, certains porteurs injectés au niveau de la source sont rétrodiffusés, on définit le coefficient de rétrodiffusion r («*back scattering coefficient*») qui traduit la proportion de porteurs qui ne sont pas collectés par le drain. Selon Lundstrom *et al*, le courant de drain dans le régime linéaire peut s'écrire :

$$I_D = (1 - r) \frac{W}{L} \mu_{bal} Q_{inv} V_{DS} = r \frac{W}{L} \mu_{dd} Q_{inv} V_{DS} = \frac{W}{L} \mu_{exp} Q_{inv} V_{DS} \quad (1.17)$$

Où μ_{bal} est la mobilité balistique, μ_{dd} est la mobilité dérive-diffusion, μ_{exp} est la mobilité mesurée expérimentalement. On peut obtenir le coefficient de rétrodiffusion à partir de l'équation suivante :

$$r = 1 - \frac{\mu_{exp}}{\mu_{bal}} \quad (1.18)$$

La mobilité balistique μ_{bal} peut être estimée à partir de l'équation (1.18) en considérant que le courant de drain est dans la limite balistique ($r = 0$) comme suit [11] :

$$\mu_{bal} = \frac{qv_{inj}Li_{-1/2}(\eta_F)}{2kTi_0(\eta_F)} \quad (1.19)$$

$v_{inj} \approx 1,2 \cdot 10^7$ cm/s pour le silicium ; $i_{-1/2}(\eta_F)$ et $i_0(\eta_F)$ sont les fonctions de Fermi-Dirac avec η_F étant le niveau réduit de Fermi. Le facteur de dégénérescence $i_{-1/2}(\eta_F)/i_0(\eta_F)$ égale à 1 dans la limite de la statistique de Boltzmann.

I.3.2.4 Effet tunnel

Quand l'oxyde de silicium atteint des épaisseurs nanométriques, des courants de fuite tunnel de grille peuvent survenir. Pour des épaisseurs d'environ 3 nm, il peut y avoir un courant tunnel Fowler-Nordheim. Pour des épaisseurs inférieures à 3 nm, un courant tunnel direct peut apparaître.

D'autres courants peuvent être générés à cause des défauts dans le volume de l'oxyde ; tels que la conduction Poole Frenkel ou la conduction par saut « Hopping » [12], [13], [14].

Un autre courant tunnel entre la source et le drain peut apparaître quand les longueurs de grilles sont seulement de quelques nanomètres. La barrière de potentiel source-canal-drain devient si faible que les porteurs peuvent directement passer par effet tunnel de la source au drain, même sous faible polarisation de grille et/ou drain.

Il s'agit ici d'une des limites physiques les plus fondamentales puisque cet effet tunnel parasite est susceptible d'affecter la caractéristique sous le seuil et donc le courant I_{OFF} des dispositifs ultimes de la microélectronique [12].

I.3.2.5 Effets de canaux courts

Le transistor à canal court subit l'influence de plusieurs effets parasites qui affectent le bon fonctionnement du dispositif. Dans le régime de conduction, plusieurs effets viennent perturber la caractéristique idéale du transistor MOSFET.

Dans un transistor long, le potentiel de surface est plat pratiquement sur l'ensemble de la longueur de grille. Les expansions des zones de charges d'espaces autour des jonctions ne dépendent pas de la longueur du canal. Dans un transistor court, le potentiel de surface peut être complètement dominé par les zones de charges d'espaces. La partie plate peut être réduite jusqu'à une disparition totale. La superposition de zones de charges d'espaces des jonctions source et drain conduit à l'abaissement de la barrière de potentiel entre la source et le canal ; c'est l'effet de canal court SCE (« *Short Channel Effect* »).

Si, de plus, la polarisation du drain augmente, la barrière se réduit davantage ; on parle alors de l'effet DIBL (« *Drain Induced Barrier Lowering* »), on utilise aussi le terme « *roll-off* » qui décrit la chute totale de la tension V_{Th} . Ainsi, la charge d'inversion est contrôlée par le drain en plus de la grille ; il en résulte une augmentation du courant dans le régime de saturation [9].

Un autre effet est le courant de fuite GIDL (« *Gate Induced Drain Leakage*») [15]; en raison de la réduction de l'épaisseur de l'oxyde de grille, de forts champs électriques transversaux sont créés au niveau du drain. Ceci peut générer un courant de fuite entre la grille et le drain à l'état bloqué du transistor MOSFET. D'autres effets parasites peuvent dégrader le fonctionnement à l'état bloqué, tels que l'effet des courants de fuite des jonctions source/canal et canal/drain polarisées en inverse (« *Reverse Short Channel* »), appelé aussi « *roll-up* » et le courant de perçage source/drain (« *punch through* »).

Tous ces effets constituent une limitation importante pour la miniaturisation des technologies. L'inconvénient ne consiste pas uniquement en la diminution de la tension de seuil elle-même, mais aussi en l'accentuation de la sensibilité des circuits aux dispersions technologiques.

I.4 Solutions technologiques

Afin de limiter les effets néfastes dus à la miniaturisation des transistors MOSFETs, des ajouts sont couramment utilisés dans les technologies les plus avancées pour améliorer les performances du transistor à savoir l'amélioration du contrôle électrostatique en créant de nouvelles architectures, la réduction des fuites de grille en utilisant de nouveaux matériaux et d'autres solutions technologiques pour l'amélioration des propriétés du transport des porteurs.

I.4.1 Transistor MOSFET SOI

La première révolution dans l'architecture du transistor MOSFET est l'apparition des transistors sur film mince SOI (« *Silicon On Insulator*»). Ce type de transistor est caractérisé par deux paramètres supplémentaires par rapport aux transistors conventionnels : l'épaisseur du film Si (t_{Si}) sur lequel est intégrée la région active du dispositif et l'épaisseur de la couche d'oxyde (t_{BOX}) dit oxyde enterré. On distingue deux types de dispositif sur film mince. Lorsque l'épaisseur t_{Si} du film est suffisamment épaisse, une partie seulement du film est désertée.

On parle alors du transistor sur isolant partiellement déserté PD-SOI « *Partially Depleted Silicon On Insulator*», son fonctionnement et ses caractéristiques sont proches de ceux du transistor sur silicium massif.

Lorsque l'épaisseur t_{Si} est plus fine, l'ensemble du substrat est déserté et on parle cette fois d'un transistor totalement déserté ; FD-SOI « *Fully Depleted Silicon On Insulator*». Ce dernier présente de nombreux avantages tels que l'obtention des jonctions ultra-minces permettant un bon contrôle des effets de canaux courts.

Les avantages de la technologie SOI sont que le substrat est isolé de la couche active, il y a minimisation des capacités parasites associées au substrat et pas de courant de fuite du substrat. Les transistors SOI possèdent aussi quelques inconvénients, tels que l'augmentation des résistances d'accès, les effets d'auto-échauffement qui se traduisent par une diminution du niveau du courant [16]. Malgré ces inconvénients, les transistors SOI sont très prometteurs et ils ont ouvert la voie à des architectures plus évoluées; les transistors MOSFET à grilles multiples abordés dans le paragraphe 1.4.4.

I.4.2 Utilisation d'empilements avec isolant à haute permittivité et grille métallique

L'empilement de grille est une brique technologique essentielle d'un transistor MOSFET. Il est devenu ces dernières années le centre d'intérêt pour améliorer les performances, notamment en réduisant fortement l'épaisseur de l'oxyde de grille afin d'augmenter le courant du drain. Pour tenter de s'affranchir des problèmes posés par l'amincissement de l'oxyde de grille, notamment en termes de courant de grille, fiabilité et consommation électrique, une alternative consiste à remplacer le dioxyde de silicium siliciure (SiO_2) par un matériau de permittivité diélectrique supérieure (« high-k »). On peut alors

avoir un isolant de grille d'épaisseur plus importante, tout en gardant les mêmes performances électriques (c'est à dire la même capacité d'oxyde). La capacité devient alors :

$$C_{ox} = \frac{\varepsilon_{hk}^r \varepsilon_0}{T_{hk}} \quad (1.20)$$

$\varepsilon_{hk}^r, T_{hk}$: sont la permittivité relative et l'épaisseur du matériau high-k respectivement.

I.4.3 Amélioration du transport de charge dans le canal

Le maintien de l'intégration demande une amélioration continue de la mobilité des porteurs dans le canal. De nombreuses méthodes ont été trouvées pour augmenter la mobilité telle que l'utilisation de nouveaux matériaux dans le canal du transistor, le changement de l'orientation cristalline du canal et du substrat et l'implémentation de nouvelles techniques de contrainte.

I.4.3.1 L'orientation cristalline du canal ou du substrat

La mobilité des porteurs de la couche d'inversion dépend de l'orientation de la surface et de la direction du flux du courant. Ceci est dû à l'asymétrie des masses effectives des porteurs dans le réseau du silicium cristallin [17].

Il existe deux orientations potentielles du substrat pour les transistors planaires : (100) et (110). Le meilleur transistor nMOSFET a été fabriqué sur un substrat (100) avec une direction du canal $\langle 110 \rangle$ et le meilleur pMOSFET a été fabriqué sur un substrat (110) avec une direction du canal $\langle 110 \rangle$ [18]. Dans les transistors non-planaires, il est un peu compliqué d'optimiser l'orientation du substrat et du canal. Par exemple, de nouvelles structures de transistors FinFETs peuvent être orientés dans les directions différentes pour différentes orientations, par exemple, placer un nFinFET à 45° du pFinFET sur une surface (100) donne (110) $\langle 110 \rangle$ pour le pFinFET et un nFinFET (100) $\langle 110 \rangle$ [19].

I.4.3.2 L'ingénierie des contraintes mécaniques

La contrainte mécanique a un impact considérable dans la continuité de l'intégration. Un grand nombre de techniques sont employées aujourd'hui dans la fabrication des transistors.

La contrainte mécanique induit des déformations qui modifient les propriétés électroniques en changeant la symétrie du cristal. Elle permet d'augmenter la mobilité donc les performances du transistor. La contrainte a été considérée comme néfaste dans les années 80 [20], car elle générait des défauts ponctuels (lacunes, impuretés..) ainsi que des dislocations qui modifient les propriétés électriques du matériau. Ce n'est que dans cette dernière décennie qu'on a commencé à étudier et à utiliser les contraintes mécaniques à petite échelle pour améliorer les performances du transistor MOSFET. La contrainte modifie la structure de bande du semi-conducteur. L'énergie de la bande interdite est modifiée et les dégénérescences de la bande de conduction et de valence sont levées, réduisant la probabilité d'interaction entre les porteurs et les phonons. La mobilité effective des porteurs s'écrit comme suit :

$$\mu_{eff} = \frac{q\tau}{m^*} \quad (1.21)$$

$1/\tau$ est la fréquence de collisions des porteurs, m^* est la masse effective de conduction des porteurs, q est la charge élémentaire.

L'introduction des contraintes améliore la mobilité grâce à la réduction de la masse effective de conduction et/ou de la fréquence de collisions des porteurs. Il existe deux manières d'introduire une contrainte dans le canal du transistor : contrainte mécanique globale ou locale. La contrainte globale peut être introduite par le substrat, la couche du silicium active est alors contrainte sur toute la surface de la plaque. D'autre part, la contrainte peut être introduite localement au niveau du canal lors des procédés de fabrication. L'effet d'une contrainte est différent pour les électrons et les trous. Pour les transistors nMOSFETs, une contrainte en tension est nécessaire tandis que pour les transistors pMOSFETs, la contrainte doit être en compression. Les transistors contraints offrent une grande robustesse au claquage de l'oxyde et une meilleure immunité aux effets de porteurs chauds [21].

I.4.3.3 Silicium sur isolant contraint (sSOI)

Une des anciennes techniques de contrainte dans la technologie CMOS est de déposer une fine couche du silicium par épitaxie sur une couche tampon de $\text{Si}_{1-x}\text{Ge}_x$ relaxée (SRB ; « *Strain relaxed buffer* »).

Ce dernier a une maille plus grande que celle du silicium, l'alignement des mailles induit une contrainte en tension en deux axes dans la couche du silicium [22], [23]. Cependant, la diffusion des atomes du Ge vers l'interface Si/SiO₂ et son accumulation créent des densités de pièges à l'interface et dans le volume de l'oxyde qui augmentent le courant de fuite de grille assisté par pièges (conduction Poole-Fränkel) ainsi qu'une dégradation de la mobilité. Grâce au procédé « Smart Cut », la couche tampon peut être enlevée, on peut avoir des substrats de silicium contraints directement sur isolant sSOI (« *Strained Silicon On Insulator* »). Ce substrat permet d'améliorer la mobilité dans le transistor [24]. La contrainte introduite permet d'obtenir une contrainte en tension, dans le canal d'un transistor MOSFET, qui peut atteindre 1 Gap.

Les gains obtenus avec les substrats sSOI sont de l'ordre de 70 % pour les nMOSFETs longs et 40 % pour les pMOSFETs par rapport aux transistors sur substrat SOI. En plus de cet atout, ils possèdent une grande compatibilité avec les procédés d'intégration et avec les architectures standards des dispositifs CMOS.

I.4.3.4 Couche d'arrêt à la gravure (CESL)

L'une des techniques locales d'introduction de contrainte pour les transistors nMOSFETs et pMOSFETs est le CESL (« *Contact Etch Stop Layer* »). C'est une couche qui recouvre la grille, généralement en nitrure du silicium (SiN_x) [25]. De telles couches peuvent introduire une contrainte en tension ou en compression afin d'améliorer la mobilité dans les nMOSFETs ou dans les pMOSFETs respectivement surtout dans les transistors à faibles dimensions puisqu'il s'agit d'un effet de bord. L'un des principaux facteurs qui contrôle la contrainte dans le film est lié aux liaisons d'Hydrogène ; le rapport N-H/Si-H. Un grand nombre de liaisons N-H induit une contrainte en compression dans le film et un grand nombre de liaisons Si-H augmente la contrainte en tension. Les contraintes sont de l'ordre de 1-2 GPa. L'amélioration du courant de drain est de 10 à 30 % quand on utilise les types de techniques CESL appropriées pour les nMOSFETs et les pMOSFETs.

I.4.3.5 Croissance épitaxiale sélective (SEG)

La contrainte est introduite par une croissance épitaxiale sélective SEG (« *Selective Epitaxial Growth* ») du SiGe ou du Si:C dans les régions de la source et du drain.

La grande maille du SiGe crée une contrainte parallèle en compression dans le canal, ce type de contrainte est bénéfique pour les transistors pMOSFETs. Cette contrainte induit une réduction des résistances d'accès [26], [27], améliore la mobilité des porteurs et réduit le courant de fuite GIDL [28].

La figure I-5 illustre des coupes schématiques de transistors MOSFETs avec les trois différentes techniques de contraintes citées ci-dessus. La coupe schématique (a) représente un transistor sSOI, la coupe schématique (b) est celle d'un transistor ayant subi la technique CESL et la coupe schématique (c) est celle d'un transistor ayant subi la technique SEG.

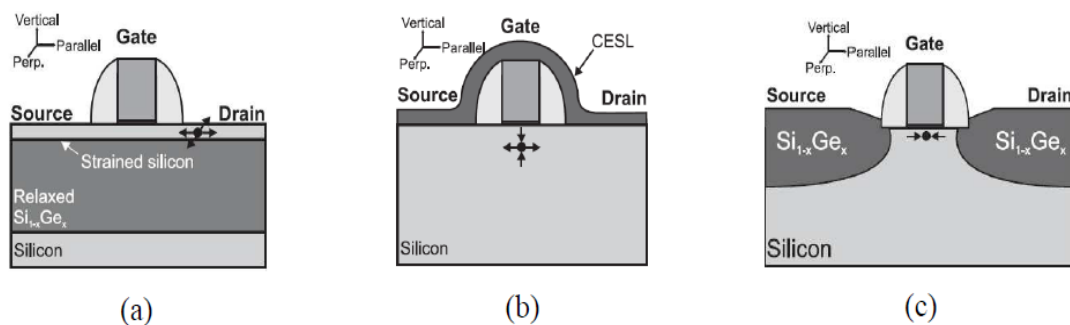


Figure I-5 Coupes schématiques de transistors MOSFET avec différentes techniques de contraintes ; la coupe schématique (a) sSOI : un substrat contraint avec du SiGe relaxé, (b) CESL : dépôt de la couche CESL qui recouvre totalement la grille, (c) SEG : croissance du SiGe dans la source et le drain par une épitaxie sélective [21].

I.4.4 MOSFET à grilles multiples

Les transistors à grilles multiples (MUGFETs) sont largement reconnus comme des candidats prometteurs pour satisfaire les exigences de l'ITRS, grâce au bon contrôle du canal par la grille. Plusieurs architectures à grilles multiples ont vu le jour.

Un transistor double-grille est équivalent à une structure SOI dans laquelle l'oxyde de grille et l'oxyde enterré ont la même épaisseur, les grilles avant et arrière étant connectées ensemble. D'un point de vue électrostatique, le transistor MOS double-grille est plus robuste que le transistor MOS à une simple grille puisque la double-grille, fortement couplée au canal, contrôle simultanément le potentiel de surface aux deux interfaces du film du silicium. Par conséquent, les effets de canaux courts sont réduits.

Un autre avantage de ces dispositifs vient du caractère symétrique de la distribution du potentiel électrostatique qui induit un champ nul au milieu du film ce qui permet d'augmenter la mobilité, une réduction des phénomènes parasites liés aux fluctuations de dopants et, simultanément, une augmentation de la probabilité de transport balistique dans le cas des canaux courts (< 20 nm).

Il existe de nombreuses variantes de la configuration double-grille, par exemple si la grille est présente sur deux des quatre côtés du film. Lorsque le film de silicium est enrobé par la grille, on parle de transistor GAA (« *Gate-All-Around*») où le contrôle du canal est amélioré. Pour une grille présentée sur trois des quatre interfaces, plusieurs structures ont été proposées : Ω -FET, Π -FET, FinFET.

Dans ces configurations le contrôle électrostatique du film est encore amélioré, ce qui permet de gagner jusqu'à 50 % au niveau de la réduction des dimensions [29], [30].

I.5 Le transistor FinFET

La première structure FinFET a été publiée sous le nom de DELTA (« *fully Depleted Lean channel Transistor* ») en 1989 [31]. Elle a été fabriquée sur un substrat SOI. La structure est appelée « *Fin* » car elle ressemble à un doigt « *finger* », sa section horizontale est similaire à un transistor double grille. La hauteur du doigt correspond à la largeur du canal d'un transistor double grille.

La caractéristique distincte du FinFET est que le canal de conduction est enroulé autour d'une fine couche de silicium « *Fin* » qui forme le volume (« *the body* ») du transistor. Ce transistor possède deux canaux sur les côtés dont l'orientation cristalline est (110) et un canal sur le « *top* » dont l'orientation cristalline est (100).

Par conséquent, le transistor FinFET a plus de dimensions géométriques que le transistor planaire. En plus de la longueur de grille L , il y a la largeur du doigt W_{fin} , la hauteur du doigt H_{fin} , la distance entre deux doigts ; FS (« *spacebetween fin* »), la distance entre la grille et la source/drain ; S et N_{fin} qui est le nombre de doigts, car le FinFET peut avoir plusieurs doigts en parallèle, ce qui peut induire un courant de drain plus élevé.

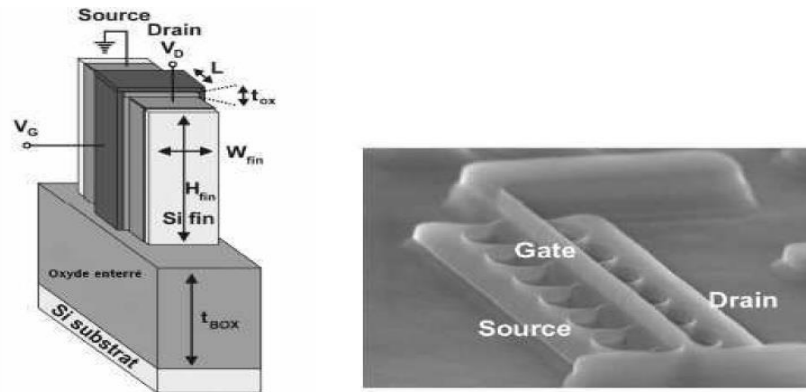


Figure I-6 (a) Structure d'un transistor FinFET sur un substrat SOI, (b) image TEM d'un transistor FinFET avec des doigts multiples [27].

La figure I-6 représente (a) la structure d'un transistor FinFET et (b) une image TEM d'un transistor FinFET avec plusieurs doigts en parallèles. Le transistor FinFET présente de meilleures performances grâce à sa grande immunité aux effets de canaux courts par sa géométrie [33], [34], [35]. La largeur du doigt W_{fin} doit être choisie la plus petite possible pour avoir un bon contrôle du canal ($W_{fin} \leq 2/3 L_{min}$) [36]. Le transistor FinFET présente une meilleure réduction du courant tunnel de grille [35], [37] et une amélioration de la pente sous le seuil [38]. Un autre avantage de ce transistor est que le film du silicium est non-dopé ($10^{15}/\text{cm}^3$). La tension de seuil est fixée par le travail de sortie de la grille métallique, sa sensibilité à la variation de l'épaisseur du film de silicium est réduite. L'utilisation d'un transistor avec des doigts multiples augmente le courant de sortie.

Beaucoup de travaux ont été faits pour confirmer ses performances dans les applications logiques [39], [40], [41] et analogiques [42], [43], [44] et par ailleurs, il présente une excellente compatibilité avec les procédés CMOS planaires.

Le doigt reste intrinsèque, le gradient du dopage de la source et du drain vers le canal est important et la pénétration du dopage au canal est donc plus profonde, ce qui influence fortement les résistances d'accès qui dégradent le courant de drain [37], [42], [45].

Pour réduire l'effet des résistances d'accès, une solution a été trouvée, en déposant du SiGe dans les régions source et drain par une croissance épitaxiale sélective (SEG) [46], [47]. Afin d'augmenter encore plus les performances électriques du transistor FinFET, des ajouts technologiques sont couramment employés, tel que l'utilisation des contraintes mécaniques locales et/ou globales.

I.6 Conclusion

Dans la première partie du chapitre, le principe et les différents régimes de fonctionnement du transistor MOSFET à canal long ont été décrits. Les principaux paramètres électriques du transistor MOSFET ont été définis. Dans la deuxième partie de ce chapitre, les limites physiques de l'intégration du transistor MOSFET et les différentes solutions envisagées ont été données. En particulier, ont été présentés la technologie des FinFETs et les diverses techniques de contrainte qui ont conduit à la réalisation des transistors étudiés dans ce mémoire.

Chapitre 11

Le Transistor FinFET

Le transistor FinFET : propriétés électriques et effets physiques

II.1.1 Présentation du FinFET

Le FinFET est construit à base d'un film de silicium fin sur un wafer SOI. La forme du film de silicium ressemble à un aileron (soit « fin » en anglais). C'est pourquoi on le nomme FinFET.

La structure du transistor FinFET est définie à la Figure II-1. La grille enrobe le film de silicium. La section horizontale est similaire à un DG MOSFET (Figure II-1b). L'oxyde de la grille supérieure est très épais afin de négliger l'influence de la grille associée. La hauteur du Fin correspond à la largeur du canal d'un DG MOSFET. Nous pouvons donc estimer que la largeur du canal total en forte inversion est équivalente à 2 fois la hauteur du Fin (H_{Si}).

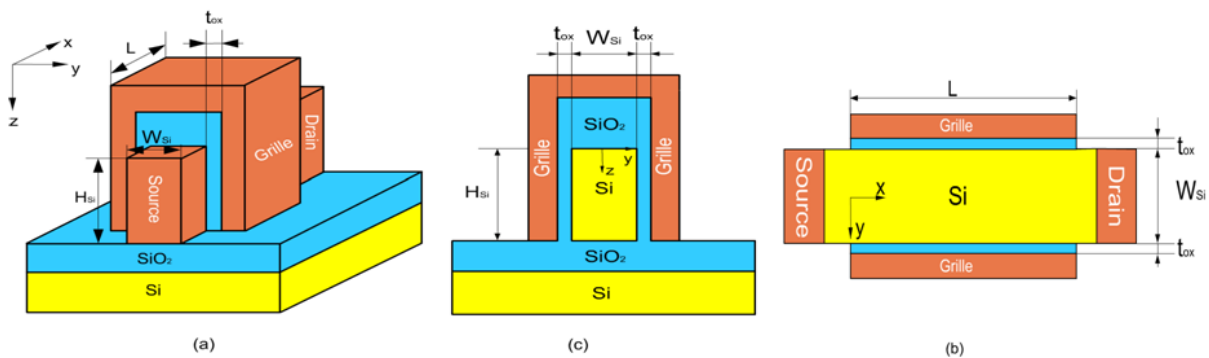


Figure II-1 Présentation du FinFET [74].

II.1.2 Propriétés électriques du FinFET

les propriétés électriques du FinFET sont liées aux paramètres géométriques et technologiques, c'est-à-dire : la longueur du canal (L), la largeur du Fin (W_{Si}), la hauteur du fin (H_{Si}), le dopage du Fin, les propriétés des grilles (SDG/ADG), les jonctions S/D-Fin, la section des source/drain, l'orientation du silicium, etc. Nous détaillerons dans ce chapitre les effets liés à ces paramètres.

II.1.2.1 La longueur du canal (L)

Comme dans le cas de la technologie MOSFET Bulk, la longueur du canal est le paramètre le plus important et l'indicateur clef de la génération de la technologie. Afin de fabriquer un circuit qui fonctionne le plus vite possible et qui consomme moins d'énergie et avec une surface la plus petite possible, il faut diminuer la longueur du canal de transistor.

En réduisant la longueur du canal, la surface occupée par le transistor est donc réduite et la résistance série est diminuée permettant ainsi d'avoir un courant plus important. La vitesse du circuit s'en trouve augmentée. Par contre, le SCE et le DIBL sont reliés directement avec la réduction de la longueur du canal. Plus la longueur du canal est petite plus les effets SCE et DIBL sont importants.

II.1.2.2 La largeur (ou l'épaisseur) du Fin (W_{si})

L'épaisseur du film de silicium joue un rôle important pour le fonctionnement du transistor. Pour que toute l'épaisseur du film de silicium soit déplétée, dans le cas où le dopage du substrat est faible ou intrinsèque, W_{si} doit être petite. D'après la théorie d'échelle (scaling) (voir annexé A), plus petite sera W_{si} , plus petite sera la longueur naturelle l . Rappelons que pour une longueur du canal donnée, une petite valeur de W_{si} limite la dégradation des performances due aux effets SEC et DIBL. La réduction de W_{si} peut aussi limiter la pénétration des lignes électriques venant des grilles en traversant l'oxyde au-dessous du Fin [48].

Cependant, la diminution de W_{si} impliquera l'apparition des effets quantiques [49]-[50]. Cela fait dévier les porteurs de l'interface Si-SiO₂ vers le centre du Fin en augmentant le gap effectif. La tension de seuil va donc augmenter (Figure II-2) et la capacité de l'oxyde de grille sera réduite. Par ailleurs, lorsque W_{si} est réduite, sans considérer les effets quantiques, la section du film de silicium est plus petite, ce qui augmente la résistance série et réduit le courant (Figure II-2) l'auto-échauffement s'en trouve également renforcé.

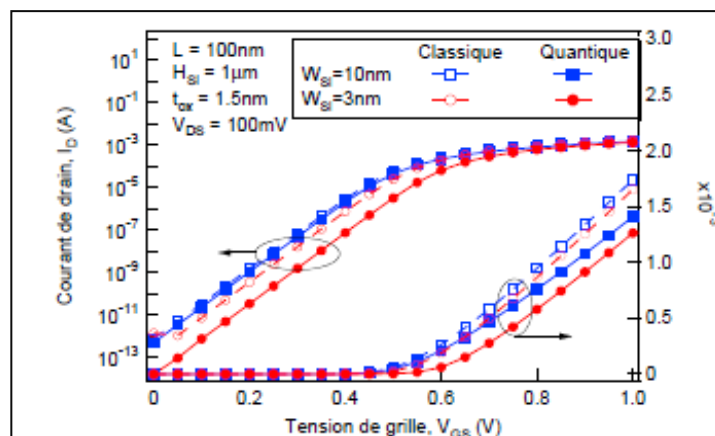


Figure II-2 Influence du paramètre W_{si} dans la simulation 3D [59].

EQn conclusion, un compromis doit être trouvé sur le choix de W_{si} .

II.1.2.3 La hauteur du Fin (H_{si})

La hauteur du Fin peut être assimilée à la largeur du canal dans le cas du transistor MOSFET bulk. Sauf, en forte inversion, la largeur du canal peut être estimée à 2 fois H_{si} . Afin d'avoir un courant important, la hauteur H_{si} doit être la plus grande possible. Cela limite aussi les effets de coin et les effets quantiques dans la direction verticale.

Cependant, à cause de difficulté de fabrication, H_{si} ne peut pas toujours être augmentée comme on le souhaite. Quand H_{si} est très grand, maintenir l'uniformité de la largeur du Fin tout au long de la direction verticale sera un challenge. Par conséquent, pour augmenter le courant, on peut multiplier les films de silicium en parallèle ce qui a donné l'idée de la technologie MOSFET à nanofil.

II.1.2.4 Le dopage du film de silicium

Dans la technologie MOSFET bulk, il est nécessaire de doper le canal très fortement pour réduire le SCE pour un transistor de faible longueur de grille. Mais ce n'est plus le cas pour un FinFET. Le Fin est laissé non-dopé ou très faiblement dopé, permettant ainsi une mobilité plus importante et une tension de seuil fixée par le travail de sortie de la grille et par les dopages du film de silicium quand le film de silicium est très fortement dopé. Pour le SCE, l'impact du rapport (L/l) est plus important que l'impact du dopage du film de silicium.

II.1.2.5 Des jonctions S/D-canal

Puisque le Fin reste intrinsèque ou faiblement dopé, le gradient de dopage de la source et du drain vers le canal est grand et la pénétration du dopage au canal est donc plus profonde. La longueur d'overlap devient plus importante ce qui influence fortement la résistance série et dégrade le courant. Une jonction abrupte est nécessaire pour permettre une résistance plus faible.

II.1.2.6 L'élargissement des sections de la source et drain

Une autre solution pour réduire la résistance en série est de surélever la source et drain. Dans la Figure II-3, on voit bien qu'avec la source et drain surélevés, le courant est significativement augmenté [51].

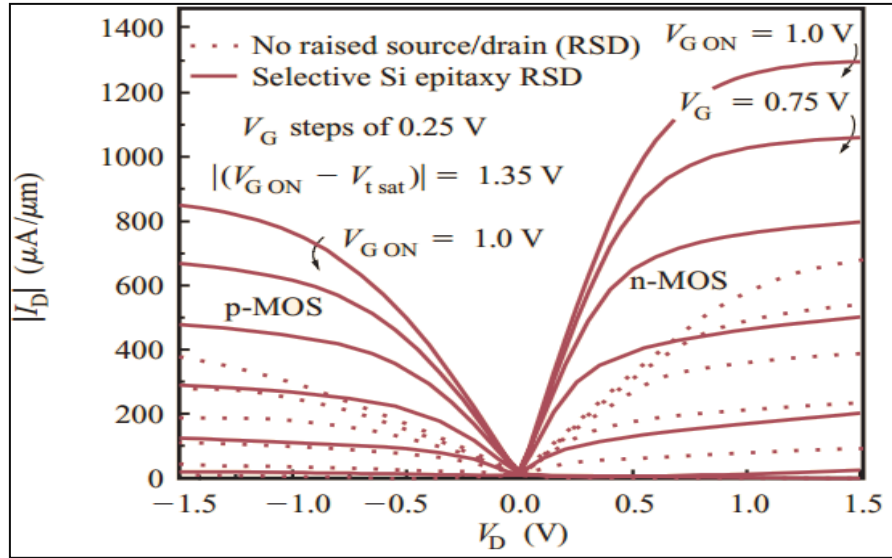


Figure II-3 Influence du surélévément des sources et drain pour un FinFET court ($L=30\text{nm}$, $W_{\text{si}}=20\text{nm}$) [51].

II.1.2.7 Symétrique et Asymétrique Double Grille [51]

Jusqu'à maintenant, nous n'avons parlé que du transistor FinFET SDG (symétrique Double Gates) (Figure II-4). Dans les applications CMOS, le SDG a un courant « off » (I_{off}) plus petit par rapport à un MOSFET Bulk mais non-nul. Avec la structure ADG (Asymétrique Double Gates), les deux grilles sont distinctes en raison de travaux de sortie différents. Généralement, les deux grilles sont de type n^+ et p^+ respectivement (Figure II-5). Avec l'ajustement des travaux de sortie de grilles, il est possible d'avoir un I_{off} extrêmement petit ce qui est très intéressant pour les applications portables ou de faible consommation où il est important d'économiser le plus d'énergie possible. Bien évidemment le courant I_{on} est plus faible par rapport à un dispositif symétrique avec la même dimension.

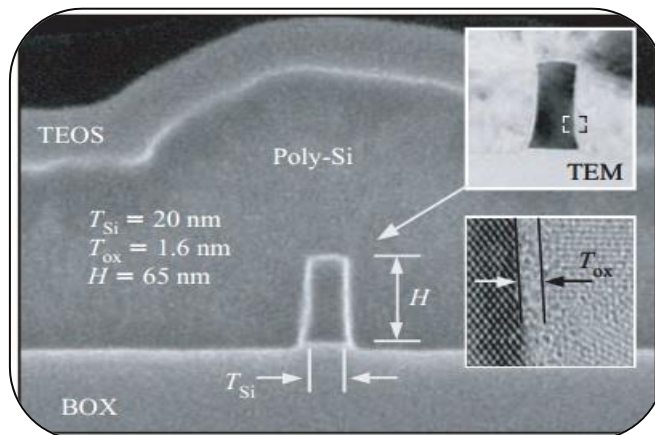


Figure II-4 Section d'un transistor FinFET SDG perpendiculaire [51]

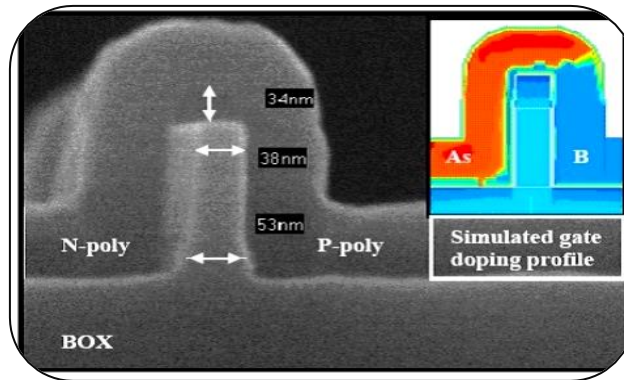


Figure II-5 Section d'un transistor FinFET ADG perpendiculaire (2x la Hauteur du 'Fin') [51].

II.1.3 Effets de coin

Les effets de coin sont des effets localisés aux deux coins du film de silicium (comme indique à la Figure II-6). L'allure du potentiel est changée dans ces coins du silicium. Ce changement résulte en un courant de fuite aux coins qui n'est pas sous le contrôle des grilles [52]-[53]. Dans cette région, la tension de seuil est plus petite qu'ailleurs, ainsi avant que le transistor ne soit « activé », il existe déjà une somme de courant de coin, nommé courant de fuite. Cela augmente fortement le courant I_{off} . A la Figure II-7, nous voyons que ces effets de coin ont lieu pour toutes les structures 3D [54]. Généralement, la caractéristique dg_m/V_g peut être utilisée pour identifier la tension de seuil ; cette tension correspond au pic de la courbe. Mais pour les structures 3D, il existe deux pics pour chaque courbe. Le premier pic correspond à la tension de seuil dans la région de coin et le deuxième pic correspond à la « vraie » tension de seuil du transistor.

Nous pouvons remarquer sur la figure II-7 que pour les structures Omega (Ω), Pi(π) Grille MOSFET et la structure GAA (équivalent ici à un Quadruple Grille), le premier pic est plus grand que le deuxième, c'est-à-dire, le canal aux coins est activé beaucoup plus vite que le centre de silicium. Pour le FinFET et TG-MOSFET, les canaux aux coins sont des perturbations non négligeables.

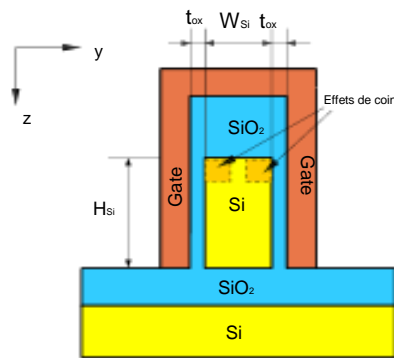


Figure II-6 les régions où les effets de coin se produisent dans la section verticale d'un FinFET [53].

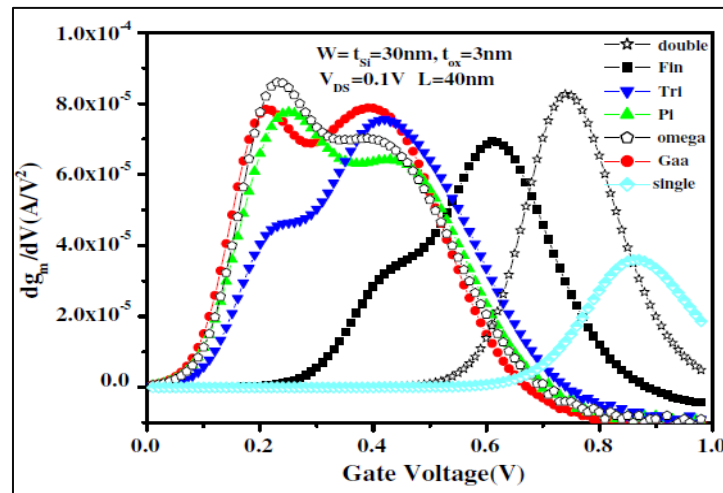


Figure II-7 dg_m/dV_G à $V_{DS}=0,1V$ pour différents transistor SOI [54]

La solution pour supprimer les effets de coin est proposée dans [55]. Si le dopage du silicium est très faible ou intrinsèque, les effets de coin sont généralement négligeables. Une autre solution est d'arrondir le coin. C'est pourquoi le GAA n'a pas d'effet de coin [52]. Une autre solution pour que les effets de coin soient négligeables sera d'augmenter la hauteur du Fin (H_{si}). La raison est simple : si la partie de coin est suffisamment petite par rapport à tout le film de silicium, les effets de coins peuvent être négligés.

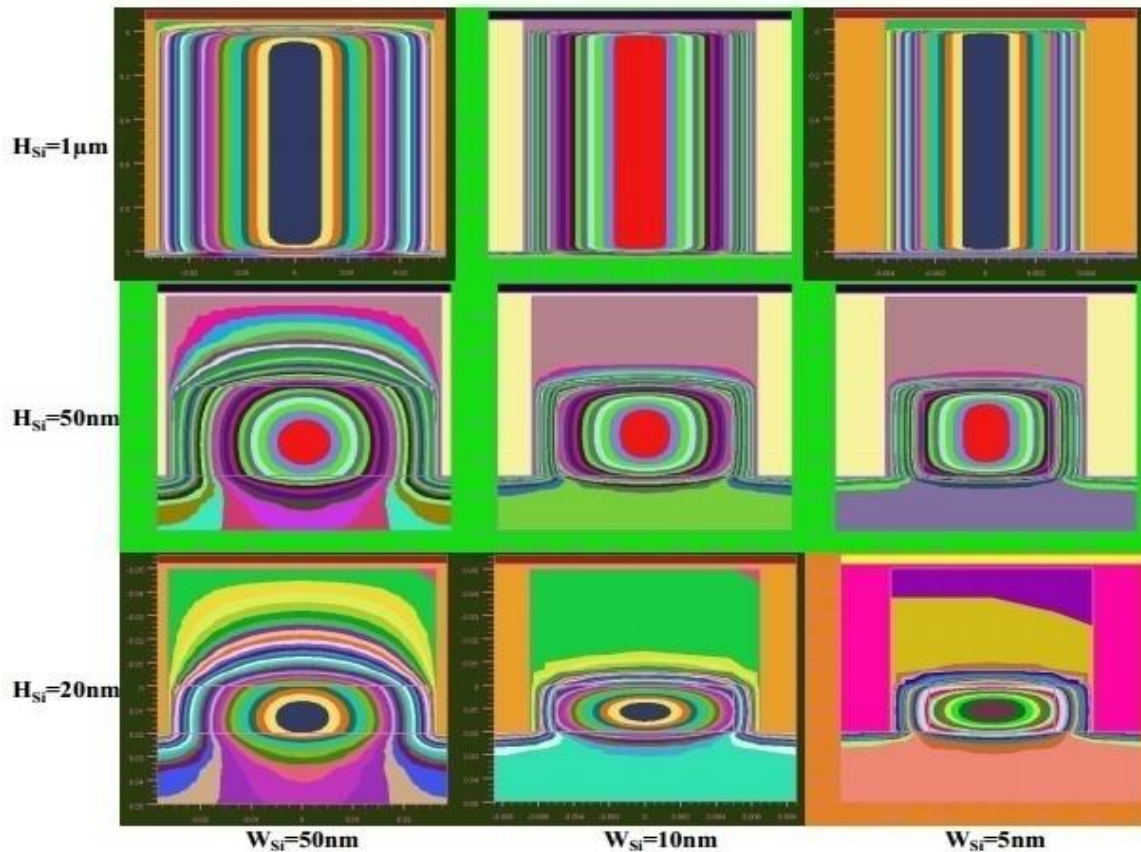


Figure II-8 Potentiel dans l'oxyde et le silicium à la section Y-Z (Figure II-1) pour les FinFET avec une longueur de canal de $1\mu\text{m}$, $V_{GS}=0,3\text{V}$. Les effets quantiques ne sont pas pris en compte [48].

D'après une comparaison du potentiel dans l'oxyde et le silicium à la section perpendiculaire à la circulation du courant pour différentes hauteurs et largeurs de silicium simulée avec le simulateur du dispositif d'Atlas de silvaco. Nous voyons que pour une hauteur très grande. i.e. $H_{\text{si}}=1\mu\text{m}$ le potentiel dans le silicium est quasi-identique dans la direction verticale (Figure II-8). Il n'y a qu'une petite partie du potentiel qui n'est pas identique dans le sens vertical proche des interfaces entre le silicium et la grille au-dessus de silicium et l'oxyde du substrat. Ce dernier résulte de la pénétration des influences de grilles latérales via l'oxyde au-dessus du silicium et l'oxyde de substrat. Car l'oxyde au-dessus de silicium ($t_{\text{on_top}}$) est très épais. La grille au-dessus de silicium n'a qu'une très faible influence sur le silicium et être négligée par rapport aux grilles latérales.

Quand la hauteur du silicium est diminuée jusqu'à 50nm, si la largeur du silicium est suffisamment petite ($W_{\text{si}}=10\text{nm}$ ou moins), le potentiel dans le sens vertical est encore quasi-

identique. Les parties du potentiel qui ne sont pas identiques dans le sens vertical sont négligeables par rapport à la partie du potentiel identique grâce au fort contrôle des grilles transversales. Quand la hauteur est très petite ($H_{si}=20\text{nm}$), nous ne pouvons plus considérer que le potentiel est identique dans le sens vertical quelle que soit la largeur de silicium. Les contours du potentiel sont arrondis.

Nous avons parlé des effets de coins localisés dans les deux coins supérieurs. En fait, ils peuvent exister aussi dans les coins inférieurs (Figure II-9) [48], [56]. Les lignes électriques venant des grilles traversant l'oxyde en bas et arrivent au film de silicium. Elles influencent le potentiel en bas du silicium. Cet effet s'appelle aussi l'effet du BOX. Cet effet a une influence similaire à l'effet de coin et il peut être limité en réduisant la largeur du Fin (W_{si}).

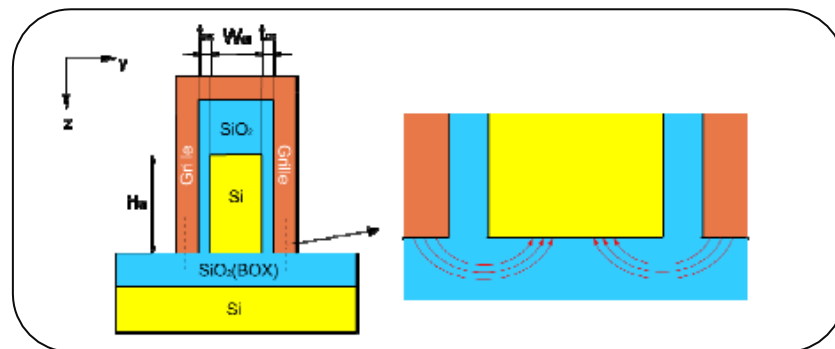


Figure II-9 Effet du BOX dans la direction Y-Z [48].

Les effets de coin dont nous avons parlé précédemment dépendent aussi du dopage du silicium. Bien qu'il existe une influence de la pénétration du champ venant de la grille via l'oxyde au-dessus et au-dessous du silicium et qu'il en résulte un gradient du potentiel dans le sens vertical aux coins supérieur et inférieurs, cette influence sera très réduite quand le dopage du silicium est très faible ou le silicium est intrinsèque [55].

L'effet du BOX peut aussi se produire dans la direction X-Z (Figure II-10). Les lignes électriques venant des sources et drain traversent l'oxyde en bas et arrivent dans le silicium. Cet effet est appelé également DIVSB (Drain-Induced Virtual Substrate Biasing). Le potentiel dans le film de silicium notamment à côté du drain est augmenté par la polarisation du drain.

Il est similaire au DIBL et résulte en une diminution de la tension de seuil [56]. Une couche moins épaisse d'oxyde en bas du film de silicium qu'on appelle BOX est donc préférée afin de limiter la pénétration du champ électrique du drain traversant le BOX et

arrivant au silicium (Figure II-10). L'augmentation du potentiel de l'interface Fin/BOX induit par le drain est donc diminuée. L'effet DIVSB est donc moins important [48].

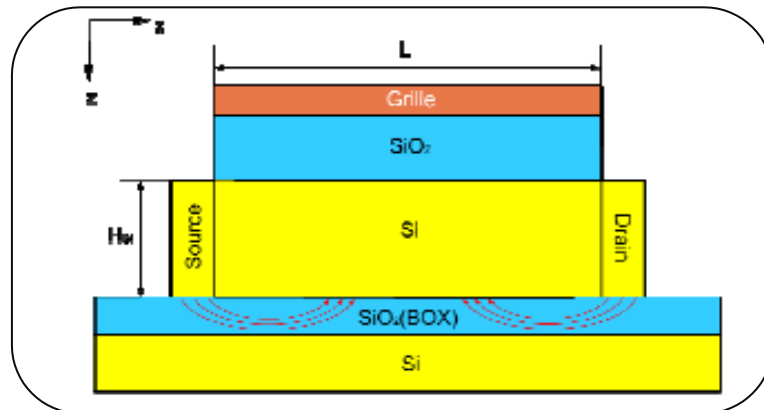


Figure II-10 Effet du BOX dans la direction X-Z [48].

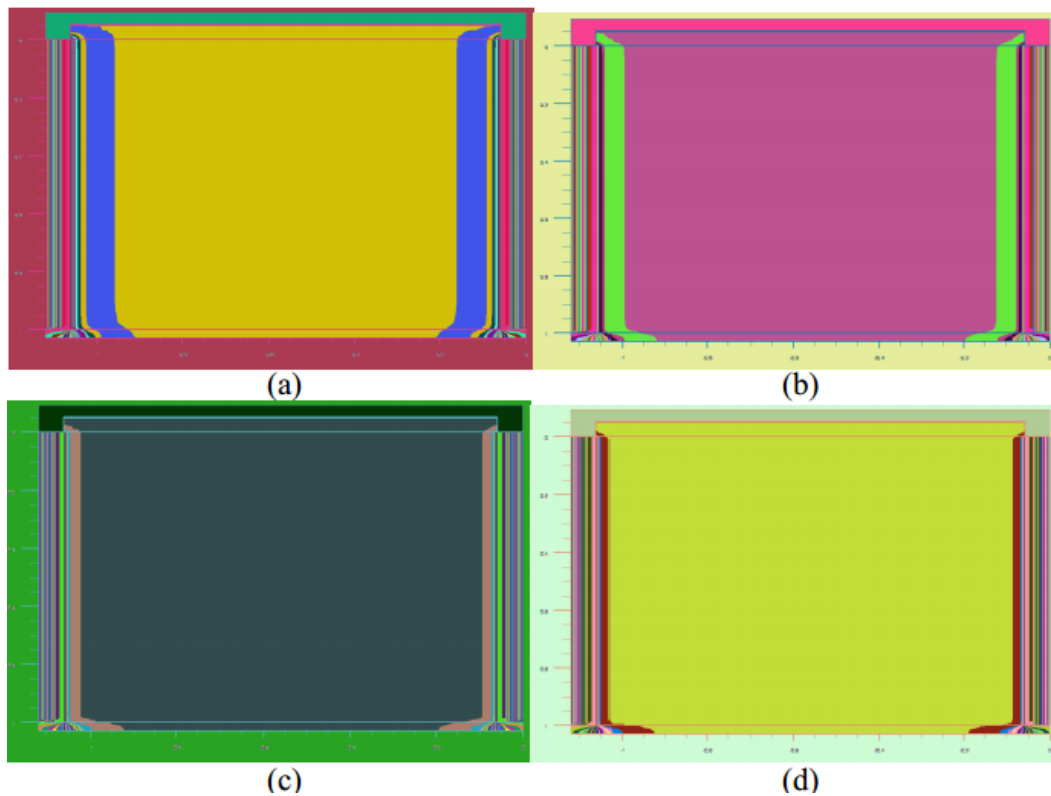


Figure II-11 Contour du potentiel dans l'oxyde et silicium du FinFET avec $H_{si}=1\mu\text{m}$, $L=1\mu\text{m}$ pour différentes épaisseur c'est-à-dire $W_{si}=(a) 50\text{ nm}$, $(b) 20\text{ nm}$, $(c) 10\text{ nm}$ et $(d) 5\text{ nm}$ [48].

Une solution permettant de d'éliminer de manière satisfaisante l'effet DIVSB est d'augmenter la hauteur du silicium. D'après la Figure II-11, nous voyons que le contour du potentiel dans le sens vertical est quasi-identique quelle que soit la largeur du silicium.

La partie où le contour du potentiel est courbe est négligeable par rapport à la partie

ou le contour du potentiel est quasi-identique au sens vertical. Quand la hauteur du silicium est petit, i.e. $H_{si}=20\text{nm}$, la pénétration du champ électrique induit par le drain via le BOX est très importante notamment pour une grande largeur de silicium est petite, i.e. $W_{si}=50\text{nm}$ (Figure II-12). Cependant, si la largeur du silicium est petite, la pénétration du champ du drain via le BOX est bien limitée (Figure II-12). C'est la raison pour laquelle nous n'avons pas eu besoin de considérer l'effet DIVSB, car la largeur de silicium est inférieure à 10nm .

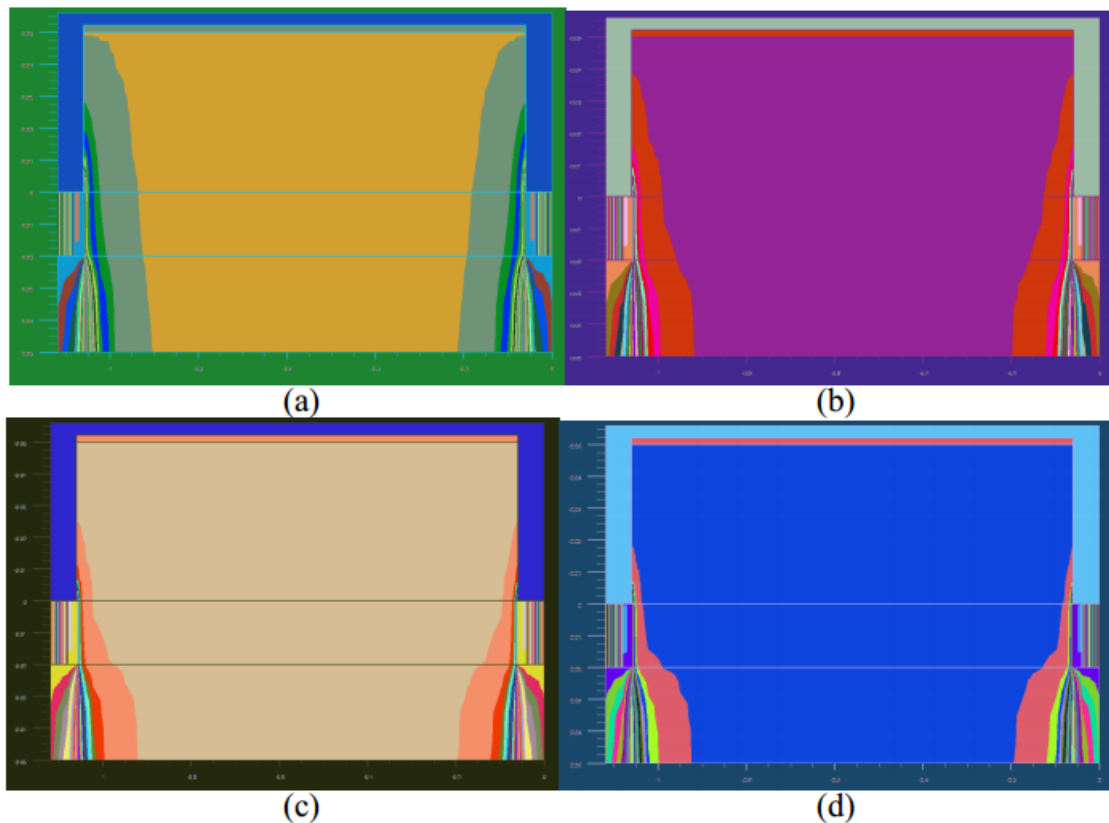


Figure II-12 Contour du potentiel dans l'oxyde et le silicium du FinFET avec $H_{si}=20\text{nm}$, $L=1\mu\text{m}$ pour différentes largeurs $W_{si}=(a) 50\text{nm}$, (b) 10 nm et (d) 5nm [48].

II.1.4 Les effets quantiques

Une petite largeur du Fin (W_{si}) est espérée pour limiter les effets SCE, DIBL et ainsi que le DIVSB. Cependant en même temps les effets quantiques commencent à dominer [49]-[50].

Les Figure II-13 et Figure II-14 montrent les distributions des électrons dans le film de silicium suivant la direction de la largeur du Fin. L'abscisse est normalisée par rapport à la largeur du Fin. Pour les simulations classiques, la densité des électrons est uniforme en

régime de faible inversion et a deux pics aux interfaces Si-SiO₂ en régime de forte inversion. Mais dans le cas quantique, les électrons sont déviés de l'interface Si-SiO₂ vers le centre du Fin quel que soit le régime d'inversion (faible ou fort). Pour une largeur plus importante, e.g. $W_{Si}=10\text{nm}$, nous trouvons deux pics proches des interfaces Si-SiO₂ ; pour une largeur moins importante, e.g. $W_{Si}=3\text{nm}$, nous n'avons qu'un seul pic au centre du silicium. Ce phénomène peut être expliqué en regardant le diagramme de bande d'énergie en Figure II-15.

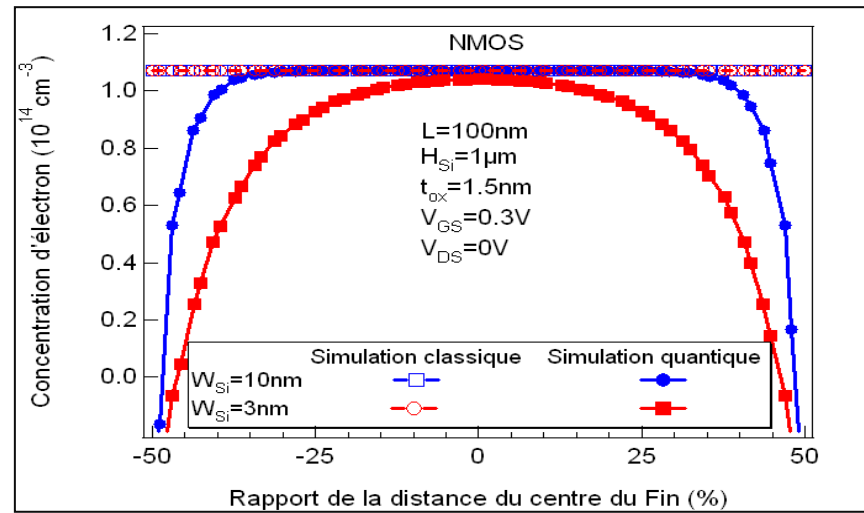


Figure II-13 Comparaison de la distribution classique et quantique des électrons dans le film de silicium pour la faible inversion. L'abscisse est normalisée par rapport à la largeur du Fin [71].

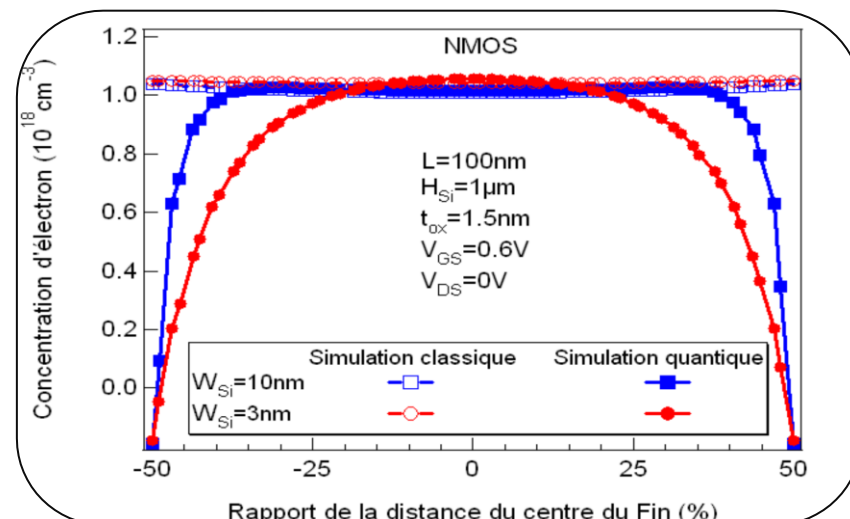


Figure II-14 Comparaison de la distribution classique et quantique des électrons dans le film de silicium pour la forte inversion. L'abscisse est normalisée par rapport à la largeur du Fin [71].

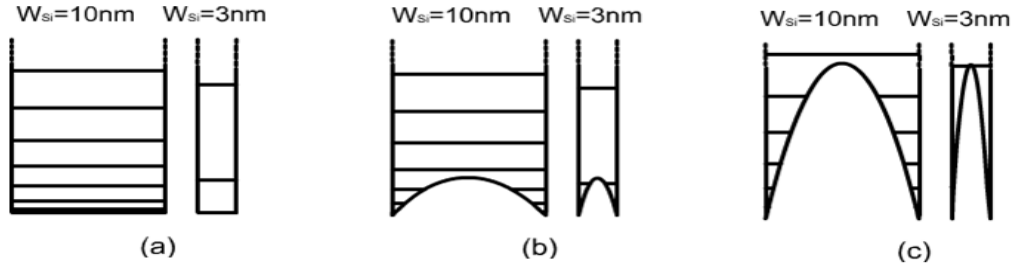


Figure II-15 Diagramme des sous-bandes quantiques d'énergie pour deux petites largeurs du silicium ($W_{si}=10$ & 3nm) pour (a) bande plate (b) faible inversion et (c) forte inversion [71].

En raison des QME, la bande de conduction est quantifiée (Figure II-15). Afin de calculer les niveaux des sous-bandes quantique, la formule ci-dessous est utilisée [12].

$$E_{mn} \cong \frac{\hbar^2 \pi^2}{2 \cdot U_T} \left[\left(\frac{m}{m_z \cdot W_{si}} \right)^2 + \left(\frac{n}{m_y \cdot H_{si}} \right)^2 \right] \quad (\text{II. 1})$$

Ou \hbar est la constante réduite de planck ; m_z et m_y sont les masses effective des électrons suivant les direction z et y , m et n sont les nombres quantique et $U_T (=K.T/e)$ est la tension thermodynamique. Intéressons nous tout d'abord à un FinFET avec une hauteur très importante ($H_{si}=1\mu\text{m}$). ainsi le deuxéme terme dans le crochet du (II.1) devient négligeable par rapport au premier, et (II.1) peut se simplifier :

$$E_{mn} \cong \frac{\hbar^2 \pi^2}{2 \cdot U_T} \left(\frac{m}{m_z \cdot W_{si}} \right)^2 \quad (\text{II. 2})$$

D' après (II.2), le diagramme des sous-bandes quantiques correspond à la figure II-15(a). Quand la grille est polarisée, le bas de la bande de conduction se courbe et croise les sous-bandes quantiques. Avec la meme polarisation de la grille, pour un FinFET plus large (e.g. $W_{si}=10\text{nm}$), le bas de la bande de conduction croise plus de sous-bande quantiques que pour un FinFET moins large (e.g. $W_{si}=3\text{nm}$), donc plus d'intersections ont lieu (Figure II-14(b) et (c)). Les intersections se trouvent proches de l'interface de Si-SiO₂. Par contre, pour un FinFET plus fin, elles se trouvent vers le centre du silicium. Les électrons se trouvent à ces

intersections. C'est pour cette raison que nous trouvons deux pics pour $W_{si}=10\text{nm}$ et un pour $W_{si}=3\text{nm}$ dans les Figure II-14 et Figure II-15. La déviation des pics, des interface Si-SiO₂, cause une augmentation de tension de seuil ainsi qu'une réduction de la capacité d'oxyde de grille (C_{ox}). Cela réduit alors le courant de saturation (I_{DSAT}) et donc également le courant I_{on} .

II.1.5 Underlap-Overlap

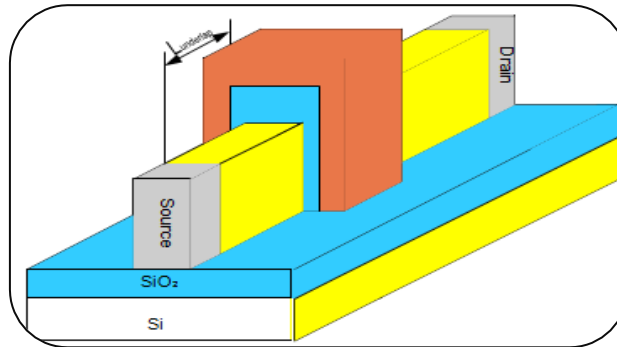


Figure II-16 Structure d'un FinFET avec la région « underlap » [57].

L'underlap (non-recouvrement) a été introduit pour faciliter la dégradation du MOSFET Bulk pour des longueurs de grille inférieures à 20nm [57]. Il est aussi utilisé dans la technologie FinFET [58]. Comme on le montre en Figure II-16, les parties du silicium non couvertes par la grille correspondent à l'underlap. L'inconvénient de la technologie d'underlap est qu'elle augmente la longueur du dispositif. La densité d'intégration est donc diminuée. En technologie MOSFET Bulk, le silicium est très fortement dopé pour réduire les effets SCE et DIBL.

Par contre, le champ latéral devient très important ce qui cause plus de collisions entre les électrons et les atomes, donc une faible mobilité et un courant de substrat plus important. L'underlap sert à affaiblir le champ latéral (de manière comparable aux zones LDD) et à supprimer la capacité d'overlap et donc réduire les retards (et permettre au circuit de fonctionner plus rapidement). De plus, l'underlap atténue l'influence du SCE et du DIBL. Mais pas contre, le courant de l'état « on » sera diminué par une augmentation de résistance série. Un compromis doit donc être trouvé selon différentes application.

Dans la technologie FinFET, le silicium reste intrinsèque ou très faiblement dopé donc le champ latéral est très faible. L'underlap n'a plus d'intérêt en ce qui concerne la réduction du champ latéral, mais il réduit le retard en supprimant la capacité d'overlap. Dans le régime de faible inversion, la longueur du canal est étendue dans les régions de l'underlap, donc les

SCE et le DIBL sont naturellement réduits [58]. L'extension de la longueur du canal est proportionnelle à la longueur du Debye ($1/\sqrt{n}$). Ne forte inversion, la longueur du canal est égale à la longueur de grille (L_g). L'inconvénient de la technologie d'underlap est qu'elle introduit une résistance d'accès très importante et réduit le courant de l'état « on ». Cette résistance n'est pas linéaire mais dépend de la polarisation de drain. Ainsi, comme dans le cas du MOSFET Bulk il est nécessaire de trouver un compromis entre le courant à l'état « on » et la vitesse de circuit.

II.1.6 Extension de la technologie FinFET-Bulk FinFET

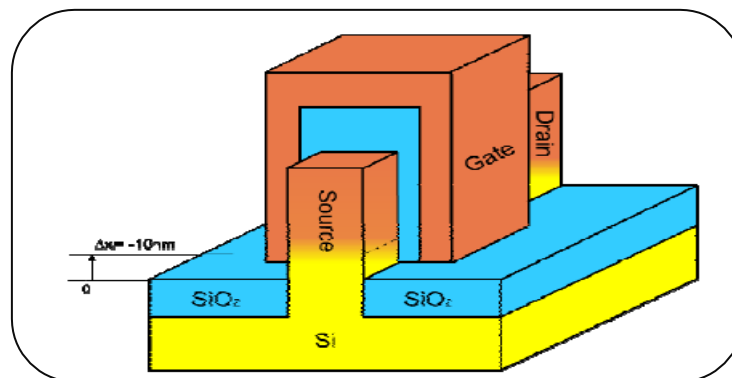


Figure II-17 Structure d'un Body-Tied FinFET [59].

Le FinFET est réalisé sur un wafer SOI et hérité donc de l'inconvénient associé, à savoir une faible conductivité thermique due à la couche d'oxyde au-dessous du film de silicium.

Pour remédier à ce problème, le Bulk (Body-Tied) FinFET utilise le wafer de silicium comme base de fabrication au lieu de wafer SOI. Cela réduit aussi le coût de production.

Le premier Bulk FinFET a été publié dans [59] pour type-n et [60] pour un type-p. le wafer de silicium est gravé en laissant une tranche de film de silicium qui sert de corps du transistor (Figure II-17). Le silicium est donc relié directement avec le substrat. La chaleur peut ainsi s'évacuer via le bas du film de silicium.

En Figure II-18 des comparaisons de performances sont faites au travers de la caractéristique I_D vs. V_{GS} , entre un SOI- et Bulk-FinFET [61] de memes dimensions ($L_g=50\text{nm}$, $W_{fin}=16\text{nm}$, $t_{ox}=2\text{nm}$) sous la meme polarisation de drain ($V_{DS}=1,2\text{V}$). pour le Bulk FinFET, les source/drain sont réalisés par un dopage vertical très fort du type contraire au canal. La profondeur des source/drain est plus petite que celle des 2 grilles verticales

d'une hauteur ΔX_j (Figure II-17). Deux type de dopage du 'body' sont comparés. Un grand dopage augmente la tension de seuil (V_{th}). Pour le même dopage, V_{th} et I_{off} pour un Bulk FinFET sont légèrement plus grands que pour un SOI FinFET. Mais la pente sous le seuil reste la même. Un autre aspect important pour caractériser la performance concerne le DIBL. Pour un dopage donné, le DIBL est plus faible pour Bulk FinFET que pour le SOI FinFET (Figure II-19). Dans le régime de saturation (figure II-20), le SOI FinFET a un courant plus important que bulk FinFET et il est moins sensible au dopage de silicium. Pour un même faible dopage du silicium, les SOI- et Bulk-FinFET ont quasiment le même courant.

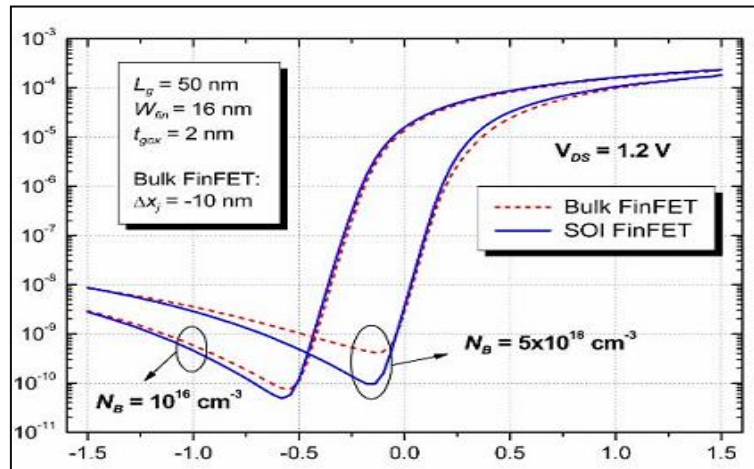


Figure II-18 Comparaison des caractéristiques de transfert des SOI et bulk FinFET avec $\Delta X_j = 10 \text{ nm}$ pour les deux différents dopages du body à $V_{DS} = 1,2 \text{ V}$ [61].

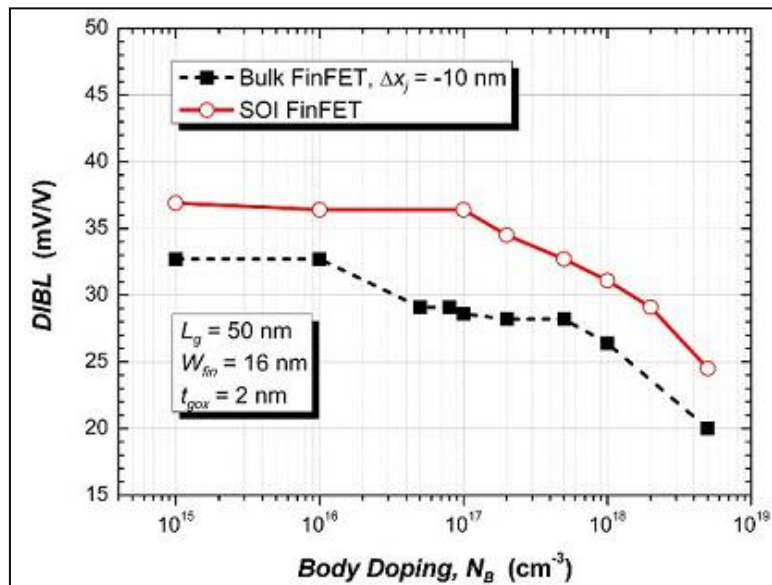


Figure II-19 le DIBL en fonction du dopage du Fin pour SOI et Bulk FinFET avec $\Delta X_j = 10 \text{ nm}$ [61].

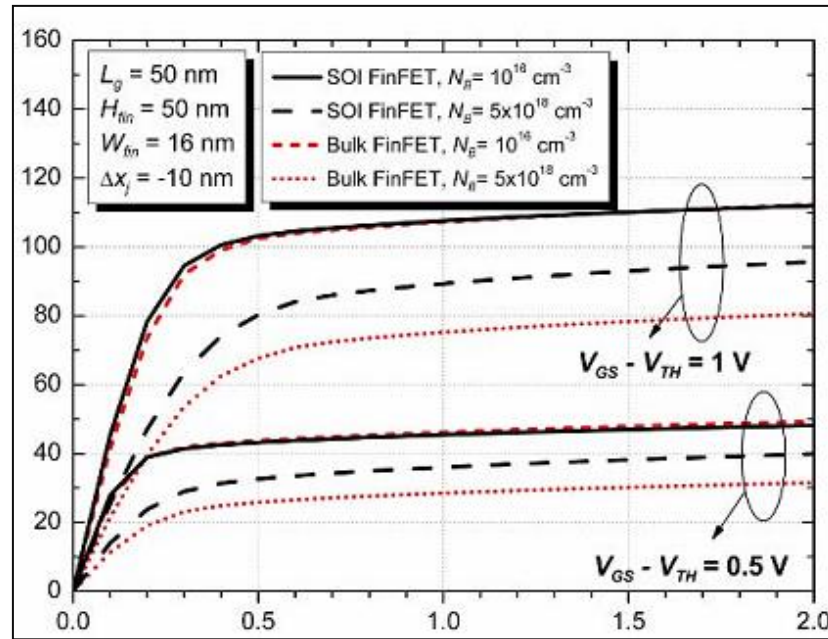


Figure II-20 Comparaison des caractéristiques de sortie des SOI et bulk FinFET avec $\Delta X_j = 10 \text{ nm}$ pour les deux différents dopages du corps [61].

II.2.1. Différents modèles compacts du FinFET

Les modèles compacts du transistor FinFET se classent en trois catégories: les modèles en tension de seuil [62], les modèles en potentiel de surface [63], [64] et les modèles en charge [65], [66], [67].

II.2.1.1 Modèles en tension de seuil du FinFET.

II.2.1.1.1 Modèle de M. Reyboz/T. Poiroux

Parmi les modèles appartenant à cette catégorie de modèles compacts, nous trouvons le modèle de M. Reyboz/T. Poiroux [62]. Ce modèle développé pour un transistor MOS double-grille en mode de fonctionnement asymétrique (grille indépendante) est donc capable de simuler le comportement du transistor MOS double-grille symétrique à grilles dépendantes. Dans ce modèle de tension de seuil, l'idée est de définir le potentiel au milieu du film en fonction de la couche d'inversion formée. Ainsi, des équations du courant de drain sont définies suivant que le canal du transistor est en inversion faible ou en inversion forte.

Ces solutions de courant de drain doivent ensuite être « raccordées ». Cela est relativement délicat car des problèmes de continuité peuvent en découler, notamment pour les dérivées des grandeurs électriques. La tension de seuil marque la transition entre la région de

faible inversion et celle de forte inversion. En faible inversion, le courant de drain est un courant de diffusion. La charge d'inversion Q_m varie exponentiellement en fonction de la tension appliquée sur la grille V_g . En revanche, en forte inversion, le courant de diffusion est négligeable. Ainsi, le courant de drain est principalement un courant de conduction. La charge d'inversion Q_m varie linéairement avec V_g . Du fait de ces hypothèses simplificatrices, ces approches manquent de précision pour la description de l'inversion modérée. Le modèle de M. Reyboz / T. Poiroux prend en compte les effets canaux courts [62]. En revanche, il ignore les effets quantiques ainsi que les effets dynamiques intrinsèques et extrinsèques.

II.2.1.2 Modèles en potentiel de surface du FinFET

Deux modèles compacts en potentiel de surface, proposé par A. Ortiz-Conde [63], et celui proposé par Y. Taur [64] seront présentés. Leurs expressions finales sont complètement différentes mais elles sont exactement égales. Dans ces approches, l'idée est d'exprimer la charge d'inversion en fonction du potentiel de surface.

II.2.1.2.1 Modèle de. A. Ortiz-Conde

Le modèle de. A. Ortiz-Conde est basé sur les travaux réalisés pour le transistor FinFET Bulk par Pierret et Shield [69]. Le modèle de. A. Ortiz-Conde est transformé d'après le double intégral de l'équation (II.5) [70] (formulation double intégrale généralisée pour le courant du drain) sans utiliser aucune approximation à une expression explicite pour le courant de drain des dispositifs SOI (DG MOSFET).soit alors :

$$I_D = 2\mu \frac{W}{L} \int_0^{V_{DS}} \int_{\psi_c}^{\psi_s} \frac{qn}{F} d\psi dV \quad (\text{II.5})$$

Avec

$$n = n_i \exp(\beta(\psi - V)) \quad (\text{II.6})$$

Le champ électrique dans le semi-conducteur est donné par:

$$F = -\sqrt{\left[\frac{2KTn_i}{\epsilon_S} \exp(\psi - V) \right] + \alpha} \quad (\text{II.7})$$

Ou :

$$\alpha = -\frac{2KTn_I}{\varepsilon_S} \exp(\psi - V) \quad (\text{II.8})$$

α : Est défini comme un facteur d'interaction de charge entre les deux grilles.

$\beta = q/kT$ est l'inverse du potentiel thermique, n_I est la densité intrinsèque des porteurs, ψ_S est le potentiel de surface ($x = t_{si}/2$), ψ_C est le potentiel au milieu de film ($x = 0$), ε_S est la permittivité du semi-conducteur, t_{si} est l'épaisseur du film et V est la différence du potentiel entre les niveaux quasi-Fermi d'électrons et de trous le long du canal. Dans son modèle, A. Ortiz-Conde décrit le potentiel à l'intérieur du film de silicium en résolvant l'équation de poisson à 1-D. Sa solution du courant de drain se présente sous la forme :

$$I_D = \left\{ \mu \frac{W}{L} 2C_0 \left[V_{GF}(\psi_{SL} - \psi_{S0}) - \frac{1}{2}(\psi_{SL}^2 - \psi_{S0}^2) \right] + 4 \frac{kt}{q} c_0(\psi_{SL} - \psi_{S0}) + t_{si}KTn_i [\exp\beta(\psi_{OL} - \psi_{DS}) - \exp\beta\psi_{o0}] \right\} \quad (\text{II.9})$$

Où:

C_0 : est la capacité d'oxyde par unité de surface, V_{GF} est la tension de grille frontière. $\psi_{S0}, \psi_{O0}, \psi_{SL}$, et ψ_{OL} Sont des potentiels obtenus par résolutions numériques.

C'est en effet l'usage de calculs itératifs qui constitue le défaut majeur de cette approche. De plus, le modèle ne prend pas en compte le comportement dynamique, ni les effets quantiques et les effets canaux courts. Il se limite à des épaisseurs de film de silicium comprises entre 20nm et 5nm et des dispositifs de canal long de $1\mu\text{m}$ [65].

II.2.1.2.2 Modèle de. Y. Taur

Dans ce modèle, une variable auxiliaire notée Y est introduite dans la formulation double intégrale de l'équation (II.5), Y. Taur a obtenu la nouvelle expression du courant de drain du SOI DG FinFET [65] :

$$I_D = 16\mu \frac{W}{L} \frac{\varepsilon_S}{t_{si}} \left(\frac{KT}{q} \right)^2 \left\{ \frac{1}{2}(\beta_{TL}^2 - \beta_{T0}^2) + \beta_{T0} \tan(\beta_{T0}) - \beta_{TL} \tan(\beta_{TL}) \right\} \left\{ + \frac{\varepsilon_S}{t_{si}c_0} (\beta_{T0}^2 \tan^2(\beta_{T0}) - \beta_{TL}^2 \tan^2(\beta_{TL})) \right\} \quad (\text{II.10})$$

Dans cette expression, β_{T0} et β_{TL} correspondent respectivement aux valeurs β_T de évaluées du côté de la source ($V_{ch} = 0$) et du côté du drain ($V_{ch} = V_{ds}$). Ces valeurs sont obtenues de manière itérative par la résolution numérique de l'équation suivante :

$$\frac{q}{2KT}(V_{GF} - V_0 - V) = \left\{ \ln(\beta_T) - \ln \cos(\beta_T) + \frac{2\varepsilon_s}{t_{si}c_0} \beta_T \tan(\beta_T) \right\} \quad (\text{II.11})$$

Où :

$$V_0 = \left(\frac{2KT}{q} \right) \ln \left(2/t_{si} \right) \sqrt{\frac{2\varepsilon_{si}KT}{q^2nt}}$$

Représente la valeur de β_T est dans l'intervalle $0 < \beta_T < \frac{\pi}{2}$

Il est important de noter que la variable β_T est lié au facteur d'interaction α définit dans (II.8) proposé à l'origine par A. Ortiz-Conde [63].

$$\beta_T^2 = -\alpha \left(4 \frac{KT}{qt_{si}} \right)^2 \quad (\text{II.12})$$

En tenant compte de (II.8) dans (II.12), β_T se réécrit comme suit:

$$\beta_T = \left(\frac{t_{si}}{2} \right) \sqrt{\frac{q^2 n_i}{2\varepsilon_s KT} \exp \beta (\psi_0 - V)} \quad \text{Et} \quad \tan(\beta_T) = \sqrt{\exp \beta (\psi_s - \psi_0) - 1}$$

On note également que ces deux équations prouvent que le modèle de Taur est équivalent au celui de A. Ortiz-Conde. Ainsi, une unique équation (II.12) est-elle utilisée pour décrire le courant dans toutes les régions de fonctionnement. Ceci constitue en effet la grande force de ce modèle. De plus, Y. Taur prend en compte le comportement dynamique intrinsèque [70] ainsi que des effets canaux courts [69]. Le modèle a été validé pour des épaisseurs de film comprises entre 25 et 5nm [65] et des longueurs de canaux atteignant 24nm [69]. Les effets quantiques sont négligés.

En ce qui concerne les effets canaux courts, nous noterons cependant un manque de formulation explicite permettant de les décrire et de les mettre en évidence.

II.2.3 Modèles en charge du FinFET

Ce type de modèle est choisi pour notre optimisation par les algorithmes génétiques. Dans ces modèles, l'idée est d'exprimer les potentiels en fonction de la charge d'inversion, cette dernière égale la charge dans le canal non dopé dans le cas des matériaux intrinsèques. Parmi les modèles les plus récents, nous comptons l'approche proposée par J. He [66] et celle proposée par B. Iñiguez [67] [68].

II.2.3.1 Modèle de J. He

Ce modèle est proche du modèle de .Y. Taur. En effet, au lieu de chercher la valeur du potentiel au milieu du film ψ_0 J. He donne une expression de la charge d'inversion Q_I donnée par [65] :

$$Q_I = 2\varepsilon_S F_S = 2C_0 (V_{GF} - \psi_0) \quad (\text{II.13})$$

Où : V_{GF} est la tension de grille frontière, F_S est le champ électrique en surface, C_0 est la capacité de l'oxyde et ψ_0 est le potentiel de surface. Ainsi, (II.13) tient compte de la corrélation entre la charge d'inversion et le potentiel de surface.

Dans la source $Q_I = Q_{I0}$ et $\psi_0 = \psi_{s0}$; par analogie dans le drain, $Q_I = Q_{IL}$ et $\psi_S = \psi_{sL}$

Dans ce modèle, le calcul du courant se fait de manière classique ; c'est la somme d'un courant de conduction et d'un courant de diffusion [66] :

$$I_D = \mu \frac{W}{L} \left[\frac{2KT}{q} (Q_{IL} - Q_{I0}) - \frac{(Q_{IL}^2 - Q_{I0}^2)}{4C_0} \right] \quad (\text{II.14})$$

Ce modèle est développé en basant sur l'approximation :

$$t_{si} q n_i \exp \beta (\psi_0 - V) \ll \left(\frac{\varepsilon_s}{t_{si}} \right) \left(\frac{KT}{q} \right)$$

Avec l'utilisation des fonctions empirique simple. L'avantage de ce modèle réside dans le fait qu'une seule équation de la charge d'inversion et du courant permet de décrire toutes les régions de fonctionnement. Le modèle est validé pour un MOSFET double-grille à canal long de $2\mu\text{m}$ et pour des épaisseurs de film comprises entre 50nm et 10nm. Les effets

quantiques, les effets canaux courts ainsi que les effets capacitifs intrinsèques et extrinsèques sont négligés [66].

II.2.3.2 Modèle de B. Iñíguez

B. Iñíguez a développé un modèle analytique compact explicite de MOSFET double grille à canal long et pour un film de silicium fortement dopé ($N_A = 6.10^{17} \text{ cm}^{-3} \cong 1.10^{18} \text{ cm}^{-3}$) [67]. Ce modèle ainsi considéré prend en compte le phénomène d'inversion volumique. Ce modèle est continu dans toutes les régions de fonctionnement (de la région faible inversion à la région forte inversion et du régime linéaire au régime de saturation), Ce modèle est développé en résolvant l'équation de poisson à 1-D dans la direction perpendiculaire au canal (les effets canaux courts sont négligeables) et en fait, c'est le premier modèle compact développé pour le MOSFET double-grille.

B. Iñíguez a utilisé l'expression explicite de la charge d'inversion Q_I donnée par [67]:

$$Q_I = C_0 \left(-\frac{2C_0\beta^2}{Q_{Dep}} + \sqrt{\left(\frac{2C_0\beta^2}{Q_{Dep}}\right)^2 + 4\beta^2 \log^2 \left[1 + \exp \left[\frac{V_{GS} - V_{th} + \Delta V_{th} - V}{2\beta} \right] \right]} \right)$$

Avec

$$V_{GS} - V_{FB} - V - \left(\frac{Q_{Dep}}{2C_0} + \frac{KT}{q} \log \left[\frac{q^2 N_A^3 t_{Si}^2}{KT n_i 2 \epsilon_s} \right] \right) = \frac{Q_I}{C_0} + \frac{KT}{q} \log \left[\frac{Q_I}{Q_{Dep}} \right] + \frac{KT}{q} \log \left[\frac{Q_I + Q_{Dep}}{Q_{Dep}} \right]$$

Où: V_{GS} est la tension de grille, V_{th} est la tension de seuil, V_{FB} est la tension de bandes plates, Q_{Dep} est la charge de déplétion. Sachant que : V varie de ($V=0$ dans la source à $V=V_{DS}$ dans le drain) et V_{th} assure le bon comportement de la charge Q_I au-delà de la tension de seuil.

Par conséquent, l'expression finale du courant de drain est écrite en termes de charges, donnée par [66] :

$$I_{DS} = \frac{2W\mu}{L} \left[2 \frac{KT}{q} (Q_s - Q_d) + \frac{Q_s^2 - Q_d^2}{2C_0} + \frac{KT}{q} Q_{Dep} \log \left[\frac{Q_d + Q_{Dep}}{Q_s + Q_{Dep}} \right] \right] \quad (\text{II.17})$$

Sachant que : $Q_I = Q_s$ dans la source et $Q_I = Q_d$ dans le drain. Le modèle de B. Iñíguez est validé pour un MOSFET double-grille à canal long de $1\mu\text{m}$ et pour des épaisseurs de film

comprises entre 50nm et 30nm. [67]. Les effets quantiques, les effets canaux courts ainsi que les effets capacitifs intrinsèques et extrinsèques sont négligés [71].

II.2.4 Bilan et intérêt d'un nouveau modèle

Modèle compact	Y.Taur	PSP	B. Iñíguez	F.A.Fjelbly	LETI	J.fossum
Caractéristique Des modèles						
Simplicité du modèle	+	-	+	+/-	-	+
Formulation explicite	+/-	+	+	+	+	-
Prise en compte Des effets canaux courts	+	+	+	+	+	+
Prise en compte des effets de comportement dynamique	+	+	+	+	+	+
Prise en compte des effets Quantiques	-	+	+	-	-	+
Gamme de validation L/W	70nm /10nm	30nm /10nm	70nm /10nm	-	30nm /10nm	30nm /10nm

Tableau II .1 Caractéristiques des différents modèles compacts de MOSFET double-grille en mode de fonctionnement symétrique

Le Tableau ci-dessus regroupe les différentes caractéristiques des modèles compacts du MOSFET double-grille symétrique (FinFET).

Si nous discernons les trois catégories de modèles compacts à savoir : les modèles en tension de seuil, les modèles en potentiel de surface et les modèles en charge, nous remarquons aisément , d'une part, que les modèles en tension de seuil, en raison de la définition d'un courant de drain pour chaque région de fonctionnement, souffrent de problème de précision en inversion modérée. Ce qui de ce fait, les rend très peu adaptés à la conception de circuits surtout si l'on travaille en inversion modérée (en microélectronique analogique et mixte).

D'autre part, si nous examinons les modèles en potentiel de surface, nous remarquons que le problème de précision noté généralement sur les modèles en tension de seuil en inversion modérée n'est pas observé. Ces modèles décrivent avec une grande précision le

comportement du dispositif FinFET double-grille symétrique en tenant compte de nombreux effets physiques, ce qui les rend de ce fait assez intéressants.

Toutefois, aussi précis qu'ils soient, ces modèles, par leur complexité ne répondent qu'imparfaitement aux besoins des concepteurs de circuits intégrés. Outre cette complexité, ces modèles en potentiel de surface, voire également les deux modèles en charge (i.e. celui de J. He et celui de B. Iñíguez), sont bâtis sur des solutions implicites (Tableau II.1). Ceci malheureusement les rend relativement moins intéressants pour le concepteur de circuits qui désire utiliser des modèles simples, précis, et qui ne nécessitent pas un temps de calcul coûteux lors des simulations de circuits à forte densité d'intégration.

II.3. Conclusion

Dans ce chapitre nous avons présentés brièvement les propriétés électriques et les effets physiques des FinFET, des dispositifs. Nous avons ainsi pu présenter les différents modèles compacts des transistors FinFET à canal long et leurs limites de validité.

La structure 3D du FinFET introduit de nouveaux effets indésirables comme l'effet de coins qui peut être bien éliminé par un dopage très faible du silicium ou un silicium intrinsèque. L'exigence d'une petite largeur du Fin (pour obtenir les meilleures performances du FinFET) entraîne l'apparition des effets quantiques non négligeables, et qui doivent être absolument considérés dans tout modèle compact du FinFET, de par leur importance sur les performances du transistor.

Certaines idées de modification de la structure de FinFET ont été montrées, e.g l'underlap et Bulk FinFET, ce qui rend cette technologie encore plus intéressante.

CHAPITRE III

SIMULATION NUMERIQUE DU

DOUBLE GRILLES

N-FINFET

Notre travail consiste à concevoir une structure DG FinFET et d'y extraire ses performances. On se propose dans ce qui suit de présenter les résultats de simulation que nous avons obtenus et ceci par le biais du simulateur SILVACO

III.1 L'outil de simulation – Silvaco

L'environnement SILVACO est largement exploité, tant dans l'industrie que dans les laboratoires de recherche.

SILVACO (SiliconValley Corporation) est une société Américaine, « Silvaco International » ayant son siège à Santa Clara en Californie. Elle est un des principaux fournisseurs de chaînes professionnelles de logiciels de simulation par éléments finis et de conception assistée par ordinateur pour les technologies de l'électronique TCAD (Technology Computer Aided Design). Ces outils sont employés par les compagnies de microélectronique dans le domaine de la recherche, du développement et de la conception de dispositifs. Historiquement la compagnie a été fondée en 1984 par Dr. Ivan Pesic pour répondre aux besoins des designers de circuits intégrés (IC, integrated circuits) analogiques pour des modèles SPICE (Simulation Program with Integrated Circuit Emphasis) de plus en plus précises et linéaires.

Le produit initial a été le système d'extraction des paramètres UTMOST (Universal Transistor Modeling SofTware) qui est devenu un standard industriel pour l'extraction des paramètres, la caractérisation des dispositifs et la modélisation. L'entrée de SILVACO dans la technologie TCAD a eu lieu en 1989, et elle a été basée sur une recherche du Département des Dispositifs Physiques de l'Université de Stanford, ainsi apparaissent dans SILVACO « Athena » comme simulateur des processus et « Atlas » comme simulateur des dispositifs (2D et 3D). A l'aide d'un projet de recherche de l'Université de California, Berkeley, en 1992 SILVACO a conçu son propre logiciel de simulation comportementale SPICE. Ainsi « SmartSpice » devient partie de la chaîne TCAD de SILVACO, il permet des simulations des circuits électroniques avec les modèles physiques des composants créés à l'aide d'Atlas tout en utilisant une logique SPICE. « SmartSpice » écrit en C++ permet facilement l'introduction des modèles nouveaux de simulation et permet une amélioration des algorithmes numériques pour une meilleure convergence.

En 1997 SILVACO introduit IC CAD (Integrated Circuit Computer Aided Design) analogue qui est un outil pour capture schématique (schematic capture), disposition sur circuits imprimés (layout) et vérification physique.

L'ensemble de ces outils avec le simulateur des circuits « SmartSpice » fournit une structure complète, à faible coût et d'une très grande productivité pour la conception des circuits intégrés analogiques. En 2004 enfin, SILVACO propose un outil d'extraction de signaux parasites qui permet la conversion directe des données des masques et des informations intéressantes aux processus des schémas électriques (netlists). Sur cet ensemble complet de simulation TCAD, nous avons utilisé la partie dénommée « Atlas » pour créer le modèle bidimensionnel d'un transistor DG-FinFET.

III.2 Modélisation 2D du transistor DG-N-FinFET

Nous avons réalisé des simulations numériques du transistor DG-N-FinFET en 2D sous l'outil Atlas qui est un simulateur de dispositif. Notre simulation numérique est consistée tout d'abord à concevoir la structure, puis à faire une résolution numérique. La conception de la structure comprend la définition du maillage, la définition des différentes régions du dispositif, des électrodes et des dopages (niveau et profil). La résolution numérique comprend la détermination des choix des modèles physiques et des méthodes mathématique utilisés par le simulateur pour trouver la solution. Ce qui est bien illustré sur le tableau qui suit.

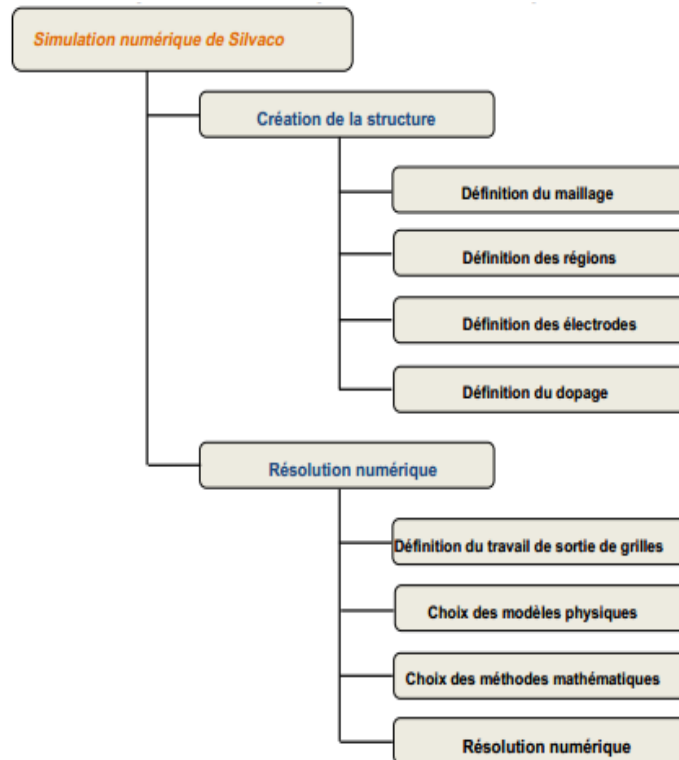


Tableau III-1 Diagramme de la simulation numérique via Silvaco [73].

III.3 Simulation numérique du DG N-FinFET et interprétations

Afin de valider le modèle, nous avons élaboré une structure FinFET double grille avec le simulateur électrique Atlas de SILVACO. Outre son utilisation comme moyen de validation, cette structure nous a également permis de réaliser des études physiques des différents phénomènes perturbant le fonctionnement du dispositif FinFET double-grille. La figure qui suit est une structure générique d'un FinFET à double grilles.

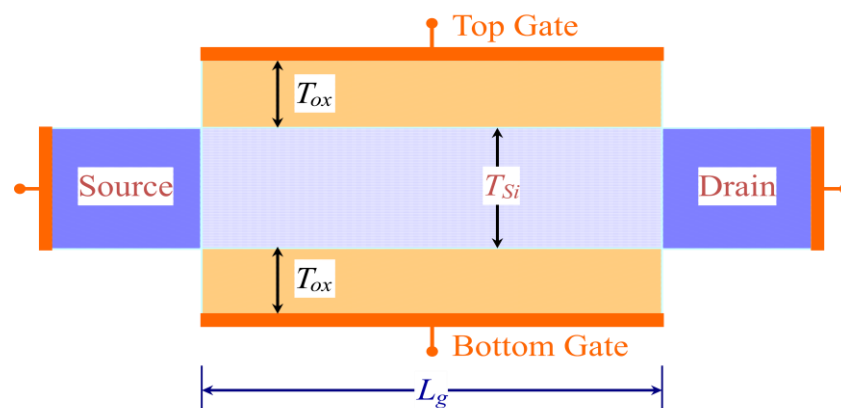


Figure III-1 Structure générique d'un FinFET à double grilles

Notons cependant qu'il existe diverses structures DG-NFinFET. La figure III-2 représente le schéma de notre structure dont tous les paramètres technologiques et géométriques sont regroupés au tableau III.2.

Paramètres de la structure simulée	Notations	Valeurs et unités
Épaisseur du film de silicium	t_{si}	1.5nm
Longueur de la grille	L_g	10 nm
Dopage source /drain (type n)	N_D	10^{20} cm^{-3}
Dopage du film (type p)	N_A	10^{16} cm^{-3}

Tableau III-2 Résumé des valeurs adoptées pour les simulations de la structure étudiée

Nous avons considéré pour cette étude un dispositif FinFET double-grille de type n très peu dopé (10^{18} cm^{-3}) fonctionnant en mode symétrique. Les effets quantiques ainsi que les effets de poly-déplétion seront ignorés dans ce développement. La Figure III-2 représente le transistor FinFET double-grille développée au cours de notre simulation 2-D.

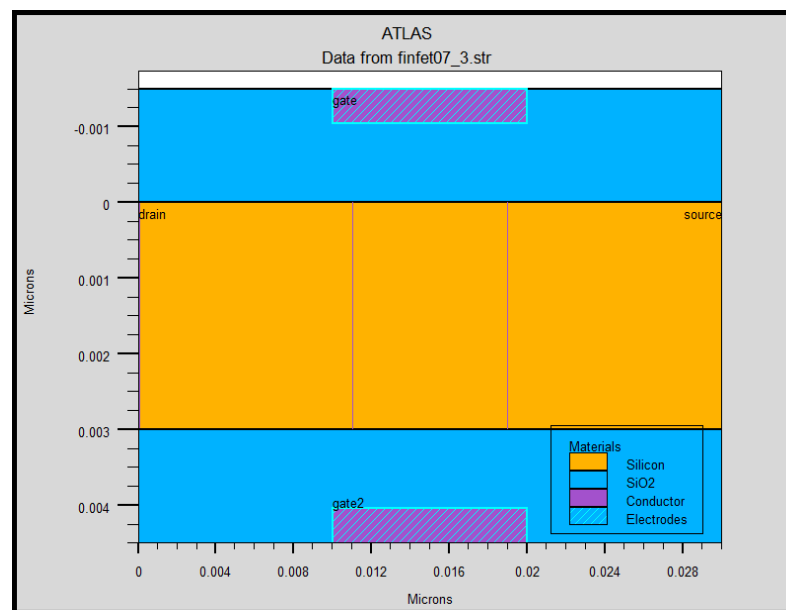


Figure III-2 Structure du FINFET double grille en 2D

- la région en jaune représente le film de silicium.
- les régions représentées en couleur bleue correspondent aux couches d'oxyde.

- Les régions en couleur violette correspondent aux deux électrodes : celle de la source et celle du drain ainsi que celles des deux grilles. Dans notre configuration les électrodes de la source et du drain sont alignées.

Les paramètres de silicium fixés par défaut dans le simulateur Atlas à la température de 300K sont telle que :

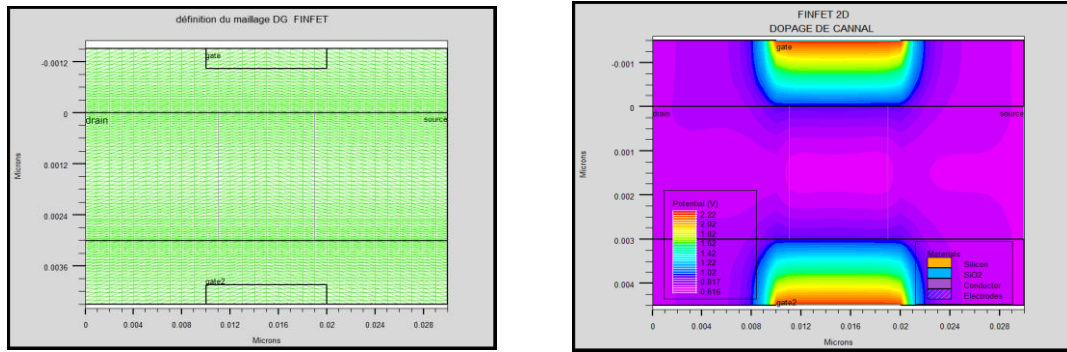
L'affinité électronique	$\chi_{si}=4,01\text{eV}$
Le gap d'énergie	$E_g=1,08\text{eV}$
Les densités effectives d'états	$N_c=2,8 \cdot 10^{19} \text{ cm}^{-3}$, $N_v=1,04 \cdot 10^{19} \text{ cm}^{-3}$
la densité intrinsèque de charge à 300°K	$n_i=1,15 \cdot 10^{10} \text{ cm}^{-3}$.
Concentration des dopants dans la source et le drain	$N_d=10^{18} \text{ cm}^{-3}$

Tableau III-3 Les paramètres de silicium fixés par défaut dans le simulateur Atlas à 300K [74].

Notons que les régions de source et de drain sont fortement dopées. En ce qui nous concerne, la concentration des impuretés dans la source et le drain est égale à $N_D=10^{18} \text{ cm}^{-3}$.

Enfin, nous avons considéré des grilles métalliques situées au milieu du gap $\Phi_M=4,612\text{eV}$ [73] et ayant une différence de travaux de sortie avec le silicium intrinsèque nulle $\Delta\Phi_{ms}=\Delta\Phi=0\text{eV}$. Le film de silicium est faiblement dopé (accepteurs) soit $N_a=10^{16} \text{ cm}^{-3}$. Ce dopage est uniforme. Les différents dopages dans le film de silicium sont illustrés à la Figure III-3.b.

Notons aussi que la précision est meilleure si le maillage est resserré dans les zones de forts gradients et donc relâché dans les zones où l'on peut prévoir que les variations spatiales seront faibles. La figure III-3.a présente le résultat du maillage défini sur le fichier de simulation de notre structure DG N-FinFET. Nous observons que c'est bien au niveau des deux jonctions (source-canal et drain-canal) et des deux interfaces oxyde -silicium que le maillage est plus dense.



(a)

(b)

Figure III-3 Structure n-FinFET double-grille : (a) définition du maillage, (b) Profil de dopage dans les différentes régions du dispositif, $L=10\text{nm}$, $t_{\text{ox}}=1,5\text{nm}$

Les caractéristiques de transfert de notre structure obtenues par simulateur TCAD ATLAS sont données sur la figure III-4, III-5.

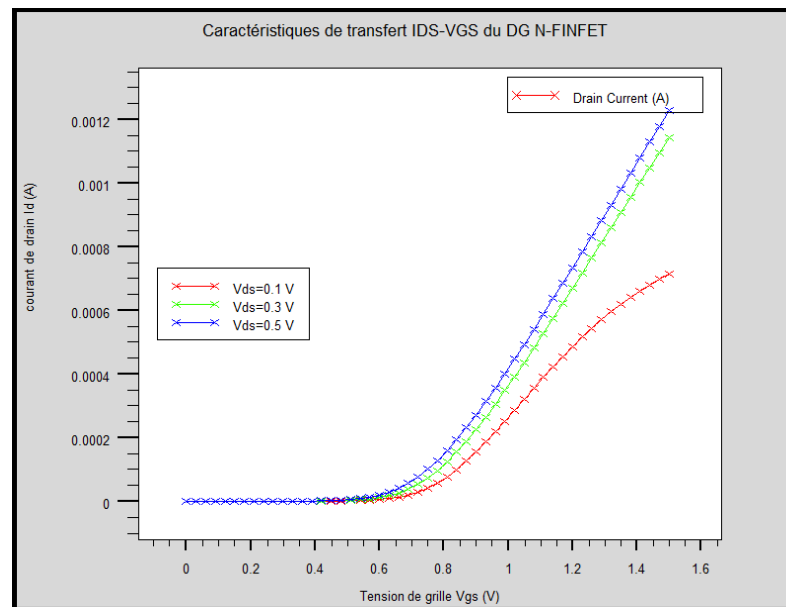


Figure III-4 Caractéristiques de transfert $I_{\text{DS}}-V_{\text{GS}}$ du DG n-FinFET avec différents dopages du canal.

La figure III.4 présente le courant I_{DS} en fonction de V_{GS} avec V_{DS} fixée pour trois valeurs. En échelle linéaire, nous observons deux états : état « allumé » (où nous observons un courant) et un état « éteint » (où le courant est quasiment nul). Nous observons qu'il est difficile d'identifier précisément le début de l'état allumé. Celui-ci nous permet à définir trois

régimes : « de fuite », « sous seuil » et « au-dessus du seuil ». Le régime « de fuite » correspond à l'état éteint, qui présente un courant négligeable et souvent indésirable. Le régime « au-dessus du seuil » peut être défini comme un mode de fonctionnement présentant un courant important suffisant pour que le FinFET puisse être considéré en état allumé ; et enfin le régime « sous seuil » peut être considéré comme la transition entre les deux autres régimes. Nous notons que cette distinction en trois régimes n'est pas toujours facile et non univoque.

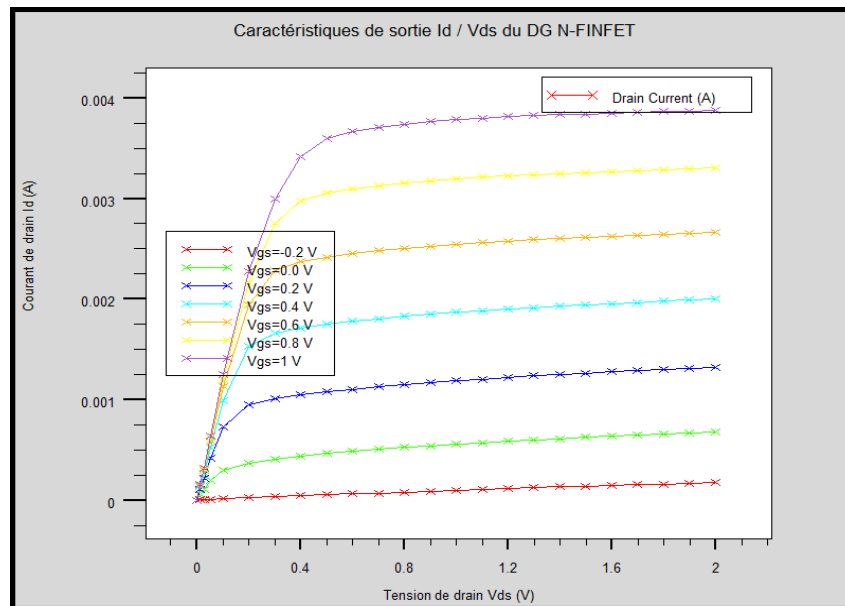


Figure III-5 Caractéristiques de sortie I_{DS} - V_{DS} du DG n-FinFET

La figure III-5 montre le courant I_{DS} en fonction de V_{DS} pour des valeurs fixes de V_{GS} , nommée « caractéristique de sortie ». Nous identifions ici deux régimes : pour de petites valeurs de V_{DS} , le courant croît linéairement avec V_{DS} . Nous disons que le FinFET est en « régime linéaire » ou en « mode linéaire ». À partir d'un certain point, le courant n'augmente quasiment plus en fonction de V_{DS} , ce que nous appelons « régime de saturation » ou « mode saturé ».

III.3.1 Étude de l'effet de la variation de l'épaisseur de l'oxyde sur I_{DS}

Afin d'examiner l'effet de la variation de t_{ox} sur le courant I_{DS} nous avons choisi trois valeurs de l'épaisseur de l'oxyde de notre structure que nous avons choisi comme étant une structure symétrique. Afin d'examiner l'effet de la variation de l'épaisseur nous avons pris $t_{ox1}=t_{ox2}=t_{ox}= 1.5$ nm, 2nm et 2.5 nm. Les résultats de simulation que nous avons obtenus sont représentés sur les figures III-6 et III-7.

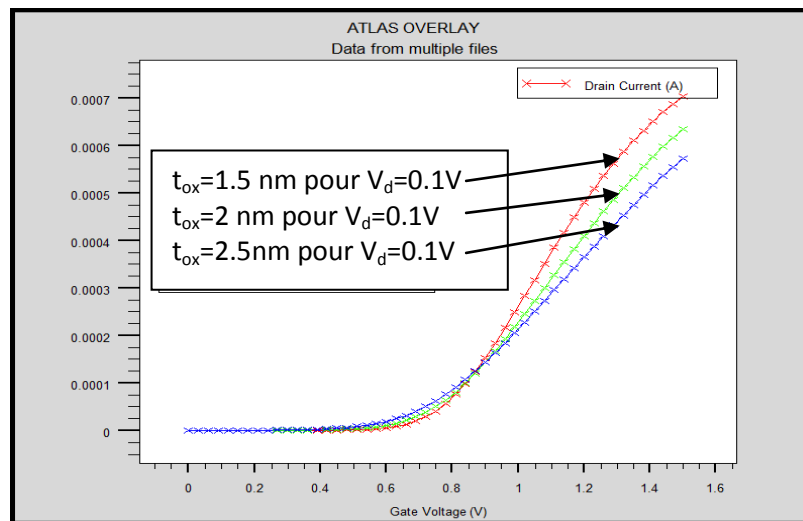


Figure III-6 Caractéristique I_{DS} - V_{GS} pour différentes valeurs de l'épaisseur de l'oxyde

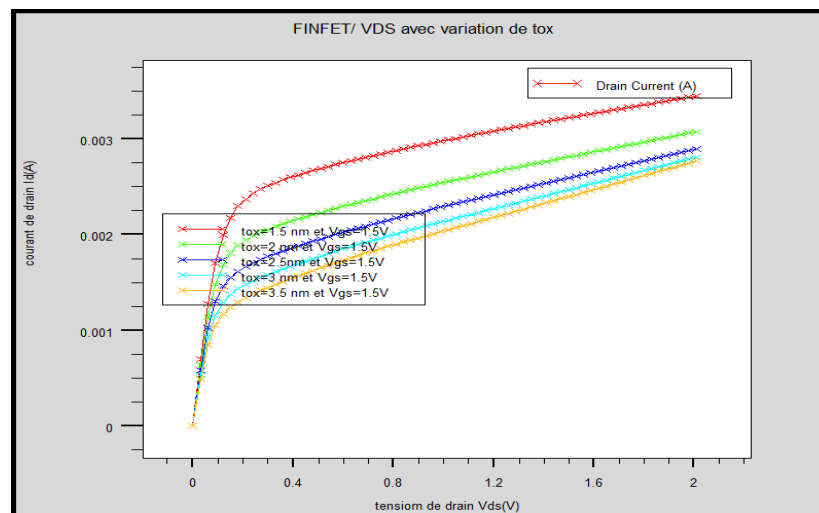


Figure III-7 Caractéristique I_{DS} - V_{DS} pour différentes valeurs de l'épaisseur de l'oxyde

Les résultats de simulation permettent de mettre en évidence l'effet de la variation de cette grandeur sur les caractéristiques électriques de notre structure.

Quant aux caractéristiques $I_{DS}-V_{GS}$, nous pouvons remarquer que la tension de seuil du transistor varie avec la variation de l'épaisseur de l'oxyde.

En effet la tension de seuil augmente quand l'épaisseur de l'oxyde augmente. En observant la caractéristique $I_{DS}-V_{DS}$, nous remarquons aisément que le courant I_{DS} augmente lorsque t_{ox} diminue, et vice et versa. Ce qui revient à dire qu'une épaisseur de l'oxyde anormalement importante pour des structures à faibles géométries a pour conséquence l'isolation de la grille qui ne commande plus le canal. De ce fait l'épaisseur de l'oxyde doit être la plus mince possible mais tout en étant comprise dans des normes admissibles et non inférieure à une certaine valeur qui changerait la nature de la structure et ceci afin d'avoir un meilleur courant. Notons qu'une épaisseur de grille importante risquerait d'isoler la grille. La variation de la tension de seuil avec l'épaisseur de l'oxyde est représentée sur la figure qui suit.

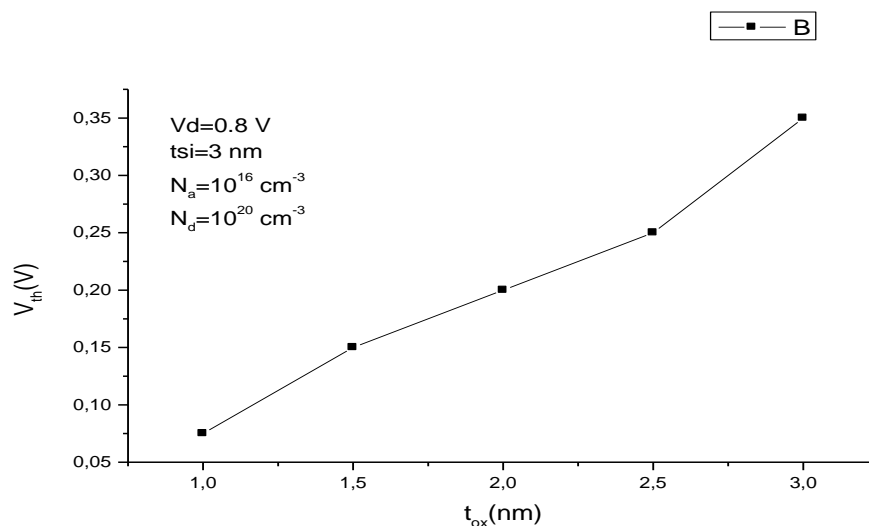


Figure III-8 Variation de la tension V_{th} en fonction de t_{ox}

Nous remarquons que V_{th} dépend fortement de cette épaisseur et croit quand t_{ox} croit. Ce qui était prévisible d'après l'analyse de la caractéristique I_{DS} en fonction de V_{GS} .

III.3.2 Etude de l'effet de la variation de la longueur de grille sur le courant I_{DS}

Afin de mettre en évidence l'effet de la variation de la longueur des grilles (L_g) sur le courant du drain I_D de notre structure, différentes longueurs furent prises en considération. Pour cela nous avons choisi différentes valeurs de $L_g=3\text{nm}$; 5nm ; et 10nm .

Les résultats de simulation que nous avons obtenus sont illustrés sur la figure III-9, III-10 et III-11.

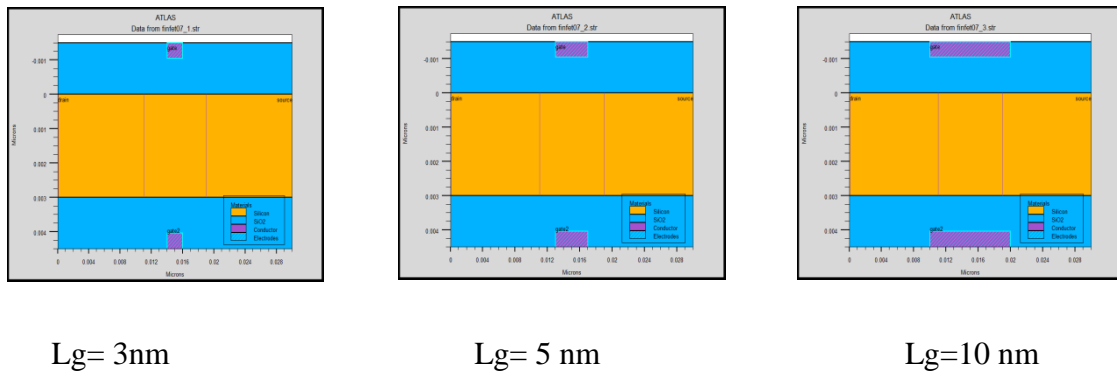


Figure III-9 Schématisation de la variation de la longueur des grilles du DG-n-FinFET.

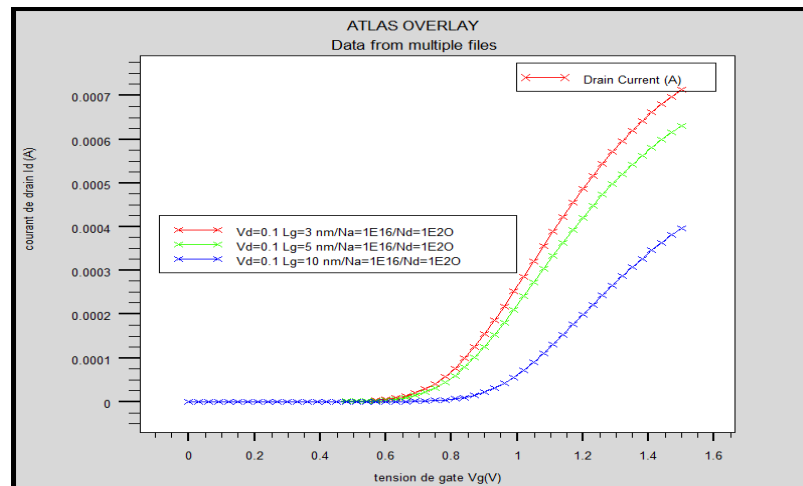


Figure III-10 Caractéristique de transfert I_{DS} - V_{GS} pour trois différentes longueurs des grilles.

La figure III-10 montre la variation du courant drain- source (I_{DS}) en fonction de la tension grille- source (V_{GS}) pour différentes longueurs des grilles du transistor DG FinFET.

On constate que le courant de drain diminue avec l'augmentation de la longueur de grille. En effet, le courant de drain est inversement proportionnel à cette longueur.

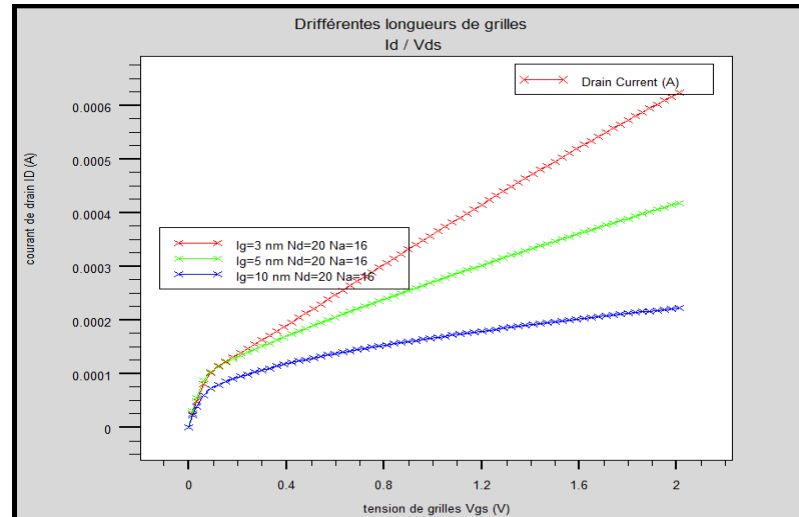


Figure III-11 Caractéristique de sortie pour trois différentes longueurs des grilles

On remarque que lorsque la longueur de la grille augmente le courant I_{DS} diminue. Pour de faibles valeurs de la longueur des grilles ces dernières risquent de perdre son contrôle sur le canal « phénomène de roll off », on remarque que pour la courbe en rouge correspondant à une longueur de 3nm le courant de saturation augmente fortement et on ne distingue plus correctement la zone ohmique de la zone saturée. De ce fait la longueur de la grille doit d'être déterminée judicieusement. Notons que la longueur de grille n'affecte pas la dynamique de contrôle sur la tension de seuil mais provoque l'augmentation de la transconductance qui demeure un paramètre très important. De ce fait il est important de ne pas réduire la longueur de la grille aléatoirement.

III.3.3 Etude de l'effet de la variation de la largeur du canal t_{si} sur le courant I_{DS}

Les résultats de simulation mettant en évidence les effets de la variation de l'épaisseur du film de silicium t_{si} sont représentés sur les figures III-14, et III-15.

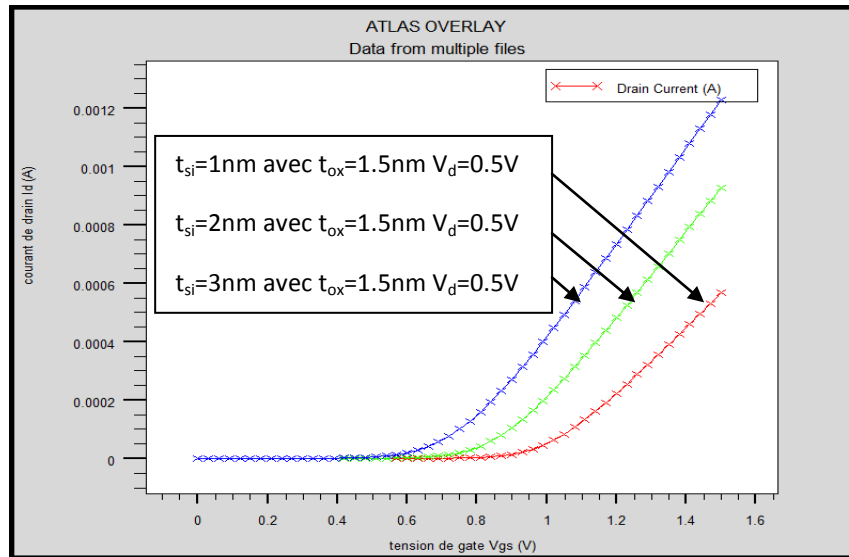


Figure III-12 Caractéristique de transfert I_{DS} - V_{GS} pour trois différentes épaisseurs du film de silicium t_{si} .

Nous présentons sur la figure III-12 l'évolution du courant drain $I_{DS}(V_{GS})$ en fonction de l'épaisseur de la couche active pour le transistor DG-FinFET.

Nous remarquons que le courant de drain I_{DS} augmente lorsque l'épaisseur du canal augmente. Ceci est à cause de l'augmentation de la surface du canal, ce qui permet d'attirer plus des porteurs minoritaires (électrons), ce qui explique bien les résultats obtenus ci-dessous.

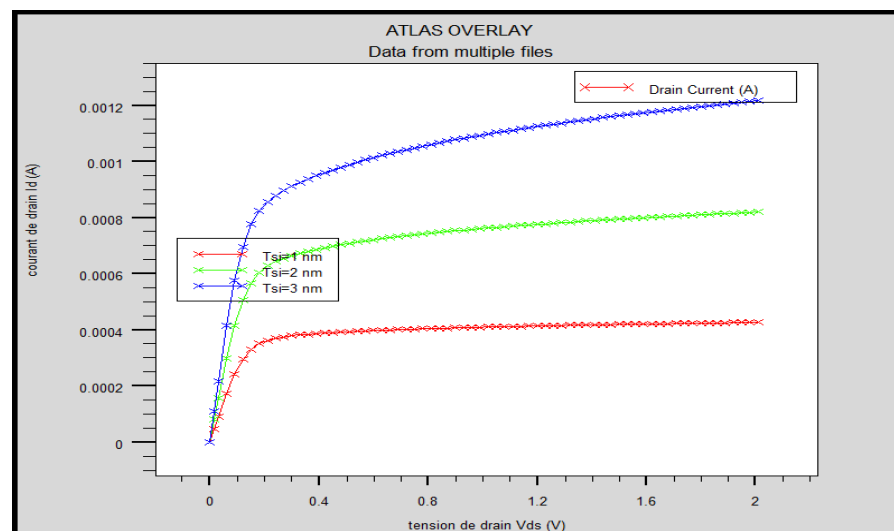


Figure III-13 Caractéristique de transfert I_{DS} - V_{DS} pour trois différentes épaisseurs du film de silicium t_{si} .

Des canaux épais conduisent à des courants de saturation plus importants, et également un léger déplacement de la tension de seuil vers des valeurs plus petites. Par Conséquence l'épaisseur de film doit être déterminée judicieusement.

L'étude de la variation de la tension de seuil avec t_{si} nous a permis de retrouver les résultats de la figure.

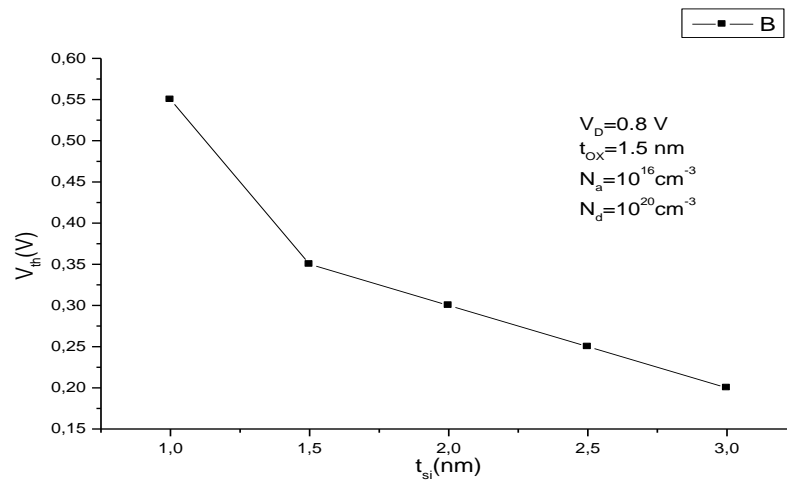


Figure III-14 Variation la tension V_{th} en fonction de T_{si}

La tension de seuil diminue avec l'augmentation de l'épaisseur du film de silicium, de ce fait le choix de cette grandeur est important lors de la phase de conception des dispositifs.

III.3.4 Étude de l'effet de la variation de la concentration N_A sur le courant I_{DS}

Nous nous sommes intéressés dans cette partie à observer les effets de la variation de la concentration des dopants accepteurs N_A ($10^{15}/\text{cm}^3$, $10^{17}/\text{cm}^3$, $10^{19}/\text{cm}^3$) du film de silicium sur les caractéristiques électriques du dispositif. Les résultats de simulation obtenus sont donnés sur les figures III-15, III-16.

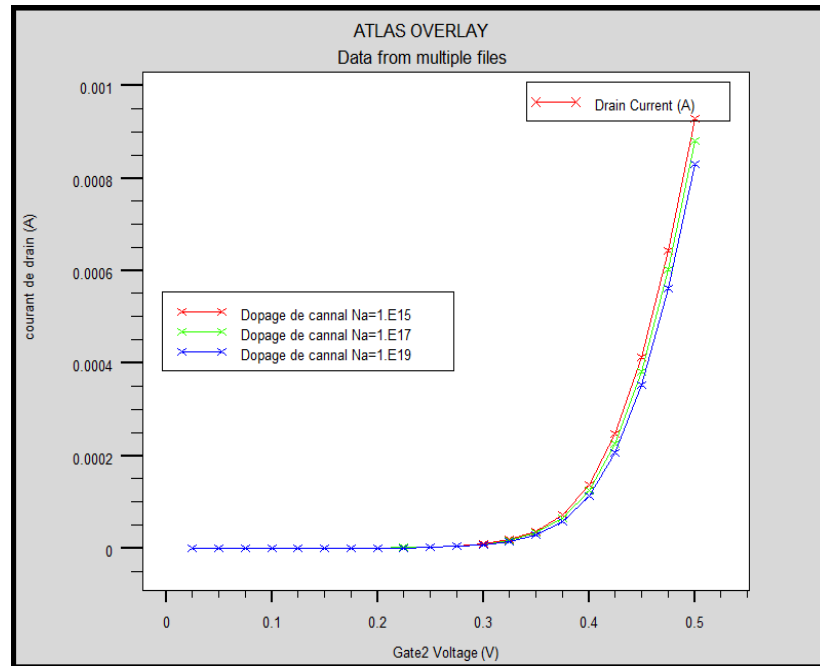


Figure III-15 Caractéristique de transfert $I_{DS}(V_{GS})$ pour différentes concentrations N_A .

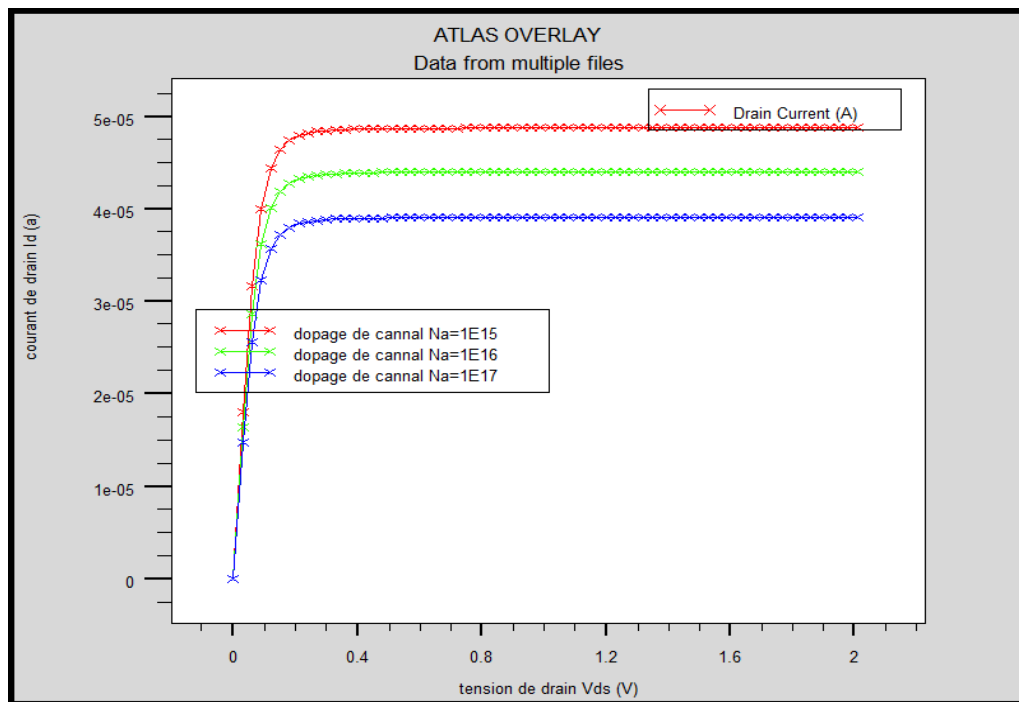


Figure III-16 Caractéristique de transfert $I_{DS}(V_{DS})$ pour différentes concentrations N_A .

On remarque sur la figure III-15 que dans le canal le dopage n'a aucun effet sur la tension de seuil du dispositif, néanmoins cette variation provoque une variation du courant du

drain du DG-FinFET. En effet lorsque la concentration des dopants du canal augmente, le courant du drain diminue aussi (figure III-16).

III.3.5 Étude de l'effet de la variation de la concentration N_D sur le courant I_{DS}

Nous nous sommes intéressés dans cette partie à observer les effets de la variation de la concentration des dopants donneurs N_D ($10^{20}/\text{cm}^3$, $10^{21}/\text{cm}^3$, $10^{22}/\text{cm}^3$, $10^{23}/\text{cm}^3$, $10^{24}/\text{cm}^3$) de la source et du drain sur les caractéristiques électriques du dispositif. Les résultats de simulation obtenus sont donnés sur les figures III-17, III-18.

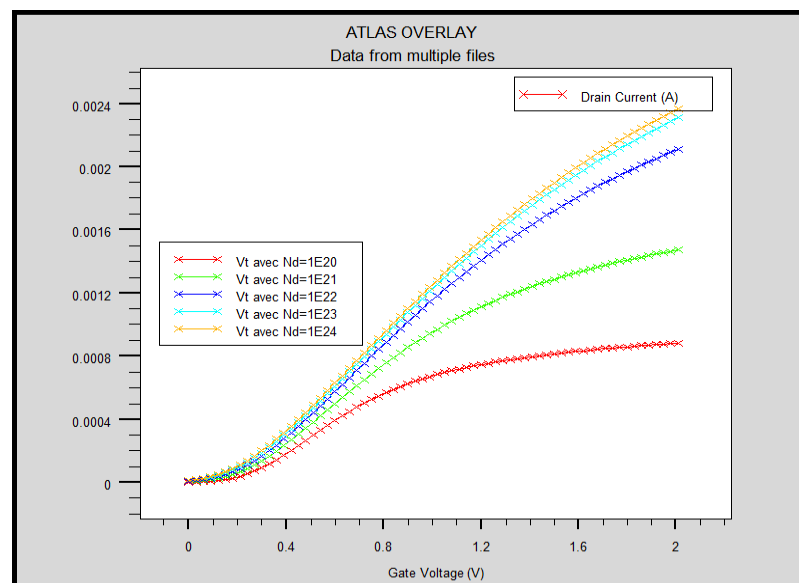


Figure III-17 Caractéristique de transfert $I_{DS}(V_{GS})$ pour différentes concentrations N_D

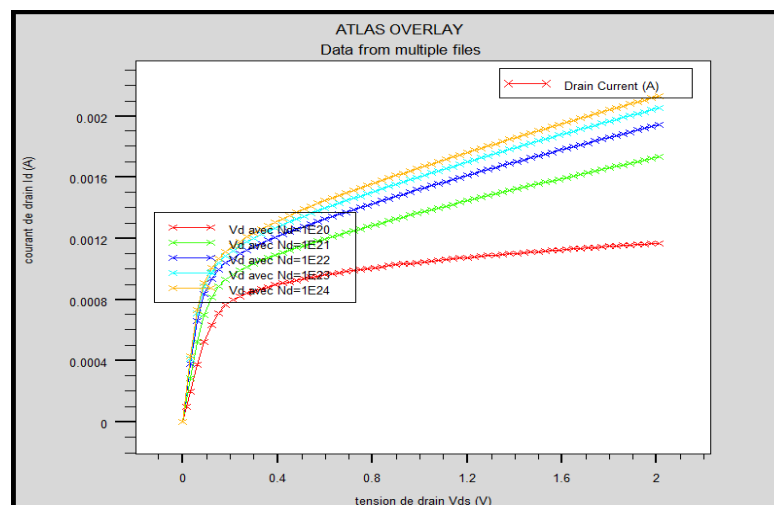


Figure III-18 Caractéristique de transfert $I_{DS}(V_{DS})$ pour différentes concentrations N_D .

On remarque sur la figure III-18 que le dopage dans les régions de la source et du drain n'a aucun effet sur la tension de seuil du dispositif, néanmoins cette variation provoque une variation de la transconductance et par conséquent entraîne celle du courant du drain du DG-FinFET.

En effet lorsque la concentration des dopants de la source et du drain augmente, le courant du drain augmente aussi.

III.3.6 La mise en évidence des courants de fuite I_{on} et I_{off} de la structure

On s'intéresse aussi dans cette partie du travail à l'identification des courants de fuite I_{ON} et I_{OFF} du modèle. Pour cela on définit alors ces courants de fuite essentiellement dus au courants sous seuil appelée (subthreshold current) par :

$$I_{OFF} = I_D |_{V_{GS}=0, V_{ds} = V_{DD}, V_{DS} = 0}$$

$$I_{ON} = I_D |_{V_{GS}=V_{DD}, V_{ds} = V_{DD}, V_{DS} = 0}$$

Pour se faire nous polarisons le transistor à $V_{DD}=V_{DS}$, et nous examinons la courbe $\text{Log } I_{DS} = f(V_{GS})$

Les résultats de simulation que nous avons obtenus sont ceux de la Figure III-19 qui suit.

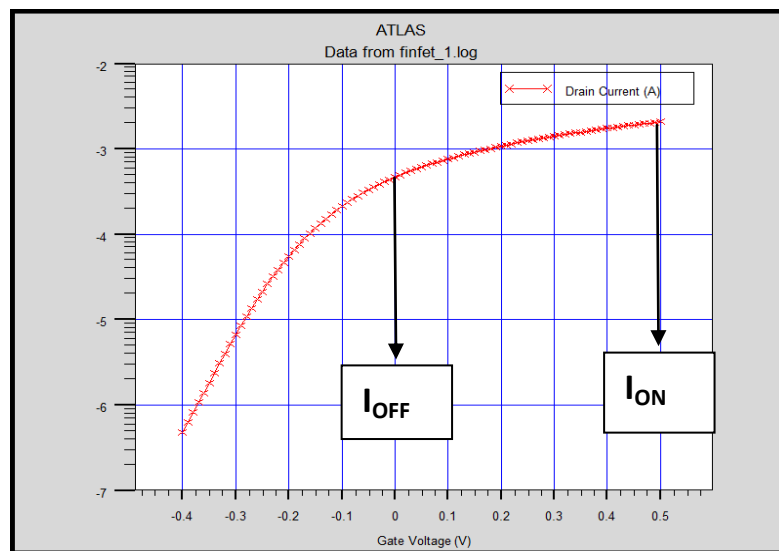


Figure III-19 Caractéristique de transfert $I_{DS}(\log(V_{GS}))$

On peut remarquer de la caractéristiques $I_{DS}=f(V_{GS})$ que les courants I_{ON} et I_{OFF} sont très faibles et pratiquement insignifiants. Soit à $V_{GS} = V_{DD}$ $\log I_{DS}=-2,6$ ce qui donne un courant $I_{ON}=0.17A$

De la même manière on peut déterminer le courant I_{OFF} , soit alors à $V_{GS}=0V$, $\log I_{DS} = -3.406$ et $I_{OFF}=0.003A$

III.3.7 La mise en évidence des courants de fuite DIBL de la structure

Afin d'expliquer l'effet DIBL on se réfère à un transistor FinFET sur bulk à canal court. Le phénomène de DIBL est pris en compte lorsque le transistor travaille en régime sous seuil et concerne le potentiel de surface.

En faible inversion, le potentiel de surface dans le canal pour des dispositifs à canal long est à peu près constant et le courant est dû à la diffusion des porteurs minoritaires (Cette diffusion est due au gradient de concentration longitudinal aux jonctions). Le courant de drain dépend exponentiellement de la tension de grille.

En faible inversion, il existe une barrière de potentiel à la jonction entre la source et le canal qui résulte de l'équilibre entre le courant de diffusion et de dérive). L'effet DIBL est attribué à l'influence électrostatique du potentiel de drain sur la hauteur de barrière de la jonction source/substrat en régime sous le seuil. Pour des dispositifs à canaux courts, une partie de la déplétion est accomplie par la source et le drain. Lorsque la tension de drain augmente, la zone de déplétion s'étend vers la source et la tension de grille requise pour l'injection des porteurs de la source au drain est plus faible. Cela conduit à un abaissement de la barrière de potentiel à la jonction source –canal.

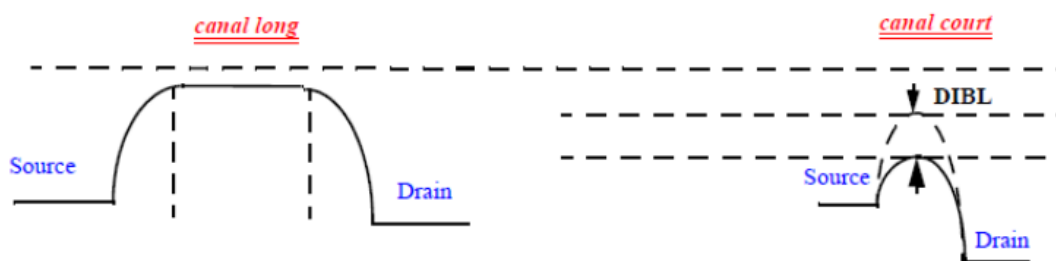


Figure III-20 Abaissement de la barrière de potentiel pour la bande de conduction par effet DIBL.

Dans les FinFET à canal court les zones de diffusion de source et de drain sont proches ce qui entraîne une pénétration importante du champ électrique du drain vers la source. La barrière de potentiel à la source peut donc être réduite en raison de cette influence du drain. L'importance de cet effet dépend, bien sûr, de la longueur de canal mais également de la profondeur de jonction ou encore du dopage.

La conséquence de l'abaissement de la barrière de potentiel de la source est une injection d'électrons de la source entraînant une augmentation du courant de drain. Le phénomène DIBL est plus important pour les tensions de drain élevées dans les transistors à canaux courts bien évidemment l'effet DIBL exprimé en mV/V est mesuré par le décalage de la courbe de transfert en régime sous le seuil ΔV_{TH} divisé par le ΔV_{DS} entre les deux courbes résultant de deux tensions de drain différentes Cet effet est illustré sur la figure III-21.

$$DIBL = \frac{\Delta V_{TH}}{\Delta V_{DS}}$$

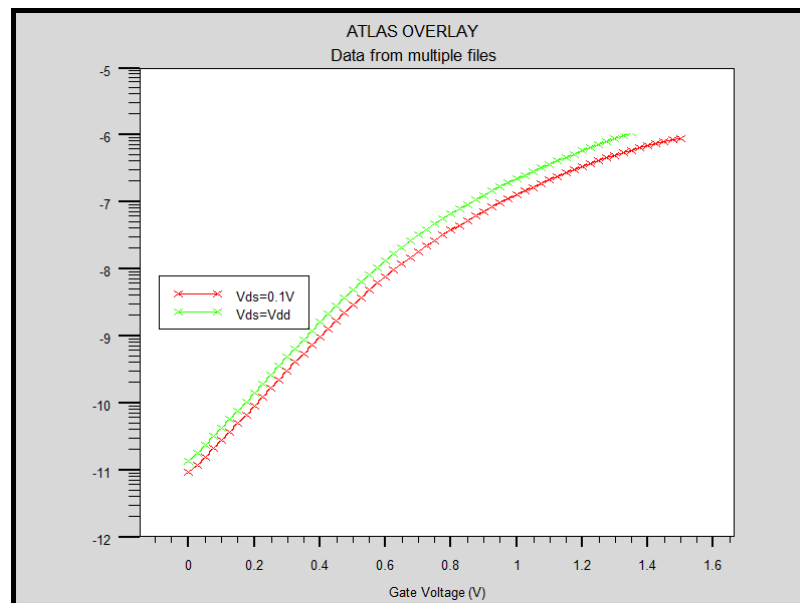


Figure III-21 La mise en évidence du DIBL.

On peut remarquer que le courant DIBL n'est pas très important dans cette structure Nanométrique Pour $V_{DS} = V_{DD}$, $V_{TH} = 0.05V$, et pour $V_{DS} = 0.1V$, $V_{TH} = 0.1V$, on peut alors estimer le DIBL à $DIBL = \frac{\Delta V_{TH}}{\Delta V_{DS}}$ égal à 55.55 mV/V.

III.3.8 Simulation quantique

Nous avons parlé précédemment de simulation numérique d'un 2G-FinFET sans tenir compte des effets quantiques. En fait, les effets quantiques doivent être considérés lorsque la largeur du silicium (W_{si}) est inférieure à 20nm. Silvaco a déjà intégré des modèles physiques pour les simulations quantiques.

Il s'agit des modèles dits modèle self consistant couplé avec l'équation Schrödinger – Poisson, modèle du moment quantique, modèle du potentiel quantique de BOHM, et le modèle de correction quantique.

III.3.8.1 Self-Consistent Coupled Schrödinger Poisson

La méthode « Self-Consistent Coupled Schrödinger Poisson » résout l'équation de Poisson et l'équation de Schrödinger de manière « auto-cohérente », cette méthode ne peut donner que les trans-capacités quasi-statiques (Figure III-22) mais pas d'information sur le transport des porteurs, i.e. le courant de drain.

Puisque ce modèle fonctionne en résolvant l'équation de Poisson couplée avec l'équation Schrödinger (i.e. la méthode mathématique la plus précise pour calculer les états quantiques), par contre, il sera utilisé comme référence de calibration des autres modèles quantiques.

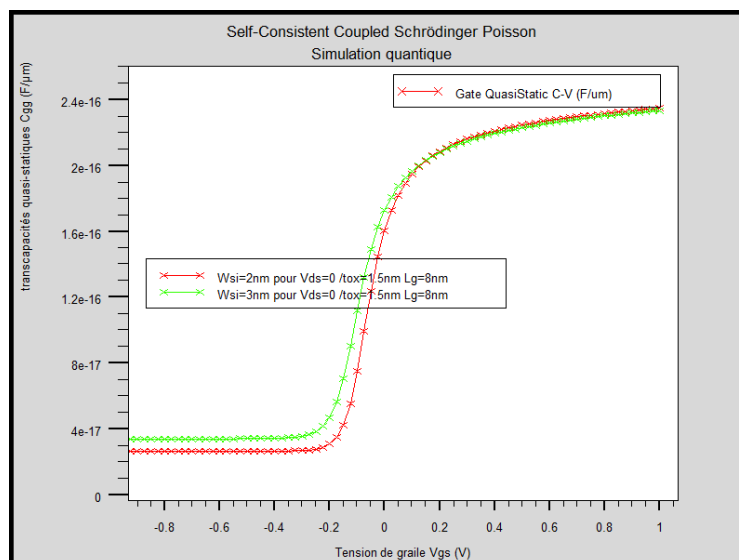


Figure III-22 la Trans-capacité C_{gg} quasi-statique en fonction de la tension de grille.

III.3.8.2. Potentiel quantique de Bohm (Bohm Quantum potentiel (BQP))

Ce modèle a été développé pour SILVACO par l'Université de Pise et a été mis en œuvre dans le système Atlas, avec la collaboration de l'Université de Pise.

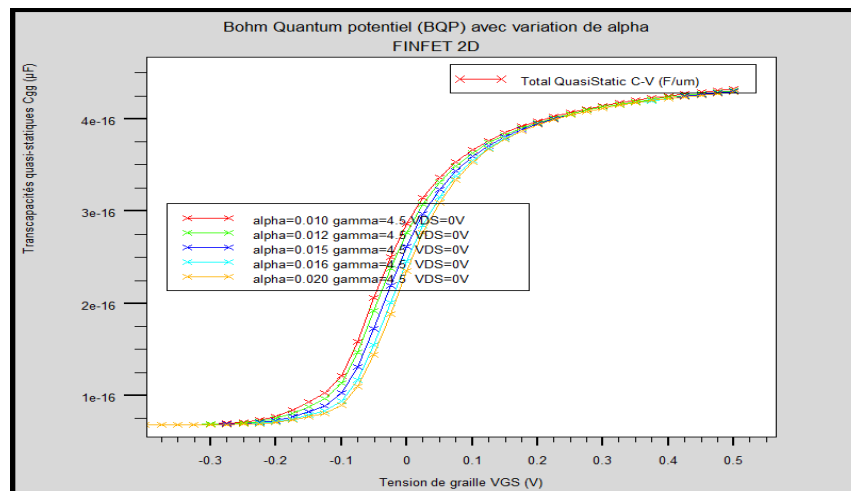
Il s'agit d'une alternative à la méthode de gradient de densité et peut être appliquée à une gamme similaire de problèmes. Il y a deux avantages à utiliser (BQP) sur la méthode de gradient de densité. D'abord, il a de meilleures propriétés de convergence dans de nombreuses situations. Deuxièmement, on peut étalonner par rapport aux résultats de l'équation de Schrödinger-Poisson dans des conditions de courant négligeable. Le modèle présente un potentiel de position de type quantique, Q , qui est ajouté à l'énergie potentielle d'un type de support donné. Ce potentiel quantique est calculé à partir de l'interprétation de Bohm de la mécanique quantique [73] et prend la forme suivante.

$$\varphi = \frac{-\hbar^2}{2} \frac{\gamma \nabla \cdot (M^{-1} \nabla (n^\alpha))}{n^\alpha} \quad (\text{III-1})$$

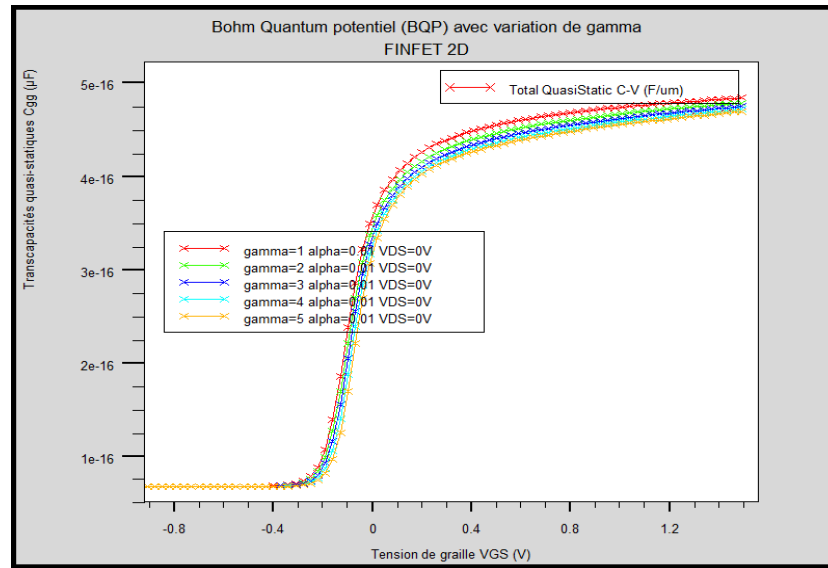
Où γ et α sont deux paramètres réglables, M^{-1} est l'inverse de la masse tenseur et n est la densité de l'électron(ou trou).

Ce résultat est similaire à l'expression du potentiel quantique dans le modèle de gradient de densité avec $\alpha=0,5$, mais il y a quelques différences sur la façon dont elles sont appliquées, selon les différentes directions de cristal.

L'influence des effets quantiques est introduite comme une correction du niveau de la bande de conduction. La calibration du modèle BQP s'est faite par rapport au résultat obtenu par la méthode de « Self-Consistent Coupled Schrödinger Poisson ».



(a)



(b)

Figure III-23 Calibration du modèle BQP par rapport au modèle de Schrödinger-Poisson ($l_g=10\text{nm}$, $W_{si}=3\text{nm}$, $t_{SI}=1.5\text{nm}$) $a) \gamma=4$, $b) \alpha=0.01$)

D'après la figure III-23, nous voyons, pour $W_{si}=3\text{nm}$, qu'en augmentant le paramètre γ , la courbe est déplacée vers le bas dans le régime de forte inversion ; alors qu'en augmentant α , la courbe est déplacée globalement vers la droite et vers le bas en forte inversion. En conclusion, un jeu de valeurs de 0,016 et 4,5 a été choisi pour α et γ respectivement.

III.3.9 Comparaison des performances du DG FinFET et du SOI MOSFET simple grille

On compare le courant du drain du DG FinFET et du SOI MOSFET simple grille. Pour cela nous avons maintenu la même structure et nous avons éliminé une grille. Nous avons ainsi obtenu la structure suivante.

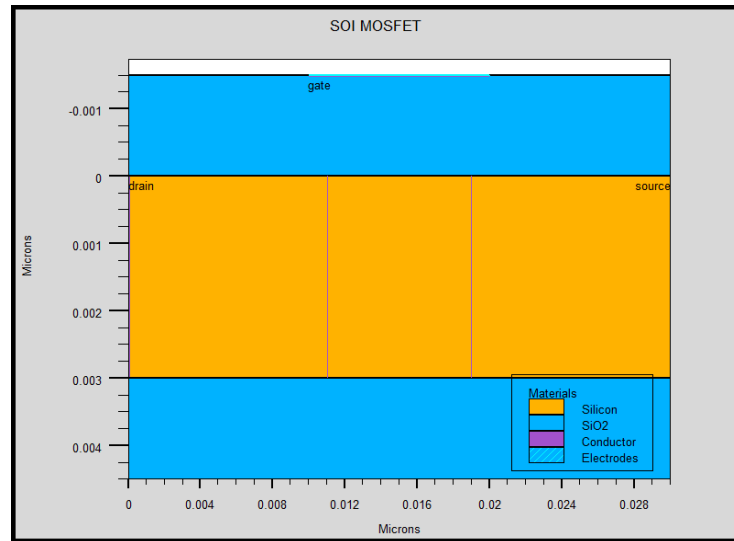


Figure III-24 Le SOI MOSFET simple grille.

Les résultats de simulation que nous avons obtenue sont représentés ci-dessous.

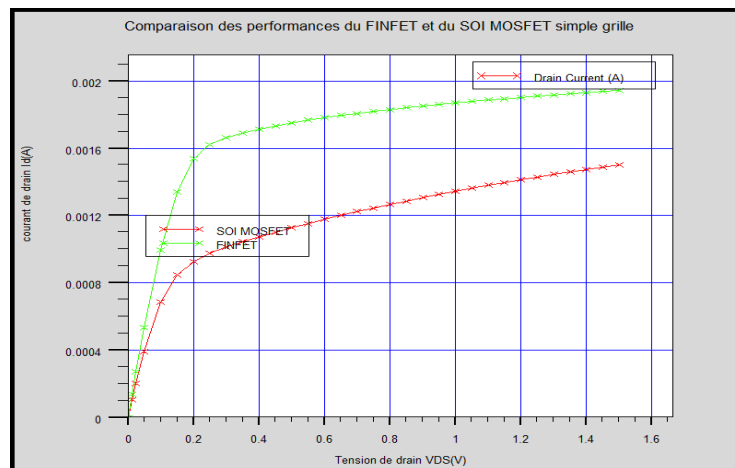


Figure III-25 Caractéristique de sortie $I_{DS}(V_{DS})$.

On remarque bien que le courant du DG N-FinFET est le double de celui du N-MOSFET ce qui était largement prévisible. On remarque aussi que la caractéristique du N-SOI MOSFET n'est pas très concluante car ce transistor est de très petite géométrie et qu'une simple grille n'est pas très indiquée pour les structures à petites dimensions géométriques.

III.6 .Conclusion

Nous avons pu au sein de ce chapitre examiner les performances d'une structure nanométrique de type DG FinFET à conduction planaire et examiner l'effet de la variation de ses paramètres géométriques sur ses caractéristiques électriques. Nous avons pu aussi par la même occasion examiner certains effets néfastes altérant le bon fonctionnement d'un tel dispositif très utilisés de nos jours et présentant de meilleures performances que celle de SOI MOSFET sur substrat massif.

CONCLUSION GENERALE

Ce travail consiste à une modélisation d'un FinFET de type n par le simulateur TCAD_SILVACO d'une structure nanométrique. Pour cette étude notre choix s'est portée sur une structure nanométrique de type transistor DG-FinFET à canal n à conduction planaire. Cette étude a été concrétisée par simulation numérique à partir d'une analyse bidimensionnelle via logiciel de simulation de dispositifs et de processus de fabrication SILVACO -TCAD.

Dans le premier chapitre de ce mémoire, nous avons établi les équations de base qui régissent le comportement des structures MOS. L'influence des petites dimensions sur le comportement des transistors a été décrite par le biais des effets parasites (SCE, DIBL, réduction de la mobilité), qui ont été modélisés. Ces effets tendent à réduire les performances électriques des dispositifs.

Dans le deuxième chapitre, nous avons exposé les propriétés électriques et physiques des transistors MOS multi-grilles. Nous avons vu que ces composants sont commandés par la même tension de grille sur deux, trois, voire quatre côtés. Ainsi, l'idée repose sur le fait que, si l'épaisseur du film actif de silicium entre les différentes grilles est suffisamment faible, la tension de grille peut commander le volume global de silicium entre la source et le drain. La conduction s'effectuant alors de manière volumique (et non plus surfacique), on s'attend à des effets avantageux pour la valeur du courant I_{on} . De plus, la prise de contrôle du canal se révélant plus importante, on s'affranchit à des effets canaux courts liés à l'influence de la polarisation importante du drain. Ensuite, dans une seconde partie du chapitre II, nous avons présenté les travaux pionniers en modélisation compacte du transistor MOS SOI double-grille en mode de fonctionnement symétrique. Dans cet état de l'art, il ressort que la plupart des approches qui existent sont soit bâties sur des solutions analytiques complexes, soit formulées de manière implicite. Ces deux points constituent leurs principaux défauts en ce qui concerne leurs applications en conception de circuits de forte densité d'intégration.

Le chapitre III a été consacré à la simulation du transistor nanométrique du type DG-FinFET à canal n. Nous avons élaboré notre structure, ensuite, nous avons modifié les différents paramètres technologiques qui influent sur le comportement du transistor et ayant un impact sur sa tension de seuil. Nous avons observé certains effets indésirables de cette structure tels que les courants de fuite. Nous avons pu aussi comparer le courant délivré par ce transistor en comparaison à celui délivré dans un transistor conventionnel. Les résultats obtenus paraissent assez prometteurs.

En perspectives, Il serait assez intéressant de continuer ce travail en étudiant d'autres structures nanométriques bien plus complexes mais plus performantes telle que les structures verticales, les FINFET en 3D avec certains effets perturbant de façon significative le comportement idéal du transistor, les GAA ou des transistors à grilles multiples et d'examiner l'amélioration des performances de tels transistors présentant de meilleurs performances que leur ancêtre le FinFET sur bulk et SOI en 3D.

En ce qui concerne notre modèle de potentiel de surface quantique, un certain nombre d'extensions devraient être réalisées. Dans sa forme actuelle, le modèle n'est valide que pour des transistors de grande géométrie, les effets canaux courts n'y étant pas inclus. De plus, le modèle drift-diffusion de courant de drain n'est pour l'instant valable qu'en régime linéaire. Une première évolution de ce modèle consistera donc à étendre sa zone de validité pour les fortes tensions de drain (source), i.e. en régime de saturation. L'inclusion d'effets de coin tels que la modulation de la longueur du canal, la réduction de la mobilité et la saturation de la vitesse des porteurs sera à moyen terme effectuée. En outre, l'étude de l'impact des effets quantiques sur la mobilité des porteurs fera l'objet d'une attention toute particulière.

Il serait aussi intéressant d'étudier le fonctionnement des transistors GAA qui permettent un meilleur contrôle des SCE et DIBL.

Références

- [1] J. E. Lienfeld, U.S. Patent N°1-745-175 (1930).
- [2] J. Kilby, "Miniaturized Electronic Circuits", Patent N°3-138-743 (1959).
- [3] S. M Sze, "Physics of semiconductor devices", Wiley-Interscience publication, 2nd Edition (2002).
- [4] C. T. Sah, T. H. Ning and L. L. Tschopp, "The scattering of electrons by surface oxides charges and by lattice vibrations at the silicon-silicon dioxide interface", *Surface Science*, 32, 561-575 (1972).
- [5] S. Takagi, A. Toriumi, M. Iwase et H. Tango, "On the universality of inversion layer mobility in Si MOSFETs: Part-I-effects of substrate impurity concentration", *IEEE Transactions on Electron Devices*, 41, 2357-2362 (1994).
- [6] G. Baccarani, M. R. Wordeman and R. H. Dennard, "Generalized scaling theory and its application to a 1/4 micrometer MOSFET design", *IEEE Transactions On Electron Devices*, 31, 452-462 (1984).
- [7] V. K. Khann, « Physics of carrier-transport mechanisms and ultra-small scale phenomena for theoretical modelling of nanometer MOS transistors from diffusive to ballistic regimes of operation », *Physics Reports*, 398, 67-131 (2004).
- [8] G. Ghibaudo, R. Clerc, E. Vincent, S. Bruyère, J.L. Aufran, "Gate dielectrics for ultimate CMOS technologies-Limitations and alternatives solutions", *C. R Academy Science, série IV*, 911-927 (2000).
- [9] T. Skotnicki, « Transistor MOSFET et sa technologie de fabrication », *Technique de l'ingénieur*, E 2 430, 1-37.
- [10] J-H. Rhew, Z. Ren, M. S. Lundstrom, "A numerical study of ballistic transport in a nanoscale MOSFET", *Solid-State Electronics*, 46, 1899-1906 (2002).
- [11] I. Pappas, G. Ghibaudo, C. A. Dimitriadis, C. Fenouillet-Béranger, "Backscattering coefficient and drift-diffusion mobility extraction in short channel MOS devices", *Solid-State Electronics*, 53, 54-56 (2009).
- [12] B.L. Yang, P.T. Lai, H. Wong, "Conduction mechanisms in MOS gate dielectric films", *Departement of Electrical and electronic Engineering, The university of Hong Kong, Pokfulam Road, Internal publication* (2004).
- [13] A. Gehring, S. Selberherr, « Modeling of tunneling current and gate dielectric reliable for nonvolatile memory devices », *IEEE Transactions on Device and Materials Reliability*, 4, (2004).
- [14] R. Clerc, "Etude des effets quantiques dans les composants CMOS à oxydes de grille ultra minces-modélisation et caractérisation », *thèse de doctorat, Institut National Polytechnique de Grenoble* (2001).
- [15] K. K. NG and G. W. Taylor, "Effects of hot-carrier trapping in n- and p-channel MOSFETs", *IEEE Transactions On Electron Devices*, 30, 871-876 (1983).
- [16] S. Cristoloveanu, F. Balestra, « Technologie silicium sur isolant (SOI) », E 2 380, 1-23. [17] V. Chan, K. Rim, M. Jeong, S. Yang, R. Malik, Y. WayTeh, M. Yang, Q. Ouyang, "Strain for CMOS performance Improvement", *IEEE Custom Integrated Circuits Conference*, 667-674 (2005).
- [18] K. Huet, « Modélisation du transport sous contrainte mécanique dans les transistors sub-65nm pour la microélectronique CMOS », *thèse de doctorat, Université Paris Sud 11* (2008).
- [19] L. Chang, M. Leong and M. Yang, "CMOS circuit performance enhancement by surface orientation optimization", *IEEE Transactions on Electron Devices*, 51, 1621-1627 (2004).
- [20] X. Garros, F. Rochette, F. Andrieu, S. Baudot, G. Reimbold, C. Aulnette, N. Daval and F. Boulanger, « Modeling and direct extraction of band offset induced by stress engineering in silicon-on-insulator metal-oxide-semiconductor field effect transistors: Implications for device reliability », *Journal of Applied Physics*, 105, 114508, 1-9 (2009)
- [21] G. Eneman, "Design, Fabrication and Characterization of Advanced Field Effect Transistors with Strained Silicon Channels", *thèse de doctorat, Université catholique de Leuven* (2006).

- [22] C. Claeys, E. Simoen, S. Put, G. Giusi, F. Crupi, "Impact strain engineering on gate stack quality and reliability", *Solid-State Electronics* 52, 1115–1126, (2008)
- [23] K. Rim, R. Anderson, D. Boyd, F. Cardone, K. Chan, H. Chen, S. Christensen, J. Chu, K. Jenkins, T. Kanarsky, S. Koester, B.H. Lee, K. Lee, V. Mazzeo, A. Mocuta, D. Mocuta, P.M. Mooney, P. Oldiges, J. Ott, P. Ronsheim, R. Roy, A. Steegen, M. Yang, H. Zhu, M. Jeong, H.-S.P. Wong, "Strained Si CMOS (SSCMOS) technology: opportunities and challenges", *Solid-State Electronics*, 47, 1133–1139 (2003)
- [24] A. Ogura, T. Yoshida, D. Kosemura, Y. Kakemura, M. Takei, H. Saito, T. Shimura, T. Koganesawa, I. Hirosawa, "Evaluation of super-critical thickness strained-Si on insulator (sc-SSOI) substrate", *Solid-State Electronics*, 52, 1845-1848 (2008).
- [25] C. Ortolland, « Etude des effets des contraintes mécaniques induites par les procédés de fabrication sur le comportement électrique des transistors CMOS des nœuds technologiques 65nm et en deçà », Thèse de doctorat, Institut National des sciences appliquées de Lyon (2006).
- [26] J. Shim, H. Oh, H. Choi, T. Sakaguchi, H. Kurino, M. Koyanagi, "SiGe elevated source/drain structure and nickel silicide contact layer for sub 0.1 μm MOSFET fabrication", *Applied Surface Science*, 260-264 (2004).
- [27] N. Collaert, R. Rooyackers, A. Hikavy, A. Dixit, F. Leys, P. Verheyen, R. Loo, M. Jurczak, S. Biesemans, "Multi-gate devices for the 32 nm technology node and beyond: Challenges for Selective Epitaxial Growth", *Thin Solid Films*, 517, 101–104 (2008).
- [28] A. Shickova, "Bias temperature instability effects in devices with fully-silicided gate stacks, strained-Si and multiple-gate architectures", these de doctorat, Université catholique de Leuven (2008).
- [29] T. Poiroux, M. Vinet, O. Faynot, J. Widiez, J. Lolivier, T. Ernst, B. Previtali, S. Deleonibus, "Multiple gate devices: advantages and challenges", *Microelectronic Engineering*, 80, 378-385 (2005).
- [30] T. Poiroux, M. Vinet, O. Faynot, J. Widiez, J. Lolivier, T. Ernst, B. Previtali, S. Deleonibus, "Multigate silicon MOSFETs for 45 nm node and beyond", *Solid-State Electronics*, 50, 18-23 (2006).
- [31] J. B. Kuo and Ker-Wei Su, « CMOS VLSI Engineering Silicon-on-Insulator (SOI) », chapitre 6, Kluwer Academic Publishers (1998).
- [32] F. Crupi, B. Kaczer, R. Degraeve, V. Subramanian, P. Srinivasan, E. Simoen, A. Dixit, M. Jurczak and G. Groeseneken, "Reliability comparison of Triple-gate versus planar SOI FETs", *IEEE Transactions Devices*, 53, 2351-2357 (2006).
- [33] A. Kranti and G. A. Armstrong, "Performance assessment of nanoscale double- and triple-gate FinFETs", *Semiconductor Science and Technology*, 21, 409-421 (2006).
- [34] M. J. H. Van Dal, B. J. P. awlak, N. Collaert, M. Jurczak and R. J. P. Lander, "Ion implantation for low-resistive source/drain contacts in FinFET devices", *Materials Research Society*, 1070-E02-01 (2008).
- [35] T. Rudenko, A. Nazarov, V. Kilchystka, D. Flandre, N. Collaert, M. Jurczak, "Experimental evidence for reduction of gate tunnelling current in FinFET structures and its dependence on the Fin Width", *IEEE*, (2006).
- [36] J.P. Colinge, "Multiple-gate SOI MOSFETs", *Solid-State Electronics*, 48, 897-905 (2004).
- [37] P. Magnone, V. Subramanian, B. Parvais, A. Mercha, C. Pace, M. Dehan, S. Decoutere, G. Groeseneken, F. Crupi, S. Pierro, "Gate voltage and geometry dependence of the serie resistance and of the carrier mobility in FinFETs device", *Microelectronics Engineering*, 85, 1728-1731 (2008).
- [38] S. Balasubramanian, "Nanoscale thin-body MOSFET design and applications", thèse de doctorat, University of California (2006).
- [39] S.S. Rathod, A.K. Saxena, S. Dasgupta, "A proposed DG-FinFET based SRAM cell design with RadHard capabilities", *Microelectronics Reliability*, 50, 1181–1188 (2010).
- [40] S.C. Song, M. Abu-Rahma, G. Yeap, "FinFET based SRAM bitcell design for 32 nm node and below", *Microelectronics Journal*, 42, 520–526 (2011)
- [41] V. Subramanian, B. Parvais, J. Borremans, A. Mercha, D. Linten, P. Wambacq, J. Loo, M. Dehan, C. Gustin, N. Collaert, S. Kubicek, R. Lander, J. Hooker, F. Cubaynes, S. Donnay, M.

- Jurczak, G. Groeseneken, W. Sansen and S. Decoutere, "Planar bulk MOSFETs versus FinFETs: an analog/ RF perspective", *IEEE Transactions on Electron Devices*, 53, 3071-3079 (2006).
- [42] P. Wambacq, B. Verbruggen, K. Scheir, J. Borremans, M. Dehan, D. Linten, V. De Heyn, G. Van der Plas, A. Mercha, B. Parvais, C. Gustin, V. Subramanian, N. Collaert, M. Jurczak and S. Decoutere, « The potentiel of FinFETs for analog and RF circuits applications », 54, 2541-2551 (2007).
- [43] D. Lederer, V. Kilchytska, T. Rudenko, N. Collaert, D. Flandre, A. Dixit, K. De Meyer, J.-P. Raskin, "FinFET analog characterization from DC to 110 GHz", *Solid-State Electronics*, 49, 1488-1496 (2005).
- [44] M.A. Pavanello, J.A. Martino, E. Simoen, R. Rooyackers, N. Collaert, C. Claeys, "Evaluation of triple-gate FinFETs with SiO₂-HfO₂-TiN gate stack under analog operation", *Solid-State Electronics*, 51, 285-291 (2007). 141
- [45] T. Rudenko, V. Kilchytska, N. Collaert, M. Jurczak, A. Nazarov and D. Flandre, "Substrate bias effect linked to parasitic series resistance in Multiple-Gate SOI MOSFETs", *IEEE Electron Device Letters*, 28, 834-836 (2007).
- [46] A. Dixit, A. Kottantharayil, N. Collaert, M. Goodwin, M. Jurczak and K. De Meyer, "Analysis of the parasitic S/D resistance in Multiple-Gate FETs", *IEEE Transactions on Electron Devices*, 52, 1132-1140 (2005).
- [47] N. Collaert, R. Rooyackers, F. Clemente, P. Zimmerman, I. Cayrefourcq, B. Ghyselen, K. T. San, B. Eyckens, M. Jurczak, S. Biesemans, "Performance enhancement of MUGFET devices using super critical strained-SOI", *Symposium on VLSI Technology Digest of Technical Papers* (2006).
- [48] V.P. Trivedi and J.G. Fossum, "Nanoscale FD/SOI CMOS: Thick or Thin BOX," *IEEE Transactions on Electronic Devices*, vol. 26 .no .1. pp 26-28, Jan. 2005.
- [49] G. Baccarani and S. Reggiani, "A Compact Double-Gate MOSFET Model Comprising Quantum -Mechanical and Nonstatic Effects," *IEEE Transactions on Electronic Devices*, vol. 46 .no .8. pp 1665-1666, Aug. 1999.
- [50] V.P Trivedi and J.G. Fossum, "Quantum-Mechanical Effects on the Threshold Voltage of Undoped Double-Gate MOSFETs," *IEEE Electron Devices Letters*, vol .26, no. 8. pp 579-582, Aug. 2005.
- [51] J. Kedzierski, D.M. Fried, E.J. Nowak, T. Kanarsky, J.H. Rankin, H. Hanafi, W. Natzle, D. Boyd, Y. Zhang, C Yu, Q. Yang, P. Saunders, C. P Willets, A.R Johnson, S.P Cole, H.E. Young, N. Carpenter, D. Rakowski, B.A. Rainey, P.E. Cottrell, M. Jeong and H. -S. Philip Wong, "High-performance symmetric-gate and CMOS-compatible V_t asymmetric-gate FinFET devices," *Technological Digest. IEEE International Electron Devices Meeting (IEDM)*, pp 19.5.1-19.5.4, Washington, DC, USA, 2001.
- [52] M. Stadelé, R. J Luken, M. Roosz, M. Specht, W. Rosner, L. Dreeskomfeld, J. Hartwich, F. Hofmann, J. Kretz, E. Landgraf and L. Risch, "A comprehensive study of corner effects in tri-gate transistor," *Proc. Solid-State Device Research Conference (ESSDERC)*, pp 165-168, Leuven, Belgium, Sep. 2004.
- [53] W. Xiong, J.W. Park and J.P. "Corner effect in multiple-gate SOI MOSFETs," *Proc IEEE International SOI Conference*, Newport Beach, California, USA, pp 111-113, Sept. 2003.
- [54] C.-W. Lee, S.-R.-N. Yun, C.-G. Yu, J.-P. Colinge, "Design guidelines for nano-scale MuGFETs," *Solid-State Electronics*, vol, 51, no. 3. pp 525-510. Mar 2007.
- [55] J. G. Fossum, J.-W. Yang and V.P. Trivedi, "Suppression of Corner Effects in Triple-Gate MOSFETs," *IEEE Electron Device Letters*, vol. 24 .no .12. pp 745-747, Dec. 2003.
- [56] T. Ernst, R. Ritzenthaler, O. Faynot and S. Cristoloveanu, "A Model of Fringing Fields in Short-Channel Planar and Triple-Gate SOI MOSFETs," *IEEE Transactions on Electronic Devices*, vol. 54 .no .12. pp 1366-1375, June 2007.
- [57] R. Gusmeroli, A.S. Spinelli, A.L. Lacaita, F. Bœuf and T. Skotnicki, "2D QM simulation and optimization of decanano non-overlapped MOS devices," *Technological Digest. IEEE International Electron Devices Meeting (IEDM)*, pp 9.1.1-9.1.4, Washington, DC, USA, Dec. 2003.

- [58] J.G. Fossum, M.M. Chowdhury, V.P. Trivedi, T.-J. King, Y.-K. Choi, J. An and B. Yu, "Physical Insights on Design and Modeling of Nanoscale FinFETs," Technological Digest. IEEE International Electron Devices Meeting (IEDM), pp 29.1.1-29.1.4, Washington, DC, USA, Dec. 2003.
- [59] T. Park, S. Choi, D.H. Lee, J.R. Yoo, B.C. Lee, J.Y. Kim, C.G. Lee, K.K. Chi, S.H. Hong, S.J. Hynn, Y.G. Shin, J.N. Han, I.S. Park, U.I. Chung, J.T. Moon and J.H. Lee, "Fabrication of body-tied FinFETs (Omega MOSFETs) using bulk Si wafers," Symposium on VLSI Technology Digest of Technical Papers, pp 135-136, June 2003.
- [60] T. Park, D. Park, J.H. Chung, E.J. Yoon, S.M. Kim, H.J. Cho, J.D. Choe, J.H. Choi, B.M. Yoon, J.J. Han, B.H. Kim, E. Yoon and J.H. Lee, "PMOS Body-Tied FinFET (Omega MOSFET) Characteristics," Device Research Conference (DRC), pp 33-34, June 2003.
- [61] M. Poljak, V. Jovanovic and T. Suligoj, "SOI vs. Bulk FinFET: Body doping and corner effects influence on device characteristics," Proc. IEEE Mediterranean Electrotechnical Conference, pp 425-435, May 2008.
- [62] M. Reyboz, Modélisation analytique de transistors double grille à effet de champ en technologie sub-45nm, Thèse de l'INP Grenoble, France, 2007.
- [63] A. Ortiz-Conde, R. Herrera, P. E. Schmidt, F. J. García-Sánchez, and J. Andrian, Long channel silicon on insulator MOSFET theory, Solid State Electron., vol. 35, no. 7, pp. 1291– 1298, 1992.
- [64] Y. Taur, X. Liang, W. Wang, et al., A continuous, analytic drain-current model for DG MOSFETs, IEEE Electron Device Letters, vol. 25, no. 2, pp. 107-109, 2004
- [65] J. He, X. Xi, C. H. Lin, et al., A non-charge-sheet analytic theory for undoped symmetric double-gate MOSFET from the exact solution of Poisson's equation using SSP approach, in Proceeding of Workshop on Compact Modeling, NSTI -Nanotech, pp. 124-127, Boston, USA, 2004.
- [66] O. Moldovan, A. Cerdeira, D. Jimenez, et al., Compact model for highly-doped double gate SOI MOSFETs targeting baseband analog applications, Solid-State Electronics, vol. 51, no. 5, pp. 655-661, 2007.
- [67] A. Laizaro, B. Nae, O. Moldovan, et al., A compact quantum model of nanoscale double gate MOSFET for RF and noise simulations, Journal of Applied Physics, vol.100, no. 8, pp. 355-358, 2006.
- [68] G. Pierret AND Shield, A compact double-gate MOSFET model comprising quantum-mechanical and nonstatic effects, IEEE Transactions on Electron Devices, vol. 46, no. 8, pp. 1656-1666, 1999.
- [69] A. Ortiz-Conde, F. J. García-Sánchez, J. Muci, S. Malobabic and J. J. Liou, A Review of Core Compact Models for Undoped Double-Gate SOI MOSFETs, IEEE Transactions On Electron Devices, Vol. 54, No. 1, pp. 131-140, 2007.
- [70] H. Lu, and Y. Taur, An Analytic Potential Model for Symmetric and Asymmetric DG MOSFETs, IEEE Transactions on Electron Devices, vol. 53, no. 5, pp. 1161 -1168, 2006
- [71] Tang Mingchun, "Etudes Et Modélisation Compacte Du Transistor Finfet", thèse de doctorat, université de Stasbourg, 2009.
- [72] H. Lu, and Y. Taur, An Analytic Potential Model for Symmetric and Asymmetric DG MOSFETs, IEEE Transactions on Electron Devices, vol. 53, no. 5, pp. 1161 -1168, 2006.
- [73] www.silvaco.com / guide atlas.
- [74] H. Kawasaki, et al. "Demonstration of Highly Scaled FinFET SRAM Cells with High- κ /Metal Gate and Investigation of Characteristic Variability for the 32 nm node and beyond," in Proc. IEDM'08, San Francisco, CA, US, 15-17 Dec. 2008

ANNEXE A

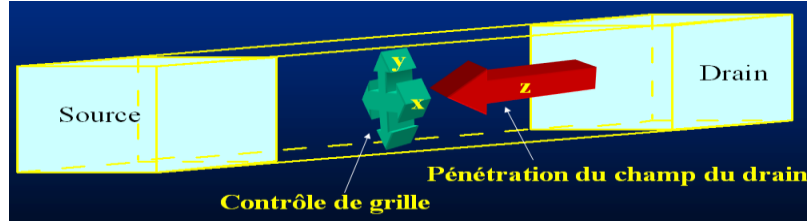
Théorie d'échelle (scaling theory)

L'évolution de la nanoélectronique est liée à l'échelle du transistor. Deux des principaux inconvénients sur le plan de la dégradation des performances liés à cette échelle sont le SCE et le DIBL. Afin d'étudier l'influence du champ du drain dans le silicium, nous avons résolu le potentiel dans le film de silicium par l'équation de Poisson en introduisant un paramètre (critère) très utile et très utilisé .

La longueur naturelle l est fonction de la dimension du transistor et son expression dépend de la structure du transistor SOI (Tableau I-1). t_{si} correspond à l'épaisseur du film de silicium pour la technologie simple grille SOI et la largeur du film de silicium entre les grilles pour la technologie multiple-grille. La différence entre les deux colonnes des valeurs de la longueur naturelle dans la Tableau I-1 est que la colonne à gauche considère que le courant circule seulement à l'interface Si-SiO₂ et la colonne à droite considère que le courant circule aussi dans le volume de silicium. Pour t_{si} et t_{ox} données, e.g. $t_{si}=10\text{nm}$ et $t_{ox}=1,5\text{nm}$, les longueurs naturelles (calculées par les expressions de la colonne à droite dans la Tableau I-1) pour les structure de simple SOI, GAA et DG MOSFET sont respectivement 9,75nm 4,01nm et 5,92nm. La longueur naturelle pour un GAA et donc plus petite comparée aux autres. Une faible valeur de l indique les effets SEC et DIBL sont petite. Par conséquent pour une longueur du canal donnée, la structure GAA MOSFET la longueur naturelle la plus court (réf. Tableau II-1). Quelle que soit la structure de transistor, la largeur ou le rayon du film de silicium devraient être le plus petite possible.

La longueur naturelle a un sens physique signifiant la pénétration du champ du drain dans le film de silicium. Si la longueur naturelle est grand, la pénétration du champ du drain dans le film de silicium est plus profonde et les effets canaux courts sont plus importants il faut donc réduire la longueur naturelle afin d'éliminer les effets canaux courts.

Tableau I Expression de la longueur naturelle (critère) dans les différentes structure SOI : MOS Bulk, GAA (Gate-All-Around) et plan masse entré.



Structure	Longueur naturelle (l) (section rectangulaire)	Longueur naturelle (l) (section circulaire)
Simple SOI	$\sqrt{\frac{\epsilon_{si}}{\epsilon_{ox}}} t_{si} \cdot t_{ox}$	$\sqrt{\frac{\epsilon_{si} \cdot t_{si} \cdot t_{ox}}{\epsilon_{ox}} \cdot \left(1 + \frac{t_{si} \cdot \epsilon_{ox}}{2 \cdot t_{ox} \cdot \epsilon_{si}}\right)}$
DG MOSFET	$\sqrt{\frac{\epsilon_{si}}{2 \cdot \epsilon_{ox}}} t_{si} \cdot t_{ox}$	$\sqrt{\frac{\epsilon_{si} \cdot t_{si} \cdot t_{ox}}{2 \cdot \epsilon_{ox}} \cdot \left(1 + \frac{t_{si} \cdot \epsilon_{ox}}{4 \cdot t_{ox} \cdot \epsilon_{si}}\right)}$
GAA	$\sqrt{\frac{\epsilon_{si}}{4 \cdot \epsilon_{ox}}} \cdot t_{si} \cdot t_{ox}$	$\sqrt{\frac{2 \cdot \epsilon_{si} \cdot t_{si}^2 \cdot \ln\left(1 + \frac{t_{ox}}{t_{si}}\right) + \epsilon_{ox} \cdot t_{si}^2}{16 \cdot \epsilon_{ox}}}$

La longueur naturelle peut servir aux concepteurs afin d'améliorer le comportement des dispositifs en évitant les effets canal court très important. Par les expressions de la longueur naturelle dans la colonne de la Tableau I-1, nous pouvons tracer la figure I-2 qui indique l'épaisseur maximum de film de silicium nécessaire pour éviter les effets de canal court. Nous voyons exemple que pour un MOSFET double-grille avec la longueur de grille de 50nm, l'épaisseur maximum du film de silicium peut être d'environ 30nm.

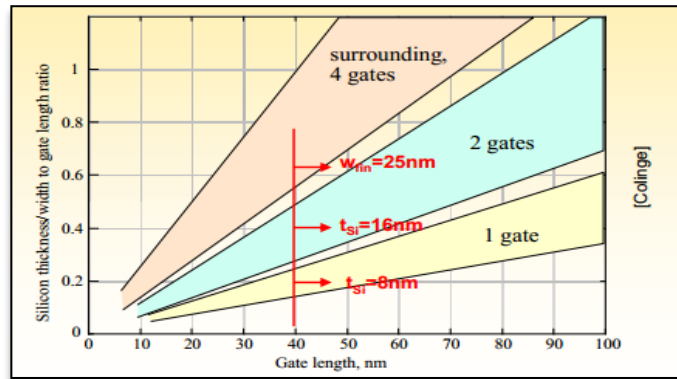


Figure de l'épaisseur du film de silicium maximum vs la longueur de la grille afin d'éviter les effets de canal court dans les cas de MOSFET avec simple, double et quadripôle-grille.

Un résumé comparatif des différentes technologies multiple-grilles est montré au Tableau I-2. La suite concentrera sur la technologie FinFET qui est l'objet d'investigation de cette thèse.

Tableau I-2 Comparaison des avantages et inconvénients des dispositifs MOS avancés

Structure	Avantages principaux	Inconvénients principaux
MOSFET Bulk	Procédés bien maîtrisés	Effets de canal court
PD SOI avec simple grille	Similaire au MOSFET Bulk	Similaire au MOSFET Bulk
FD SOI avec simple grille	<ul style="list-style-type: none"> • Complètement déplété • Pas de courant de substrat • Résiste à la radiation 	<ul style="list-style-type: none"> • L'uniformité de l'épaisseur du silicium • Champ dans l'oxyde enterré (polarisation virtuelle de substrat induit par le drain DIVSB)
Double Grille planaire	<ul style="list-style-type: none"> • Plus de courant • Bon contrôle du canal • Pas de DIVSB 	<ul style="list-style-type: none"> • L'uniformité de l'épaisseur du silicium • Faible épaisseur du silicium • Auto-alignement des deux

		grilles
FinFET	<ul style="list-style-type: none"> • Bon contrôle du canal • Auto-alignement des deux grilles • Procédés proches de MOSFET Bulk • Possibilité de design en 3D • Possibilité de fonctionnement symétrique (SDG) et asymétrique (ADG) (1, 2, 2) 	<ul style="list-style-type: none"> • Difficulté de lithographie • Petite largeur du film de silicium nécessaire • Uniformité de largeur • Effet de coins
Triple Grille	<ul style="list-style-type: none"> • Plus de courant • Procédés de MOSFET Bulk • Auto-alignement des grilles 	<ul style="list-style-type: none"> • Difficulté de lithographie • Petite largeur du film de silicium nécessaire • Uniformité de largeur • Effet de coins • Uniformité de l'épaisseur de l'oxyde de la grille
GAA	<ul style="list-style-type: none"> • Excellent de contrôle du canal • Faible effet de canal court • Pas effet de coins 	<ul style="list-style-type: none"> • Faible diamètre du silicium nécessaire • Procédé non-compatible avec MOSFET Bulk
Nanofil MOSFET	<ul style="list-style-type: none"> • Excellent de contrôle du canal • Faible effet de canal court • Plus de courant 	<ul style="list-style-type: none"> • Faible diamètre du silicium nécessaire • Cout de fabrication important • Problème de mismatch

ANNEXE B

1. L'outil de simulation – Silvaco

L'environnement SILVACO est largement exploité, tant dans l'industrie que dans les laboratoires de recherche.

SILVACO (Silicon Valley Corporation) est une société Américaine, « Silvaco International » ayant son siège à Santa Clara en Californie. Elle est un des principaux fournisseurs de chaînes professionnelles de logiciels de simulation par éléments finis et de conception assistée par ordinateur pour les technologies de l'électronique TCAD (Technology Computer Aided Design). Ces outils sont employés par les compagnies de microélectronique dans le domaine de la recherche, du développement et de la conception de dispositifs. Le développement de SILVACO, les ventes et les équipements de soutien sont stratégiquement localisés dans le monde entier pour soutenir la clientèle. Une majeure partie du modèle des affaires de SILVACO se fonde sur la capacité de la compagnie à fournir des ingénieurs technico-commerciaux bien formés et expérimentés pour le support à la clientèle sur place dans toutes les régions principales de fabrication de semi-conducteurs.

Historiquement la compagnie a été fondée en 1984 par Dr. Ivan Pesic pour répondre aux besoins des designers de circuits intégrés (IC, integrated circuits) analogiques pour des modèles SPICE (Simulation Program with Integrated Circuit Emphasis) de plus en plus précises et linéaires.

Le produit initial a été le système d'extraction des paramètres UTMOST (Universal Transistor Modeling Software) qui est devenu un standard industriel pour l'extraction des paramètres, la caractérisation des dispositifs et la modélisation. L'entrée de SILVACO dans la technologie TCAD a eu lieu en 1989, et elle a été basée sur une recherche du Département des Dispositifs Physiques de l'Université de Stanford, ainsi apparaissent dans SILVACO « Athena » comme simulateur des processus et « Atlas » comme simulateur des dispositifs (2D et 3D). A l'aide d'un projet de recherche de l'Université de California, Berkeley, en 1992 SILVACO a conçu son propre logiciel de simulation comportementale SPICE. Ainsi « SmartSpice » devient partie de la chaîne TCAD de SILVACO, il permet des simulations des circuits électroniques avec les modèles physiques des composants créés à l'aide d'Atlas tout en utilisant une logique SPICE. « SmartSpice » écrit en C++ permet facilement l'introduction des modèles nouveaux de simulation et permet une amélioration des algorithmes numériques pour une meilleure convergence. En 1997 SILVACO introduit IC CAD (Integrated Circuit Computer Aided Design) analogue qui est un outil pour capture schématique (schematic capture), disposition sur circuits imprimés (layout) et vérification physique. L'ensemble de ces outils avec le simulateur des circuits « SmartSpice » fournit une structure complète, à faible coût et d'une très grande productivité pour la conception des circuits intégrés analogiques. En 2004 enfin, SILVACO propose un outil d'extraction de signaux parasites qui permet la conversion directe des données des masques et des informations intéressantes aux processus des schémas électriques (netlists). Sur cet

ensemble complet de simulation TCAD, nous avons utilisé la partie dénommée « Atlas » pour créer le modèle bidimensionnel d'un transistor DG-FINFET.

2. Présentation du paquet des programmes SILVACO

2.1. Les outils de simulation ATLAS (de la société SILVACO)

Le logiciel de simulation ATLAS est un simulateur de modélisation bidimensionnelle décomposant, il permet la résolution des équations différentielles issues de la physique du composant comme celles de la diffusion ou du transport pour des géométries discrètes il est donc capable de prédire les caractéristiques électriques de la plupart des composants semi-conducteurs en régime continu, transitoire ou fréquentiel. En plus du comportement électrique "externe", il fournit des informations sur la distribution interne de variables telles que les concentrations des porteurs, les lignes de courant, le champ électrique ou le potentiel, etc., autant de données importantes pour la conception et l'optimisation des procédés technologiques. Ceci est réalisé en résolvant numériquement l'équation de Poisson et les équations de continuité des électrons et des trous en deux dimensions en un nombre fini de points formant le maillage de la structure défini par l'utilisateur ou par le programme. Ce simulateur est composé de deux parties :

- une partie traitement numérique (méthode d'intégration, de discrétisation...),
- une partie formée des modèles physiques des composants semi-conducteurs les plus récents : modèles de recombinaisons, d'ionisation par impact, de mobilités, en température et statistiques de Fermi-Dirac et de Boltzmann notamment.

ATLAS a été conçu de façon à pouvoir utiliser d'autres outils qui facilitent son utilisation. Ces outils sont les suivants :

- **DEVEDIT**: environnement où sont dessinés la structure des dispositifs (dimension, dopage, ...) et son maillage, Il peut être employé pour produire une nouvelle maille sur une structure existante, pour modifier un dispositif ou pour créer un dispositif à partir de zéro. Ces dispositifs peuvent alors être employés par les simulateurs 2D et 3D de SILVACO. DEVEDIT peut être employé par une interface utilisateur graphique (GUI abréviation de Graphics User Interface) ou comme simulateur sous DECKBUILD.
- **DECKBUILD** : environnement où est défini le programme de simulation. La structure et son maillage peuvent également être définis dans Deckbuild, C'est un environnement où on peut inviter les simulateurs, à tour de rôle, pour définir le programme de simulation : La structure, le maillage et les calculs électriques nécessaires peuvent également être définis dans DECKBUILD.
- **TONYPLOT** : environnement où sont visualisés les résultats des simulations (structure du composant, distributions de grandeurs diverses dans celui -ci, caractéristiques électriques...).Tonyplot puissant outil, est donc conçu pour visualiser les structures 1D et

2D produits par les simulateurs de SILVACO, Il fournit également beaucoup de fonctions spécifiques de visualisation de TCAD telles que les lignes de la coupe 1D, l'animation des marqueurs pour exposer la variation des vecteurs, intégration des fichiers de données 1D ou les fichiers (.log). Il y a aussi un autre outil similaire à celui -là, sauf qu'il conçu pour visualiser les structures 3D, nommé TonyPlot3D.

- **MASKVIEW** : éditeur de lay-out,
- **OPTIMIZER** : optimise les paramètres de la structure de façon à obtenir en final la valeur du paramètre que nous lui avons définie au préalable. Cet outil permet donc l'optimisation pour la calibration des simulateurs de procès et de dispositifs. Il permet donc d'ajuster ajustage automatiquement les paramètres électriques ou les paramètres es du processus en jouant sur un ou plusieurs paramètres d'entrée.

2.3. Présentation d'Atlas

Le logiciel de simulation ATLAS est un simulateur de modélisation bidimensionnelle (ou 3d) de composants. Basé sur la physique du semi-conducteur, Il prédit le comportement électrique des structures semi-conductrices spécifiées et fournit des aperçus de mécanismes physiques internes associés au fonctionnement des dispositifs. Atlas est capable de prédire les caractéristiques électriques de la plupart des composants semi-conducteurs en régime continu, transitoire ou fréquentiel. En plus du comportement électrique "externe", il fournit des informations sur la distribution interne de variables telles que les concentrations des porteurs, les lignes de courant, le champ électrique ou le potentiel, etc., autant de données importantes pour la conception et l'optimisation des procédés technologiques. Ceci est réalisé en résolvant numériquement l'équation de Poisson et les équations de continuité des électrons et des trous en deux dimensions en un nombre fini de points formant le maillage de la structure défini par l'utilisateur ou par le programme. Ce simulateur est composé de deux parties :

- Une partie traitement numérique (méthode d'intégration, de discrétisation...).
- Une partie formée des modèles physiques des composants semi-conducteurs les plus récents : modèles de recombinaisons, d'ionisation par impact, de mobilités, en température et statistiques de Fermi -Dirac et de Boltzmann notamment.

ATLAS a été conçu de façon à pouvoir utiliser les autres outils qui facilitent son utilisation tel que : ATHENA, DEVEDIT, TONYPLOT, DECKBUILD.

Notons qu'ATHENA, incontournable en conception via SILVACO permet de simuler les processus de fabrication des composants intégrés. C'est un simulateur des procédés de fabrication et simulateur de composants. Il permet de simuler les étapes d'implantation d'ions, de dépôt, de gravure, de recuit et d'oxydation.

En conclusion on peut dire qu'Atlas peut être utilisé autonome ou comme un outil noya u dans le milieu de simulation VWF de SILVACO. Dans le but de prévoir l'impact des variables du processus sur le comportement du circuit, la simulation du dispositif joint la simulation du processus et l'extraction du modèle SPICE

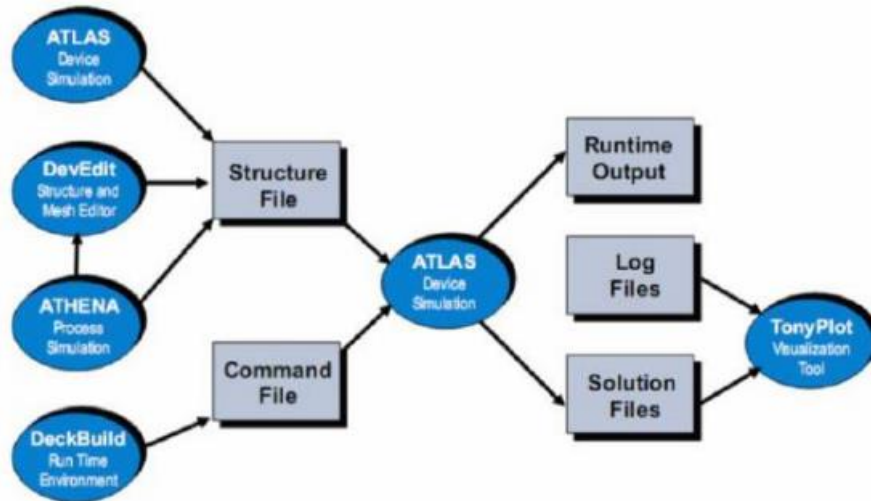


Figure III.1. Entrées et sorties d'Atlas.

Dans le schéma de la figure III.1, nous distinguons les différents types d'informations qui circulent en entrée comme en sortie « d'Atlas ».

La plupart des simulations réalisées par « Atlas » utilisent deux fichiers d'entrée. Le premier fichier est un fichier script contenant les commandes pour qu'Atlas s'exécute (représenté par « Fichier de commande »). Le second fichier est un « Fichier de structure » qui définit la structure qui va être simulée. A la sortie « d'Atlas », nous avons trois types de fichiers. Le premier de ces fichiers est la sortie « Runtime » qui donne la progression, les erreurs et les messages d'avertissements pendant la simulation. Le deuxième type de fichier est le fichier « log » qui stocke toutes les valeurs de tensions et des courants provenant de l'analyse du dispositif simulé (c'est le fichier du comportement électrique). Le troisième fichier de sortie est le « Fichier de solution », ce fichier stocke les données 2D ou 3D concernant les valeurs des variables solutions dans le dispositif en un point donné (c'est le fichier physique, il contient la structure dans un état particulier). Les deux derniers fichiers sont traités par l'outil de visualisation « TonyPlot ».

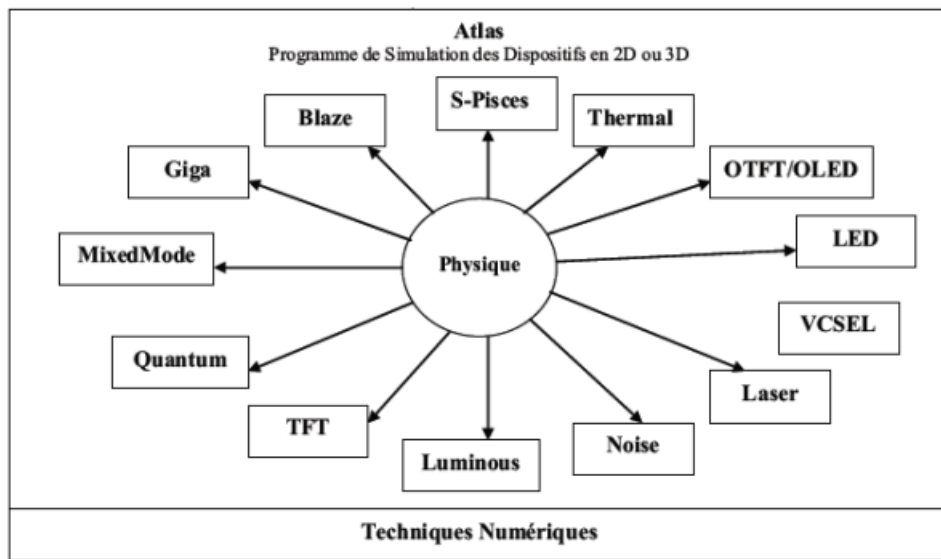


Figure III.2. Les composants (ou les modules) d'Atlas.

Dans la figure III.2, sont représentés les composants qui constituent « Atlas ». le cœur de cette structure étant la Physique qui contient le modèle mathématique qui fonctionne dans les dispositifs à base de semi-conducteurs. Nous avons présenté une partie de celle-ci au début de ce chapitre, en fait nous n'avons gardé que la partie nécessaire pour simuler notre dispositif.

Ainsi les composants développés autour sont :

- « S-Pisces » : programme de simulation des dispositifs 2D ou 3D, il modélise les caractéristiques électriques des dispositifs à base de silicium en incluant de technologies comme MOS (Metal Oxide Semiconductor), bipolaire, SOI (Silicon On Insulator), EEPROM (Electrically Erasable Programmable Read Only Memory) et dispositifs de puissance. S-Pisces calcule les distributions internes des paramètres physiques et prévoit le comportement électrique des dispositifs à l'état d'équilibre, transitoire ou dans les conditions de courant alternatif de petit signal.

- « Blaze » : simulateur des dispositifs 2D ou 3D pour les matériaux III-V, II-VI et des dispositifs avec la structure de bande dépendante de la position (c.-à-d. hétérojonctions). Blaze explique les effets de la structure de bande dépendante de la position par des modifications des équations de transport de charge. Blaze est applicable à une large gamme des dispositifs comprenant : HBT (Heterojonction Bipolar Transistor), HEMT (High Electron Mobility Transistor), LED (Light Emitting Diode), détecteurs photoélectriques d'hétérojonction (piles solaires) et diodes d'hétérojonction.

- « Giga » : prolonge « Atlas » pour expliquer l'écoulement de la chaleur de treillis et les environnements thermiques généraux. Giga met en application le modèle thermodynamique rigoureux de Wachutka. Une application importante de Giga est la

simulation des structures de haute puissance comprenant bipolaire, MOS, IGBT (Insulated Gate Bipolar Transistor), et dispositifs de thyristor. Une autre application importante est la simulation des dispositifs électrostatiques de protection de décharge.

- « MixedMode » : simulateur des circuits qui peut inclure des éléments simulés en utilisant la simulation de dispositif (2D ou 3D) et des modèles compacts des circuits. Mixed Mode emploie des algorithmes numériques avancés qui sont efficaces et robustes pour des simulations en courant continu, régime transitoire, de petit signal de courant alternatif et de l'analyse de réseau de petits signaux. Mixed Mode est typiquement employé pour simuler des circuits qui contiennent des dispositifs semi-conducteurs modélisés compacts et précis qui n'existent pas ou pour simuler des circuits où les dispositifs qui jouent un rôle critique doivent être modélisés exactement. Les modèles compacts disponibles et utilisés en général sont de type SPICE. La logique de programmation pour spécifier les circuits est de type SPICE.

- « Quantum » : simule divers effets dus au confinement quantiques.

- « TFT » : simule les systèmes des matériaux désordonnés, il nous permet de définir une distribution d'énergie des états des défauts logés sur des niveaux énergétiques situés dans la BI des matériaux semi-conducteur.

- « Luminous » programme tout usage d'absorption de la lumière. Il calcul les profils d'intensités optiques dans les dispositifs semi-conducteurs, et convertit ces profils dans des taux de photo-génération. Ceci nous permet de simuler des réponses électroniques à des signaux optiques pour une large gamme de détecteurs optiques.

- « Noise » : simuler le bruit des signaux produit par les dispositifs. Le bruit électronique a pour conséquence une dégradation inévitable des performances des circuits. Il est important de comprendre les propriétés du bruit pour réduire au minimum son effet.

- « Laser » : effectue une simulation couplée électrique et optique des lasers à base des semi-conducteurs.

- « VCSEL » : (Vertical Cavity Surface Emitting Lasers) effectue la simulation électrique, thermique et optique des lasers d'émission surfacique de cavité verticale en utilisant des méthodes entièrement numériques précises, robustes, et fiables et des mailles non uniformes.

- « LED » : fournit des possibilités générales pour la simulation des dispositifs de diode électroluminescente.

- « OTFT/OLED » : « OTFT » simule les caractéristiques des dispositifs réalisés en matériaux organiques (caractéristiques électriques et optiques en courant continu ou transitoire de ceux-ci). « OLED » simule les LED organiques.

- « Thermal » : permet de résoudre l'équation de la chaleur à l'équilibre thermodynamique pour trouver la distribution de la température à l'équilibre en structures 3D planaires et non planaires.

Le fonctionnement d'un dispositif à semi-conducteur est modélisé dans « Atlas » par un ensemble couplé de jusqu'à six équations différentielles partielles (EDP). Dans notre modélisation nous avons utilisé trois EDP couplées (l'équation de Poisson et les équations de continuités des trous et des électrons). « Atlas » produit des solutions numériques en calculant les valeurs des inconnues sur un maillage des points dans le dispositif. Une procédure interne de discrétisation convertit le modèle original continu en un système algébrique non linéaire discret qui a un comportement approximativement identique. L'ensemble des EDP, le maillage et la procédure de discrétisation déterminent le problème algébrique discret à résoudre. Le système algébrique discret est résolu en utilisant une procédure itérative qui raffine des évaluations successives de la solution. L'itération continue jusqu'à ce que les corrections soient assez petites pour satisfaire les critères de convergence, ou jusqu'à ce qu'il soit clair que le procédé n'arrive plus à converger (nombre limite de pas de convergence). Le procédé non linéaire d'itération commence à partir d'une première conjecture. Les corrections sont calculées en résolvant des versions linéarisées du problème. Les sous-problèmes linéaires sont résolus en employant des techniques directes ou itérativement.

Les différentes procédures de résolution montrent le comportement différent en ce qui concerne la convergence, l'exactitude, l'efficacité, et la robustesse. Les deux aspects principaux de la convergence sont, l'obtention d'une solution et la rapidité de convergence.

L'efficacité est le temps requis pour produire une solution. La robustesse est la capacité de converger pour un éventail de structures, en utilisant des mailles et des stratégies initiales de conjecture qui ne sont pas optimales. En résolvant les systèmes généraux des équations non linéaires, il n'y a aucune garantie que n'importe quelle méthode particulière fonctionnera toujours. C'est également le cas que les différentes méthodes peuvent fonctionner mieux pour différents problèmes. Sous Atlas, en fonction du système des équations EDP à résoudre nous pouvons définir à l'aide d'une commande bien précise la méthode non linéaire de résolution et les paramètres associés tels que les critères d'itération et de convergence. Dans notre cas la méthode de résolution de systèmes non linéaires est l'optimisation de Newton.

2.4. Logique de programmation

Après la présentation de la chaîne progicelle TCAD de SILVACO, sa composition interne et le fonctionnement « d'Atlas » nous allons maintenant présenter l'ordre des commandes propres à la logique de programmation « d'Atlas ». Ainsi il existe cinq groupes de commandes, ces groupes doivent être organisés correctement. Si l'ordre n'est pas respecté, un message d'erreur apparaît et le programme ne s'exécute pas d'une façon correcte. Par

exemple, si les paramètres ou les modèles de matériaux ne sont pas placés dans l'ordre idoine, le simulateur ne les prend pas en compte.

Groupes	Commandes
Spécification de la structure.	<ul style="list-style-type: none"> ➤ MESH. ➤ REGION. ➤ ELECTRODE. ➤ DOPING.
Spécification des modèles de couches.	<ul style="list-style-type: none"> ➤ MATERIAL. ➤ MODEL. ➤ CONTACT. ➤ INTERFACE.
Sélection de la méthode numérique.	<ul style="list-style-type: none"> ➤ METHOD
Spécification des solutions.	<ul style="list-style-type: none"> ➤ LOG. ➤ SOLVE. ➤ SAVE. ➤ LOAD.
Analyse des résultats.	<ul style="list-style-type: none"> ➤ EXTRACT. ➤ TONYPLOT.

Tableau II.1.Ordre des groupes des commandes dans un programme Atlas

Les commandes fondamentales sont :

- MESH : cette commande produit un maillage ou lit un maillage qui a été défini auparavant. L'élément de maille utilisé est le triangle.
- REGION : indique l'endroit des matériaux dans une maille précédemment définie.

Chaque triangle doit être défini comme matériel.

- ELECTRODE : indique l'endroit et les noms des électrodes dans une maille précédemment définie.
- DOPING : indique analytiquement des profils de dopage ou prend de tels profils déjà prédéfinis dans les fichiers dédiés.
- MATERIAL : associe des paramètres physiques aux matériaux dans la maille. (Il faut faire attention parce que le logiciel a des paramètres de matériau définis par défaut pour les semi-conducteurs standard)
- MODELS : indique les carreaux constitutifs du modèle, il indique nt les inclusions de différents mécanismes physiques, de modèles ou des autres paramètres comme par exemple la température globale pour la simulation.
- CONTACT : indique les attributs physiques d'une électrode.

- **INTERFACE** : indique les paramètres d'interface aux frontières de semi-conducteur/isolant. Tous les paramètres s'appliquent seulement aux nœuds de frontière exceptés la où ils sont déjà indiqués.
- **METHOD** : place les méthodes numériques à employer pour résoudre les équations et les paramètres liés à ces algorithmes.
- **LOG** : permet à toutes les caractéristiques finales de simulation d'être sauvées dans un fichier (ouvre un fichier de type log (log en minuscule veut dire le type de fichier, LOG en majuscule veut dire la commande dans le programme)). N'importe quel type de donnée, qu'elle soit C.C., transitoire ou C.A., générée par la commande SOLVE et sauvée après la commande LOG (donc les informations sauvées sont de type électrique et elles sont, par exemple, en fonction de la tension de polarisation ou de la source de lumière). Aussi n'importe quel paramètre spécifié par la commande PROBE12 est stocké dans le fichier de type log. Si dans le programme il y a plusieurs commandes LOG, chaque fois le fichier log qui a été ouvert avant est fermé et un nouveau fichier log est ouvert.
- **SOLVE** : ordonne à l'Atlas d'exécuter une solution pour un ou plusieurs points de polarisation.
- **LOAD** : charge des solutions précédentes à partir de fichiers en tant que conjectures initiales à d'autres points de polarisation.
- **SAVE** : sauve toutes les informations d'un point nœud du maillage dans un fichier de sortie (les fichiers de sortie sont de type structure). Les informations sauvées correspondent à un état électrique bien précis.
- **EXTRACT** : les commandes de ce type sont utilisées pour extraire les valeurs bien précises des paramètres des deux types des fichiers log ou structure.
- **TONYPLOT** : démarre le programme « TonyPlot » de post processus graphique des donnés.

En Résumé on peut dire que chacun des dispositifs à concevoir est représenté comme une structure maillée où chaque nœud a des propriétés qui lui sont associés telles que le type de matériau, la concentration en dopant, etc. Ainsi, pour chaque nœud, la concentration de porteurs, le champ électrique, etc. peuvent être calculés. Les électrodes sont représentées par des surfaces sur lesquelles les conditions aux limites sont imposées, comme par exemple, les tensions appliquées. Les principaux avantages de ce simulateur de composants est tout d'abord la possibilité offerte de visualisation de phénomènes physiques difficilement accessible et donc observable. Ensuite, il permet de s'approprier de manière pédagogique les procédés de fabrication. En outre, c'est un outil industriel dont la connaissance peut constituer un atout significatif dans le domaine de la recherche.

En effet, l'évolution du profil d'une structure peut être observée durant la simulation du procédé de fabrication. De plus, l'outil TCAD fait acquérir des compétences sur la fabrication des circuits intégrés sans la nécessité d'avoir à disposition une salle blanche disposant de tous les équipements idoines.

Ainsi, avec la TCAD SILVACO, nous pouvons expérimenter et explorer l'effet d'une modification d'un paramètre technologique sur une structure sans coût d'équipement et de consommable.

Abstract

In the past few decades has narrowed the scope of the minimum size of a transistor according to Moore's Law. But now further downsizing of a MOSFET is facing challenges such as SCE (short channel effects), the gate insulator tunnel. To overcome these challenges and FinFET, which is a type of device mitigate, is a promising device structure. FinFET technology and has the caliber to continue Moore's Law. FinFET and began to replace the MOSFETs traditional. Consists of our work in visualization and simulation of the characteristics of the transistor FinFET and nanometric to double the network level by means of the program of digital simulation of the process and devices Silvaco-TCAD, we can then by means of the same program, different technological parameters of our being, and thus to study the effect of these changes on the electrical characteristics of our DG-NFinFET

Keywords: short channel transistors, multi-grid, DG-planar nFinFET, SILVACO-TCAD

Résumé

Dans les dernières décennies la taille minimum du transistor a été en baisse mesurée selon la loi du Moore. Mais promouvoir maintenant en bas de la graduation du transistor MOSFET est des défis de revêtements comme des effets de canal de SCE (short channel effects), perçage d'un tunnel d'isolateur de grille. Pour surmonter ces défis FinFET, un type de dispositif de multi gâte, est la structure de dispositif la plus prometteuse. La technologie de FinFET a le calibre à continuer la loi du Moore. FinFET a commencé à remplacer les transistors MOSFET conventionnels. Notre travail consiste à concevoir et simuler les caractéristiques d'un transistor FinFET nanométrique à double grille planaire par le biais du logiciel de simulation numérique du processus et dispositifs SILVACO-TCAD, nous avons alors pu par le biais du même logiciel faire varier les paramètres technologiques de notre structure et examiner ainsi l'effet de ces variations sur les caractéristiques électrique de notre DG-nFinFET.

Mots Clés : Transistors à canaux courts, multi-grille, DG-nFinFET planaire, SILVACO-TCAD...

ملخص:

في العقود القليلة الماضية قد يضيق نطاق الحد الأدنى من حجم الترانزستور وفقا لقانون مور. ولكن الآن إلى مزيد من (أثار قناة قصيرة)، عازل البوابة نفق. للتغلب على هذه SCE تواجه تحديات مثل MOSFET الانخفاض التحجيم من ودية عيار FinFET، هو هيكل الجهاز الواعدة. التكنولوجيا multigate و، وهو نوع من الجهاز FinFET التحديات واستبدال الدوائر المتكاملة منخفضة المقاومة التقليدية. يتكون عملنا في FinFET الاستمرار في قانون مور. بدأت والنانومترية لمضاعفة شبكة مستو من قبل وسائل برنامج المحاكاة FinFET تصور ومحاكاة خصائص الترانزستور ، ونحن يمكن بعد ذلك من قبل وسائل من نفس البرنامج تختلف Silvaco-TCAD الرقمية للعملية والأجهزة DG-NFinFET التكنولوجية المعلومات من كياننا وبالتالي لدراسة تأثير هذه التغيرات على الخصائص الكهربائية لدينا

كلمات البحث: خصائص الكهربائية و الكمية للترانزستور nFinFET_ عن طريق TCAD_Silvaco